



重庆大学
CHONGQING UNIVERSITY

计算机学院

COLLEGE OF COMPUTER SCIENCE

存储器分类、主存与CPU的连接、 高速存储器

5.1.2、存储器分类

□ 分类标准

- 在计算机中的作用
- 存储介质
- 存储方式
- 信息的可保存性

5.1.2、存储器分类

□按存储器在计算机中的作用分

■高速暂存存储器(Scratch-pad Storage)

- 亦称便笺式存储器，由寄存器构成

- 用来暂存即刻要执行的指令、马上要用的数据或得到的处理结果，属于CPU的组成部分

■高速缓冲存储器(Cache)

- 存放当前正在执行程序的部分程序段或数据，位于主存和CPU之间

- 速度 $O(ns)$ 、容量 $O(KB) \sim O(MB)$

■主存储器

- 存放当前处于活动状态的程序和有关数据

- 速度 $O(ns)$ 、容量 $O(MB) \sim O(GB)$

5.1.2、存储器分类

■按存储器在计算机中的作用分

■辅助存储器

- 不能由CPU的指令直接访问，必须通过专门的程序或专门的通道把所需的信息与主存进行成批交换，调入主存后才能使用
- 联机：速度 $O(\text{ms})$ 、容量 $O(\text{GB}) \sim O(\text{TB})$
- 脱机：速度 $O(\text{s})$ 、容量 $O(\text{海量})$

■其它功能的存储器

- 控存CM：存储微程序代码
- 为加快处理而设置的表格存储器（倒数表、函数表）
- 显示输出设备中的字符库和数据缓冲存储器（显存）

5.1.2、存储器分类

■按存储器的存储介质分

■存储介质特点

- 仅有两种稳定的物理状态
- 方便地检测出属于哪种稳定状态
- 两种稳定状态之间容易相互转换

■半导体存储器（SCM）

- 速度快，用作内存
- 记忆原理：双稳态触发器、电容（静态、动态）
- 从集成电路类型的角度
 - 双极型晶体管（ECL、TTL、I²L）
 - 场效应管型MOS（PMOS、NMOS、CMOS）

5.1.2、存储器分类

□ 按存储器的存储介质分

■ 磁表面存储器MSM

- 用陶瓷、非磁性金属或塑料作载磁体，磁化后具有两种不同的剩磁状态记录信息“1”和“0”
- 容量大、每位价格低，用作外存

■ 光盘存储器ODM

- 用有机玻璃作载磁体，磁化、晶态/非晶态
- 可靠性高，保存时间长，容量大且易于更换
- 存储速度比硬盘低一个数量级

■ 铁电存储器FeM (FRAM)

- 铁电晶体的铁电效应，用两种极化状态表示信息“1”和“0”
- 电压低(读写功耗极低)、存取速度快、可高密度集成

5.1.2、存储器分类

■按存储器的存储方式分

- 存储方式：访问存储单元的方法

- 两个名词术语

 - 存储位元：记录（存储）一位二进制信息的存储介质区域或存储元器件

 - 存储单元：存储一个机器字或一个字节，且具有唯一地址的存储场所

- 从物理结构上看，若干个存储位元组成一个存储单元

例：某存储器为 16×4 位

表示：16个存储单元、每个存储单元有4个存储位元

5.1.2、存储器分类

■按存储器的存储方式分

■随机访问存储器（RAM）

- 存储器的任意单元都可随时访问且访问所需时间都是相同的，速度快(ns)
- 访问时间与存储单元所处的物理位置无关

■只读存储器（ROM）

- 正常工作时只读，能随机读出，不能随机写入
- MROM：只读
- PROM：一次写
- 可多次改写ROM：EPROM、E²PROM

■按内容访问存储器（CAM）：相联存储器

- 除随机存储外，还具有比较功能
- 速度快(ns)，价格高

5.1.2、存储器分类

□按存储器的存储方式分

■顺序存储器（SAS）

- 信息以文件形式组织，一个文件包含若干个数据块，一个数据块包含若干字节
- 存储时以数据块为单位存储，顺序地记录在存储介质上，数据的存储时间与数据所处的物理位置关系极大
- 速度慢(s)、容量大、成本低，用作后援外存
- 磁带、电荷耦合器件CCD、VCD

■直接存取存储器DAS/DAM：RAM+SAS

- 信息的组织同SAS，介于随机和顺序存取之间
- 对信息的存储分两步：先随机查找数据区域，找到后再顺序存取。速度慢(ms)。例：磁盘

5.1.2、存储器分类

□ 按存储器中信息的可保存性分

■ 断电后是否丢失数据

□ 挥发性存储器

- 特点：断电后，信息即丢失。如：SRAM

□ 非挥发性存储器(非易失性/永久性存储器)

- 特点：断电后，信息不丢失。如：ROM、磁盘

■ 读出后是否保持数据

□ 破坏性存储器

- 特点：读出时，原存信息被破坏，需重写。如：DRAM

□ 非破坏性存储器

- 特点：读出时，原存信息不被破坏。如：SRAM

5.1.3、内存的主要技术指标

□ 性能指标

- 存储容量
- 存取时间 $\text{MAT}(T_A)$ 与存储周期 $\text{MCT}(T_M)$
- 存储带宽
- 可靠性
- 功耗与集成度
- 性能价格比
- 存取宽度

5.1.3、内存的主要技术指标

(1) 存储容量

- 内存所能容纳的二进制位 (bit) 个数的总和，
即构成内存的存储位元的总和
- 常用单位：B、KB、MB、GB、TB
- $\text{存储容量} = \text{存储单元个数} \times \text{每个存储单元的存储位元个数}$
- 一般地，内存的存储容量越大越好

5.1.3、内存的主要技术指标

(2) 存取时间 T_A 与存储周期 T_M （单位：ns）

■ T_A ：启动一次存储器操作到完成该操作所用时间

□ 写：从启动到将MBR内容写入指定存储单元的时间

□ 读：从启动读命令到读出的数据送MBR所需的时间

□ 亦称访问时间，是反映存储器速度的指标，决定了CPU发出读/写命令后必须等待的时间

■ T_M ：连续两次启动同一存储器进行存取操作所需的最小时间间隔，亦称存取周期或访问周期

□ 两次启动包括：两次读，两次写，一次读或一次写

■ $T_A < T_M$ ： T_A 、 T_M 的差别依赖于存储信息的器件和电路，存储介质和控制线路需要恢复时间

□ 破坏性读出须重写；非破坏性读出时，不须重写

5.1.3、内存的主要技术指标

(3) 存储带宽

■ 每秒传输最大数据量 (位/秒)

改善机器瓶颈的一个关键因素

例：存取周期为500ns，每个存取周期可访问16位，则带宽为 32M位/秒

(4) 可靠性

■ 用MTBF来衡量主存的可靠性

■ MTBF表示两次故障之间的平均时间间隔

■ 采用纠错编码技术进行容错处理

例：银河-2，CPU字长64位、存储器字长72位，采用海明码“纠1检2”，提高主存可靠性

5.1.3、内存的主要技术指标

(5) 功耗和集成度

■ 功耗 (Power Loss) : 反映存储器件耗电多少
(单位: mw/片、w/存储器)

□ 维持功耗: 保持时功耗(几百~几十mw/片)

□ 工作功耗: 读写时功耗(500~1500mw/片)

■ 集成度 (Integration Level) : 标识单个存储芯片的存储容量

5.1.3、内存的主要技术指标

(6) 性能价格比——综合性指标

- 更高的容量、速度，更低的位价格：性能价格比越高越好！
- 通常采用层次存储器技术才能实现！

(7) 存取宽度，又称存储总线宽度

- 一次访存操作可存取的数据位数或字节数
- 存取宽度由编址方式决定

例：银河-1的存取宽度是64位

5.1.4、存储器发展趋势

1. 海量存储系统结构研究处于探索与试验阶段

- 确保系统计算、通信、存储能力的均衡匹配是海量存储系统结构研究的目标
- 正在研究和探索PB量级新型多层次存储组织结构、混合式共享存储结构等
- 如何将不同厂商的各种存储资源无缝整合成统一的存储资源，实现数据快速透明访问和无隙共享是存储体系结构研究的重点

5.1.4、存储器发展趋势

2. 新型存储介质不断涌现，给高性能海量存储系统研究带来新思路和新机遇

- 目前硬盘仍是最重要的大容量存储设备。
自50年代由IBM发明以来密度增加了一百倍；
最近的密度超过100Gb/in²
- 但受超顺磁效应和机械转速的限制，磁介质存储密度和磁盘访问速度的提升已很困难

5.1.4、存储器发展趋势

3. 多种新型存储产品正处于不同的试验和商业化阶段

- 磁阻RAM(MRAM) 应用：手机、移动设备、PC等数字产品的存储器的潜在替代产品
- 非易失铁电随机存储器（FeRAM）
- 相变内存(OUM)
- 铁电RAM(FRAM) 应用：机顶盒、汽车电子、三表收费、考勤门禁、商业收款等，容量小
- 纳米管RAM(NRAM)
- 分子存储器
- MEMS(微电子机械系统)存储器等

小结

■ 存储器分类

1. 按存储介质分类

- | | | |
|------------|-----------|-----|
| (1) 半导体存储器 | TTL、MOS | 易失 |
| (2) 磁表面存储器 | 磁头、载磁体 | 非易失 |
| (3) 光盘存储器 | 激光、磁光材料 | |
| (4) 铁电存储器 | 铁电晶体、铁电薄膜 | |

小结

2. 按存取方式分类

(1) 存取时间与物理地址无关（随机访问）

■ 随机存储器 在程序的执行过程中可 **读** 可 **写**

■ 只读存储器 在程序的执行过程中 **只读**

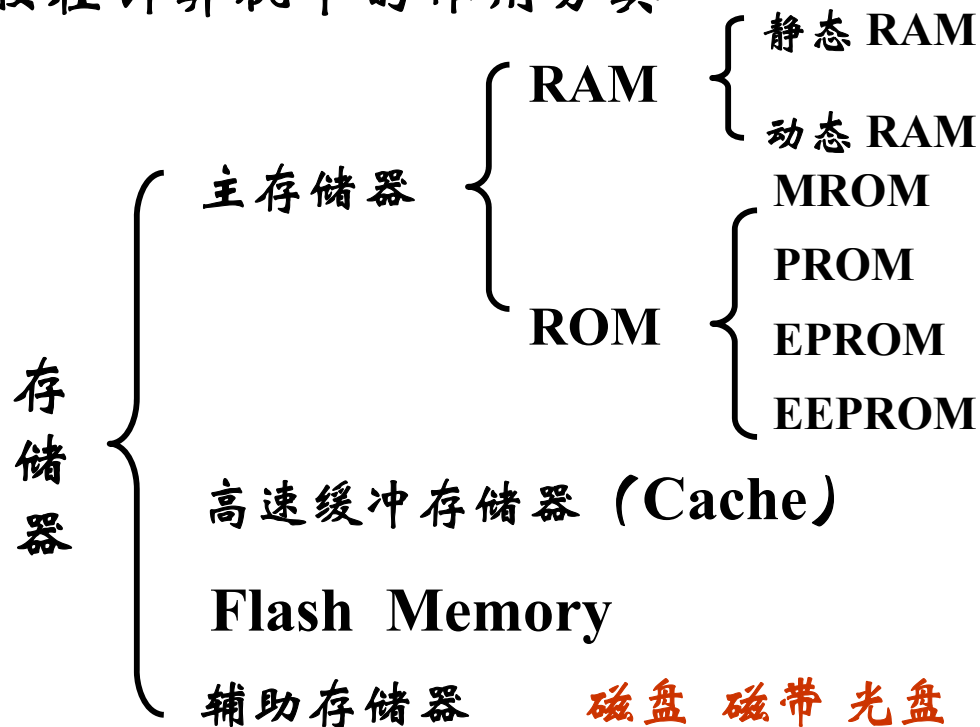
(2) 存取时间与物理地址有关（串行访问）

■ 顺序存取存储器 **磁带**

■ 直接存取存储器 **磁盘**

小结

3. 按在计算机中的作用分类



小结

□ 内存存储器性能指标

1. 存储容量
2. 存取时间 $\text{MAT}(T_A)$ 与存储周期 $\text{MCT}(T_M)$
3. 存储带宽
4. 可靠性
5. 功耗与集成度
6. 性能价格比
7. 存取宽度

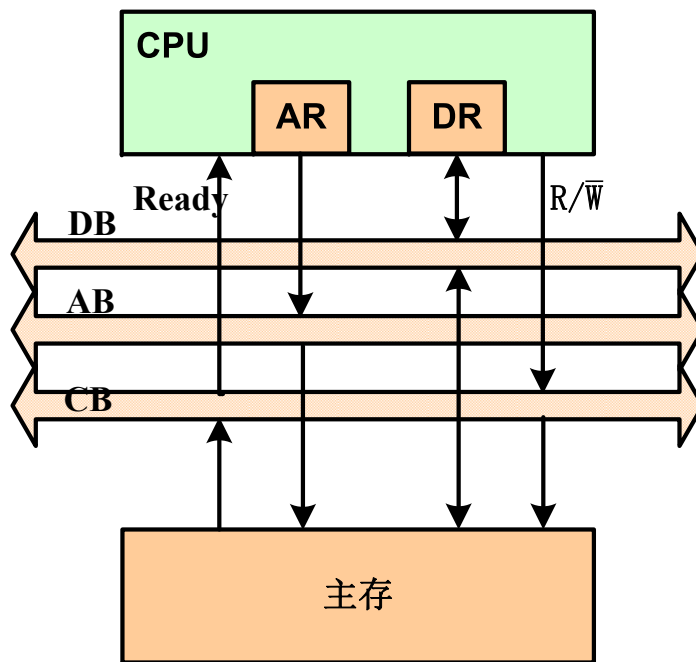
5.2 主存储器

□ 特点：

- 主存储器可以被CPU直接存取（访问）。
- 一般由半导体材质构成。
- **随机存取**：读写任意存储单元所用时间是相同的，与单元地址无关。
- 与辅存相比，速度快，价格高，容量小。

□ 主存的操作：

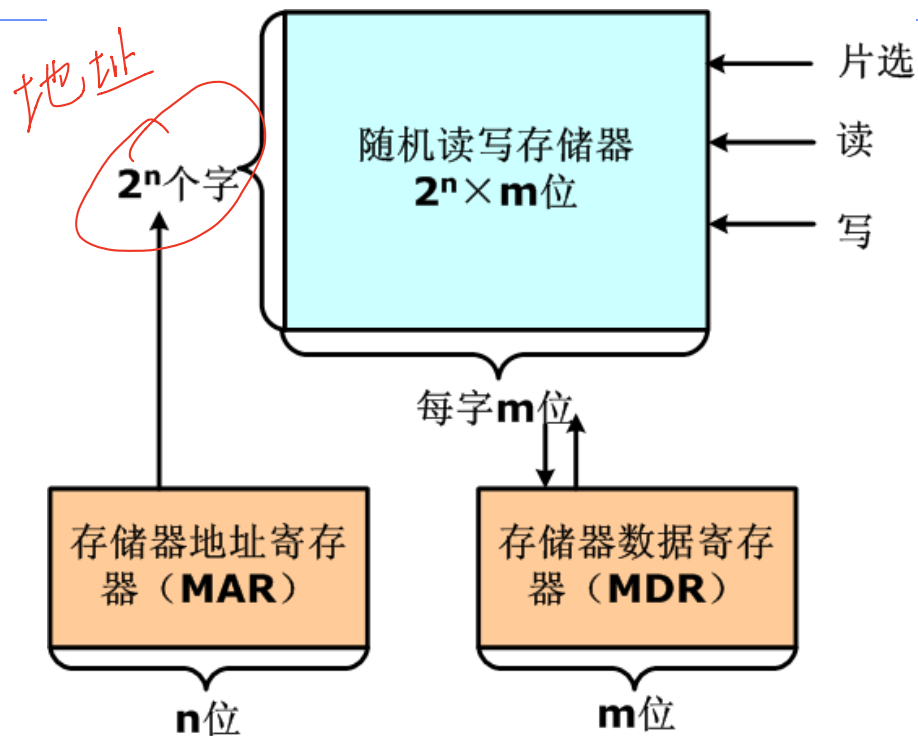
- 读存储器操作：
- 写存储器操作：



5.2 主存储器

- 主存储器按其**功能**可分为RAM和ROM。
- 一、随机读写存储器RAM
- 二、只读存储器ROM
- 三、高性能的主存储器

一、随机读写存储器RAM



一、随机读写存储器RAM

- 1、静态存储器（SRAM）
- 2、动态存储器（DRAM）
- 3、SRAM和DRAM的对比

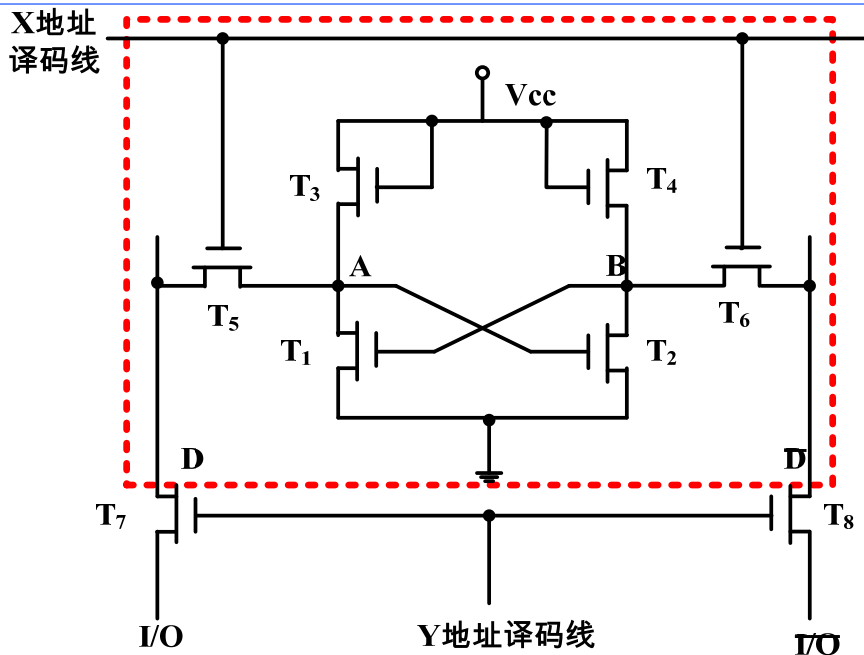
1、静态存储器（SRAM）

- （1）SRAM存储位元
- （2）SRAM存储器
- （3）SRAM存储器的特点

(1) SRAM存储位元

□ “1”状态: T1
截止, T2导
通

□ “0”状态:
T2截止, T1
导通



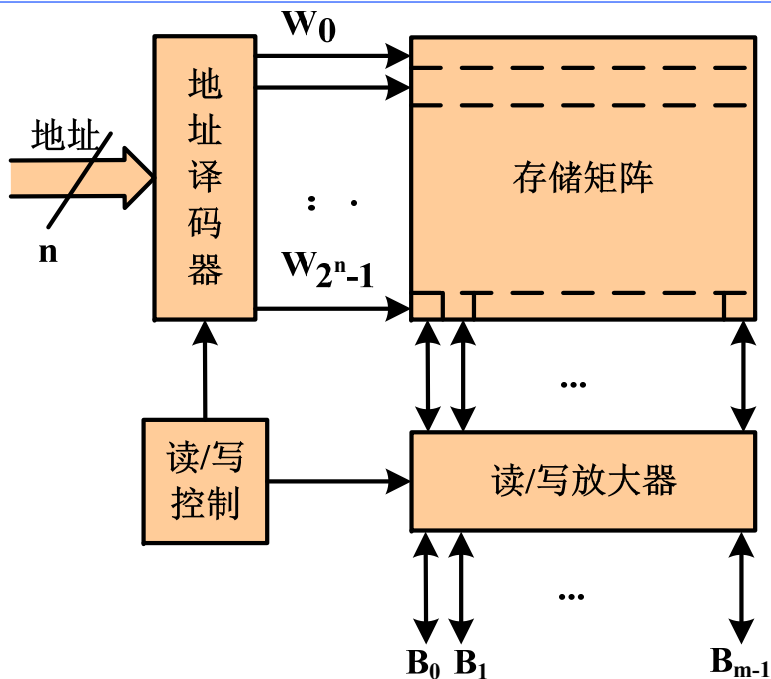
⊕ 六管MOS静态存储器结构

(2) SRAM存储器

□地址译码方式:

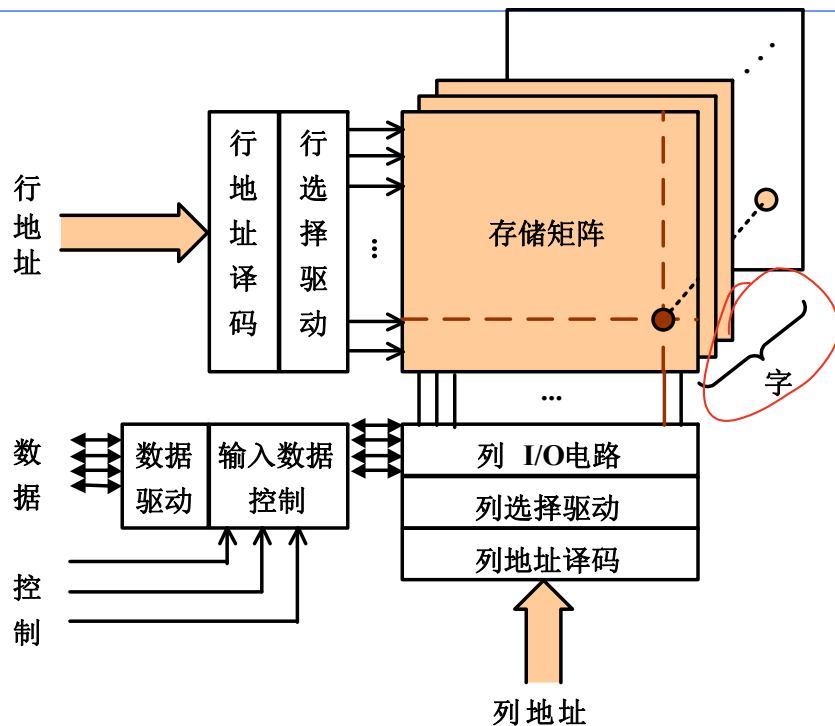
- 线性译码方式: n 位地址线, 经过一维译码后, 有 2^n 根选线。

- 双向译码方式



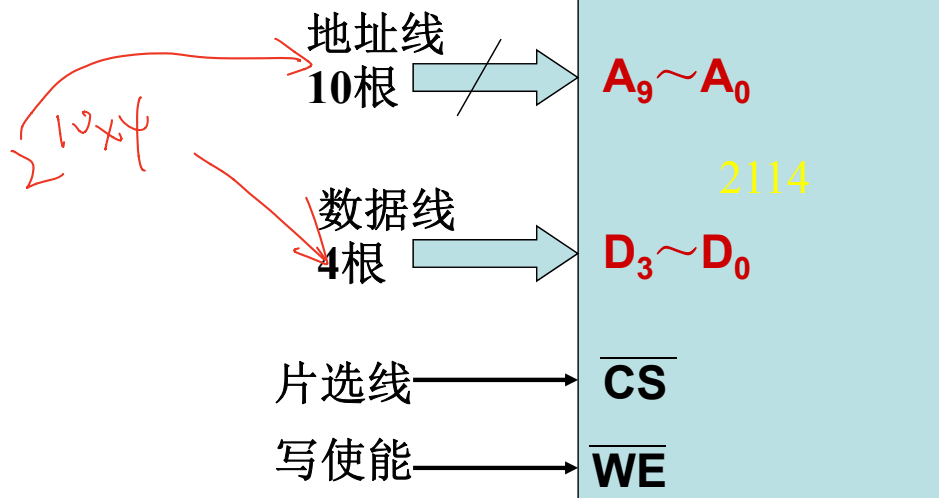
(2) SRAM存储器

- 双向译码方式： n 位地址分为行、列地址分别译码



2114 SRAM存储器

□ 1K×4位



(3) SRAM存储器的特点

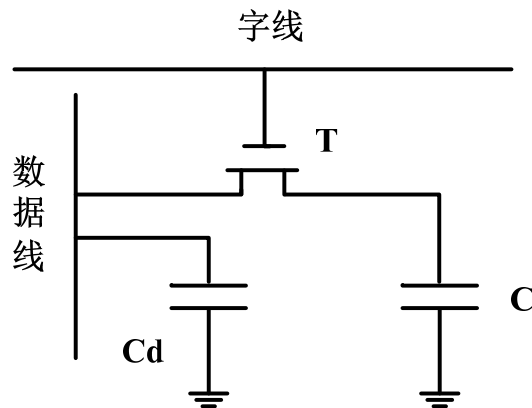
- 使用双稳态触发器表示0和1代码。
- 电源不掉电的情况下，信息稳定保持（静态）。
- 存取速度快，集成度低（容量小），价格高。
- 常用作高速缓冲存储器Cache。

2、动态存储器（DRAM）

- (1) DRAM存储位元
- (2) DRAM存储器
- (3) DRAM的刷新方式
- (4) DRAM存储器的特点

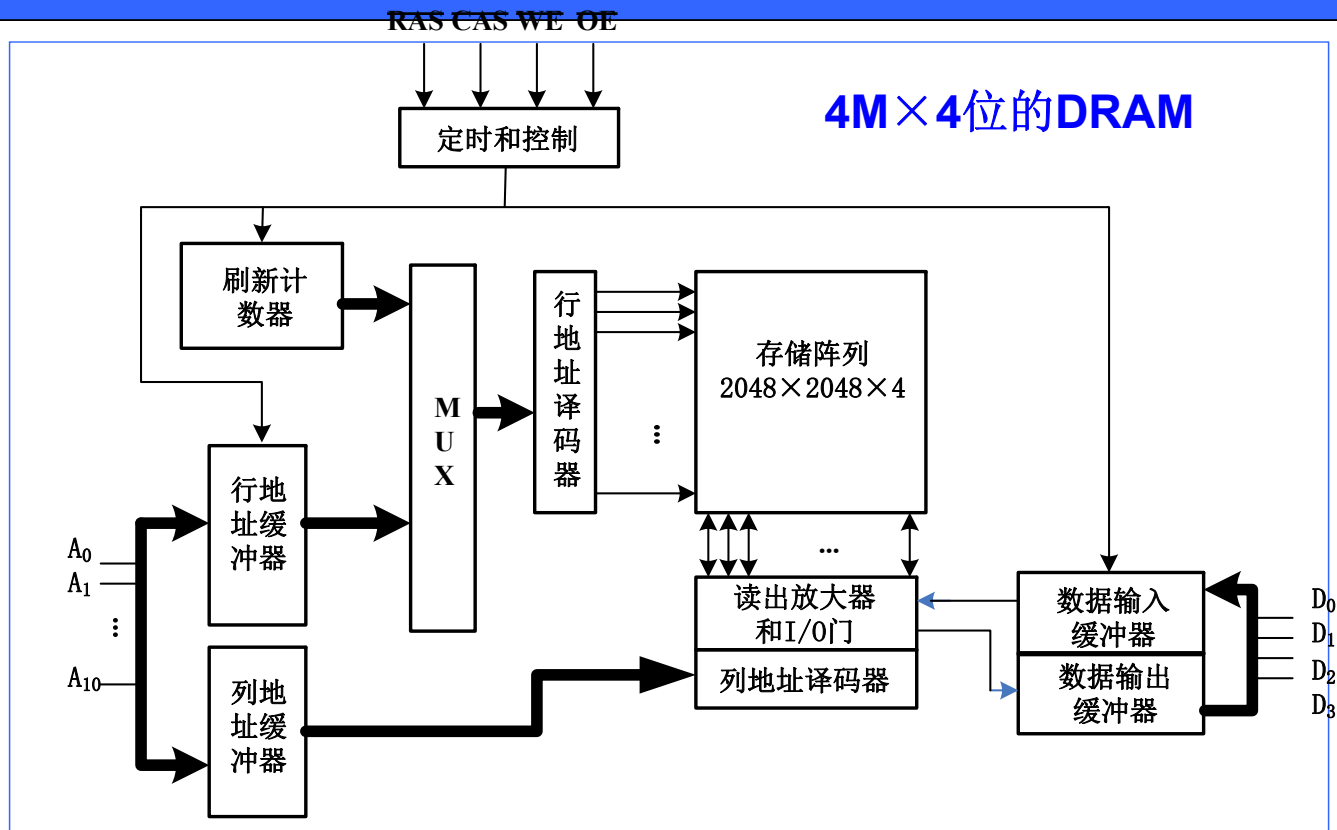
(1) DRAM存储位元

- “1”状态：电容C上有电荷
- “0”状态：电容C上无电荷
- 再生：读出后信息可能被破坏，需要重写。
- 刷新：经过一段时间后，信息可能丢失，需要重写。

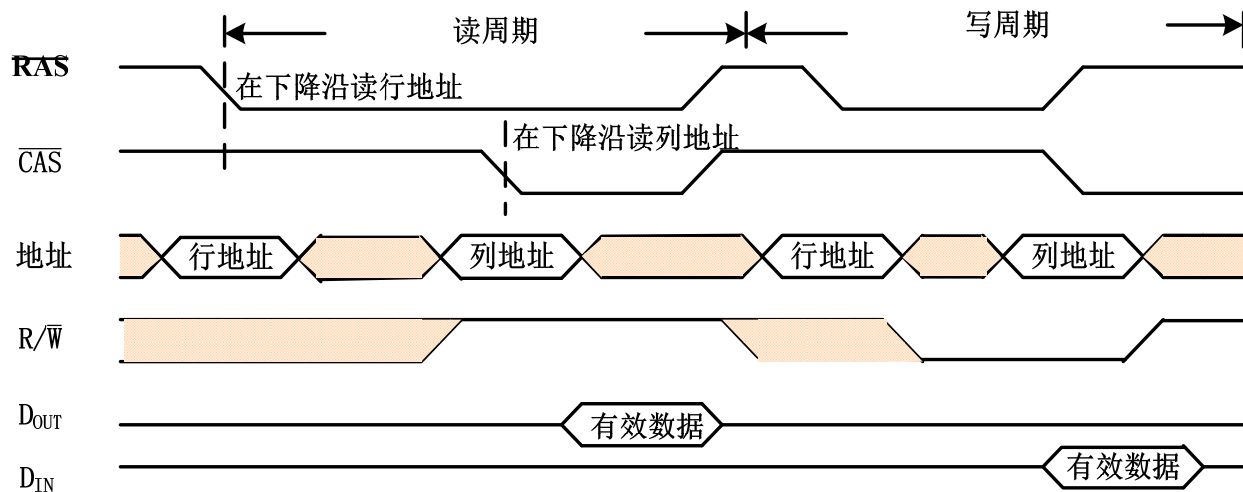


单管MOS动态存储器结构

(2) DRAM存储器



DRAM的读/写过程

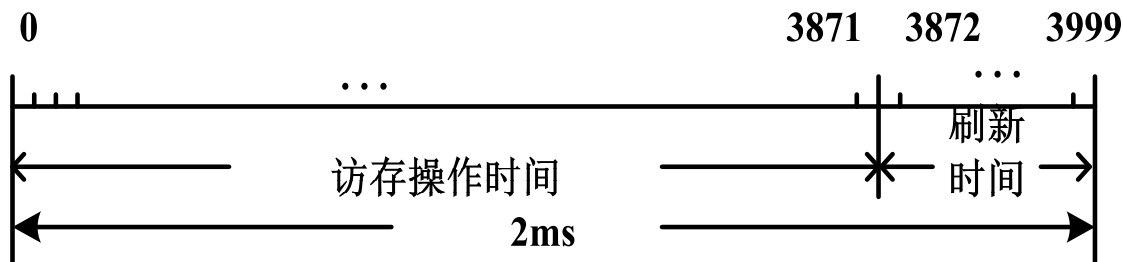


(3) DRAM的刷新方式

- **刷新周期**：从上一次刷新结束到下一次对整个DRAM全部刷新一遍为止，这一段时间间隔称为刷新周期。
- **刷新操作**：即是按行来执行内部的读操作。由刷新计数器产生行地址，选择当前要刷新的行，读即刷新，刷新一行所需时间即是一个存储周期。
- **刷新行数**：单个芯片的单个矩阵的行数。
 - 对于内部包含多个存储矩阵的芯片，各个矩阵的同一行是被同时刷新的。
 - 对于多个芯片连接构成的DRAM，DRAM控制器将选中所有芯片的同一行来进行逐行刷新。
- **单元刷新间隔时间**：DRAM允许的最大信息保持时间；一般为2ms。
- **刷新方式**：集中式刷新、分散式刷新和异步式刷新。

例：64K×1位DRAM芯片中，存储电路由4个独立的
128×128的存储矩阵组成。设存储器存储周期为500ns，单
 元刷新闻隔是2ms。

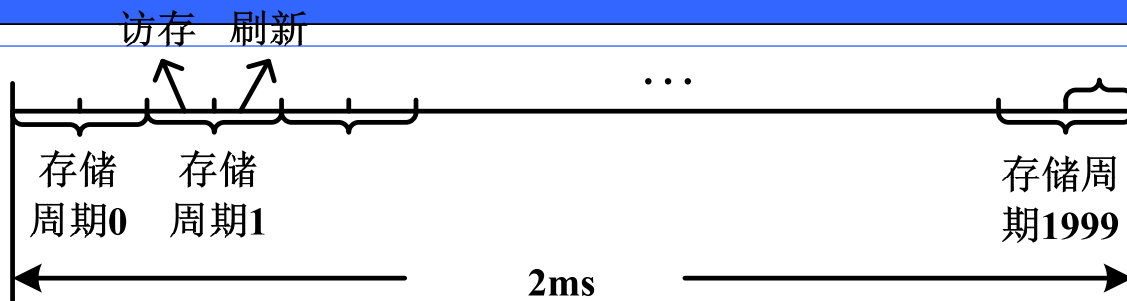
⊕ 集中式刷新



- 在2ms单元刷新闻隔时间内，集中对128行刷新一遍，所需时间 $128 \times 500\text{ns} = 64\mu\text{s}$ ，其余时间则用于访问操作。
- 在内部刷新时间（64μs）内，不允许访存，这段时间被称为死时间。

3872及读多周期后安排128次刷新

❖ 分散式刷新



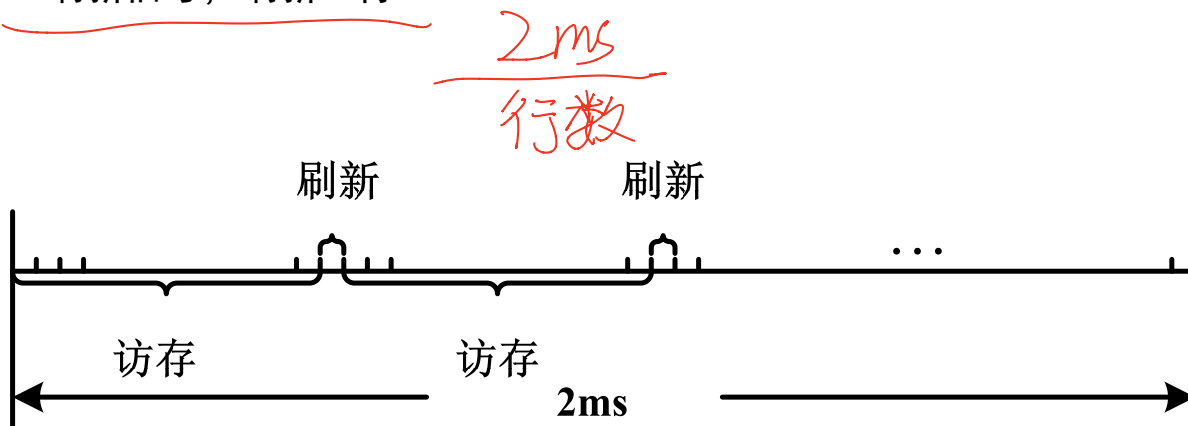
- ❑ 在任何一个存储周期内，分为访存和刷新两个子周期。
 - 访存时间内，供CPU和其他主设备访问。
 - 在刷新时间内，对DRAM的某一行刷新。
- ❑ 存储周期为存储器存储周期的两倍，即 $500\text{ns} \times 2 = 1\mu\text{s}$ 。
- ❑ 刷新周期缩短，为 $128 \times 1\mu\text{s} = 128\mu\text{s}$ 。在2ms的单元刷新闻隔时间内，对DRAM刷新了 $2\text{ms} \div 128\mu\text{s}$ 遍。

1次读写周期安排1次刷新，共1000次刷新

异步式刷新

异步刷新采取折中的办法，在2ms内分散地把各行刷新一遍。

- 避免了分散式刷新中不必要的多次刷新，提高了整机速度；同时又解决了集中式刷新中“死区”时间过长的问题。
- 刷新信号的周期为 $2\text{ms}/128=15.625\mu\text{s}$ 。让刷新电路每隔 $15\mu\text{s}$ 产生一个刷新信号，刷新一行。



每30次读写周期安排1次刷新

(4) DRAM存储器的特点

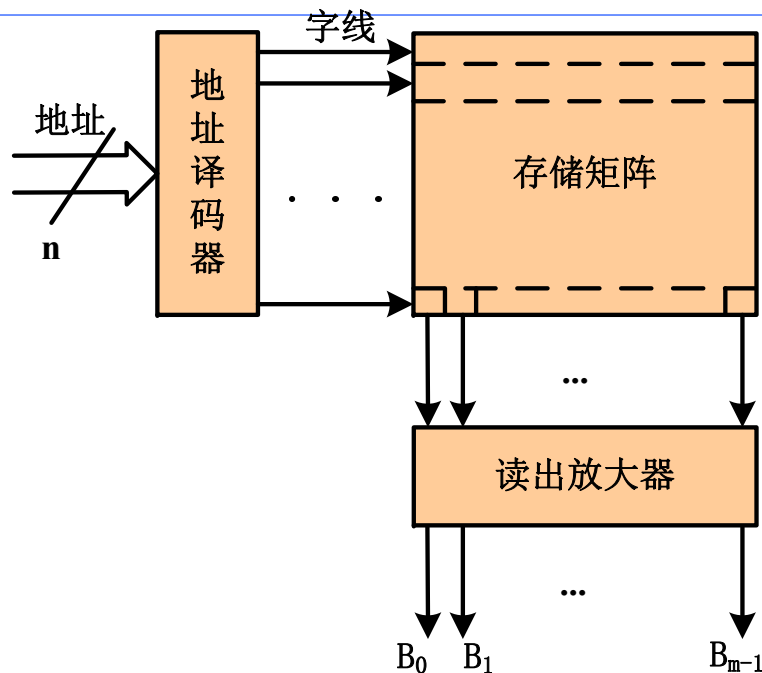
- 使用半导体器件中分布电容上有无电荷来表示0和1代码。
- 电源不掉电的情况下，信息也会丢失，因此需要不断刷新。
- 存取速度慢，集成度高（容量大），价格低。
- 常用作内存条。

3、SRAM和DRAM的对比

比较内容	SRAM	DRAM
存储信息0和1的方式	双稳态触发器	极间电容上的电荷
电源不掉电时	信息稳定	信息会丢失
刷新	不需要	需要
集成度	低	高
容量	小	大
价格	高	低
速度	快	慢
适用场合	Cache	主存

二、只读存储器ROM

- MROM
- PROM
- EPROM
- E²PROM
- Flash Memory



几种非易失性存储器的比较

存储器	类别	擦除方式	能否单字节修改	写机制
MROM	只读	不允许	否	掩膜位写
PROM	写一次读多次	不允许	否	电信号
EPROM	写多次读多次	紫外线擦除, 脱机改写	否	电信号
E ² PROM	写多次读多次	电擦除, 在线改写	能	电信号
Flash Memory	写多次读多次	电擦除, 在线改写	否	电信号

三、高性能的主存储器

- ❑ EDRAM, 即增强型DRAM
- ❑ CDRAM, 带Cache的DRAM
- ❑ EDO RAM (Extended Data Out RAM)。也称“扩展数据输出RAM”
- ❑ **SDRAM** (Synchronous Dynamic RAM), 也称“同步DRAM”。
- ❑ **RDRAM** (Rambus DRAM)
- ❑ **DDR SDRAM** (双倍速率SDRAM) , 简称DDR。

第5章 存储体系

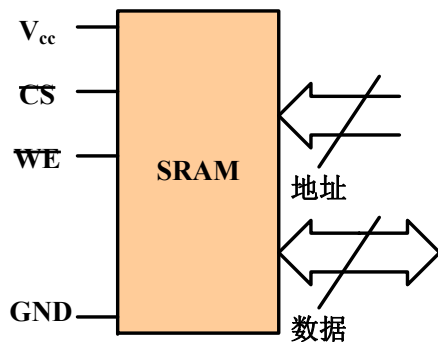
- 5.1 存储体系概述
- 5.2 主存储器
- 5.3 主存储器与CPU的连接
- 5.4 高速存储器
- 5.5 高速缓冲存储器Cache
- 5.6 虚拟存储器
- 5.7 外存储器
- 5.8 存储保护

5.3主存储器与CPU的连接

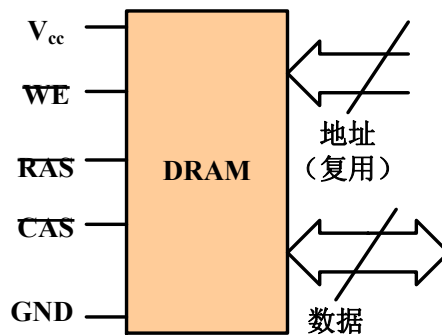
- 一、背景知识——存储芯片简介
- 二、存储器容量扩展的三种方法
- 三、主存储器与CPU的连接

一、背景知识——存储芯片简介

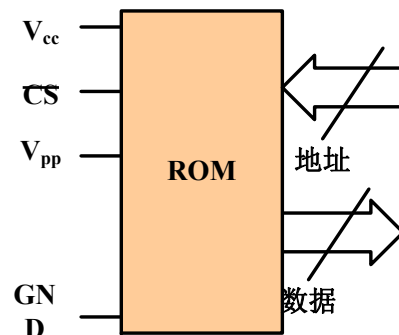
□ 存储芯片的引脚封装



(A)SRAM芯片引脚



(B)DRAM芯片引脚



(C)ROM芯片引脚

二、存储器容量扩展的三种方法

□ 1、位扩展

从字长方向扩展

□ 2、字扩展

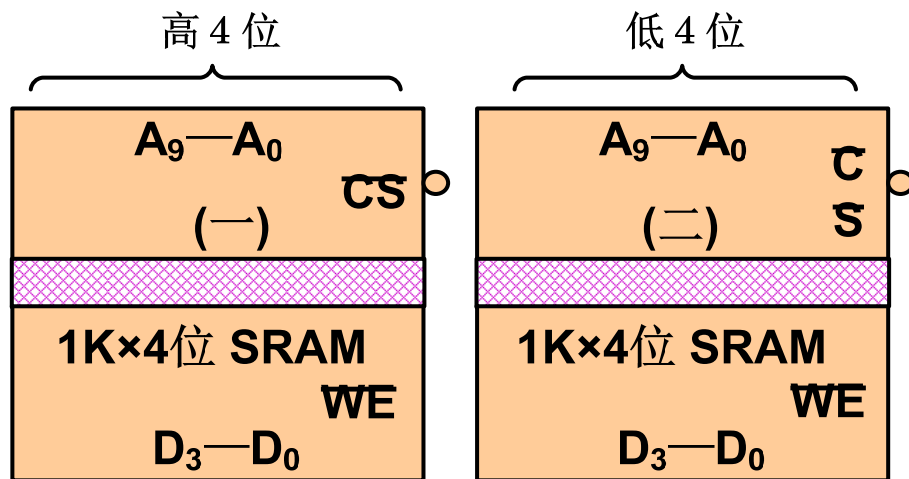
从字数方向扩展

□ 3、字位扩展

从字长和字数方向扩展

1、位扩展

□要求：用 $1K \times 4$ 位的SRAM芯片 \rightarrow $1K \times 8$ 位的SRAM存储器

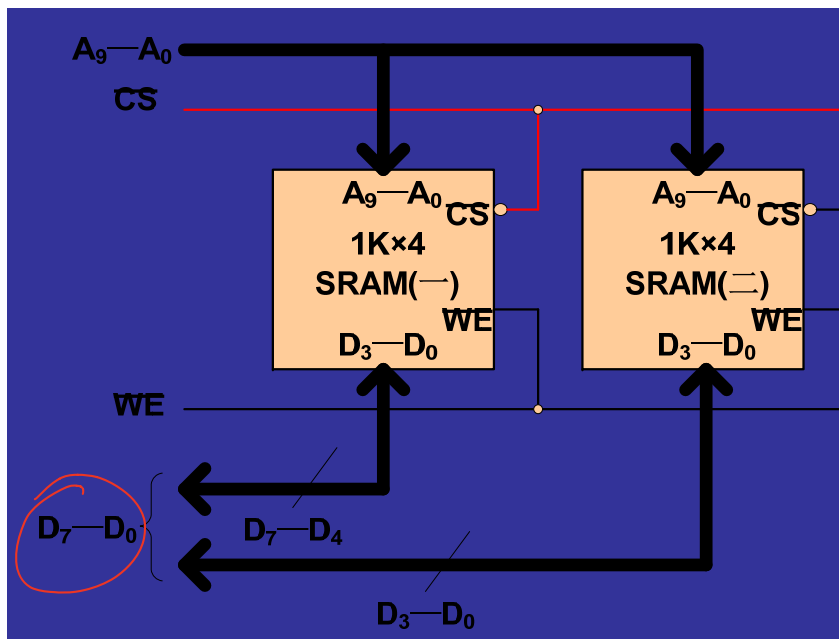


1、位扩展

□ 容量 = $2^{10} \times 8$ 位

□ 举例验证:

读地址为0 的
存储单元的内
容



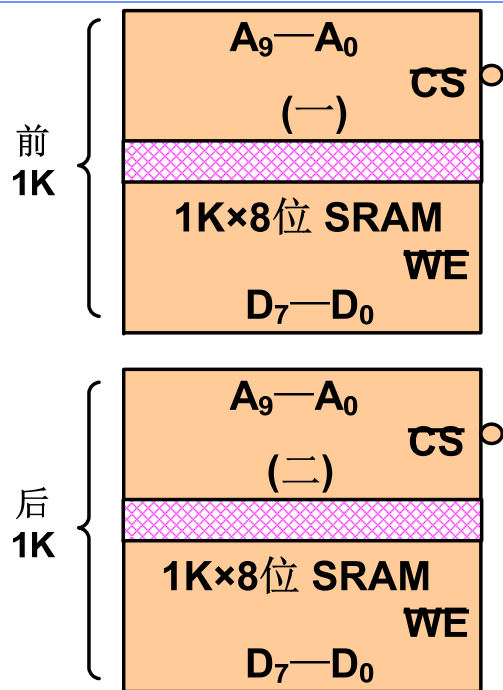
1、位扩展

- 要点：
- (1) 芯片的地址线A、读写控制信号WE#、片选信号CS#分别连在一起；
- (2) 芯片的数据线D分别对应于所搭建的存储器的高若干位和低若干位。

2、字扩展

□要求：

用 $1\text{K} \times 8$ 位的SRAM芯片
→ $2\text{K} \times 8$ 位的SRAM存储器



2、字扩展

□ 分析地址：

- A_{10} 用于选择芯片
- $A_9 \sim A_0$ 用于选择芯片内的某一存储单元

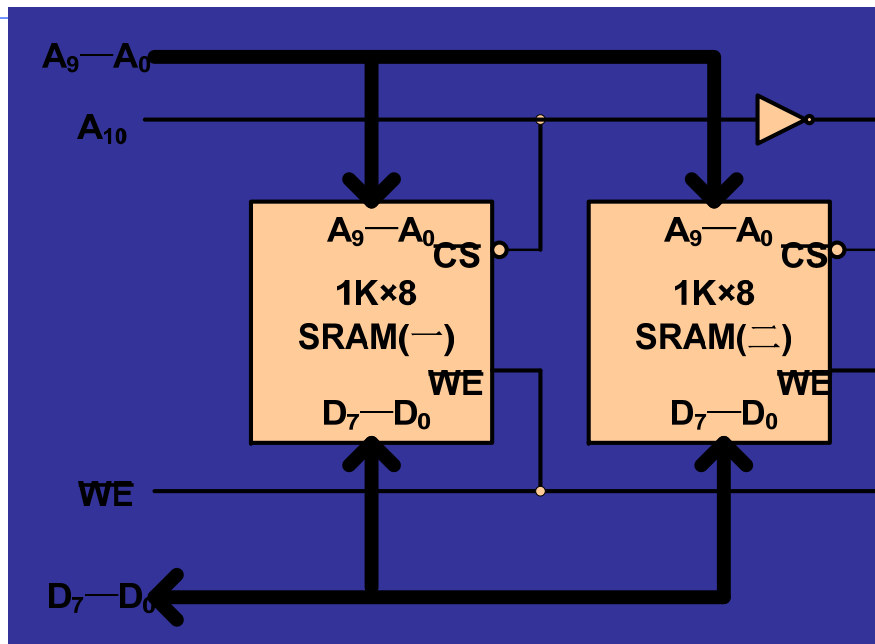
A_{10}	A_9	\sim	A_0	
0	0	\sim	0	前 1K
\vdots	\vdots	\vdots	\vdots	
0	1	\sim	1	
1	0	\sim	0	后 1K
\vdots	\vdots	\vdots	\vdots	
1	1	\sim	1	

2、字扩展

□容量 = $2^{11} \times 8$ 位

□举例验证:

- 读地址为 0 的存储单元的内容
- 读地址为 10 ... 0 的存储单元的内容



2、字扩展

- 要点：
- （1）芯片的数据线D、读写控制信号WE#分别连在一起；
- （2）存储器地址线A的低若干位连接各芯片的地址线；
- （3）存储器地址线A的高若干位作用于各芯片的片选信号CS#。

3、字位扩展

- 需扩展的存储器容量为 $M \times N$ 位，已有芯片的容量为 $L \times K$ 位 ($L < M, K < N$)

$$\frac{M \times N}{L \times K}$$

- 用 M/L 组 芯片进行字扩展；
- 每组内有 N/K 个 芯片进行位扩展。

三、主存储器与CPU的连接

- 1、根据CPU芯片提供的地址线数目，确定CPU访存的地址范围，并写出相应的二进制地址码；
- 2、根据地址范围的容量，确定各种类型存储器芯片的数目和扩展方法；
- 3、分配CPU地址线。CPU地址线的低位（数量=存储芯片的地址线数量）直接连接存储芯片的地址线；CPU高位地址线皆参与形成存储芯片的片选信号；
- 4、连接数据线、R/W#等其他信号线，MREQ#信号一般可用作地址译码器的使能信号。
- 需要说明的是，主存的扩展及与CPU连接在做法上并不唯一，应该具体问题具体分析

例5—1

- **例5-1:** 设CPU有16根地址线，8根数据线，并用MREQ#作访存控制信号（低电平有效），用R/W#作读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K*4位SRAM；4K*8位SRAM；8K*8位SRAM；2K*8位ROM；4K*8位ROM；8K*8位ROM；及3：8译码器和各种门电路。
8Kx8 ROM
- **要求:** 主存的地址空间满足下述条件：最小8K地址为系统程序区（ROM区），与其相邻的16K地址为用户程序区（RAM区），最大4K地址空间为系统程序区（ROM区）。
4Kx8 ROM → *2片 8Kx8 SRAM*
- 请画出存储芯片的片选逻辑，存储芯片的种类、片数
- 画出CPU与存储器的连接图。

解：首先根据题目的地址范围写出相应的二进制地址码。

	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	
8K×8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	最小8K 系统区
	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	
8K×8	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	相邻 16K 用户程 序区
	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
8K×8	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	
															最大4K 系统区
4K×8	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	
	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

解题

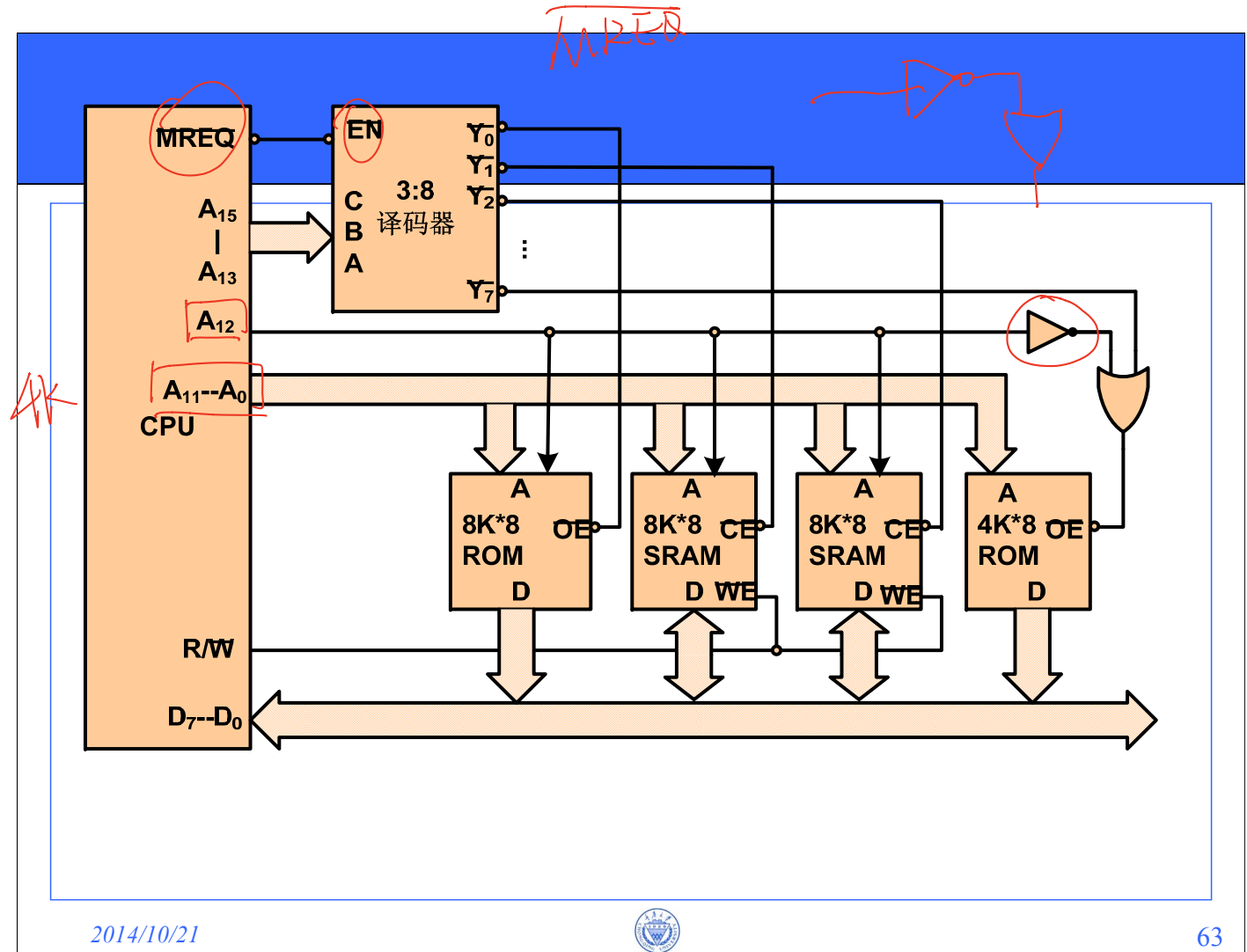
□ 第二步：选择芯片

- 最小8K系统程序区←8K*8位ROM, 1片
- 16K用户程序区←8K*8位SRAM, 2片;
- 4K系统程序工作区←4K*8位ROM, 1片。

□ 第三步，分配CPU地址线。

- CPU的低13位地址线 $A_{12} \sim A_0$ 与1片8K*8位ROM和两片8K*8位SRAM芯片提供的地址线相连；将CPU的低12位地址线 $A_{11} \sim A_0$ 与1片4K*8位ROM芯片提供的地址线相连。

□ 第四步，译码产生片选信号。



例5—2

2¹⁸ × 8

□ **例5-2:** 设有若干片256K×8位的SRAM芯片，问如何构成2048K×32位的存储器？需要多少片RAM芯片？该存储器需要多少根地址线？画出该存储器与CPU连接的结构图，设CPU的接口信号有地址信号、数据信号、控制信号MREQ#和R/W#。

2²⁰ × 32

□ **解:** 采用字位扩展的方法。

■ SRAM芯片个数： $2048K/256K \times 32/8 = 32$ 片

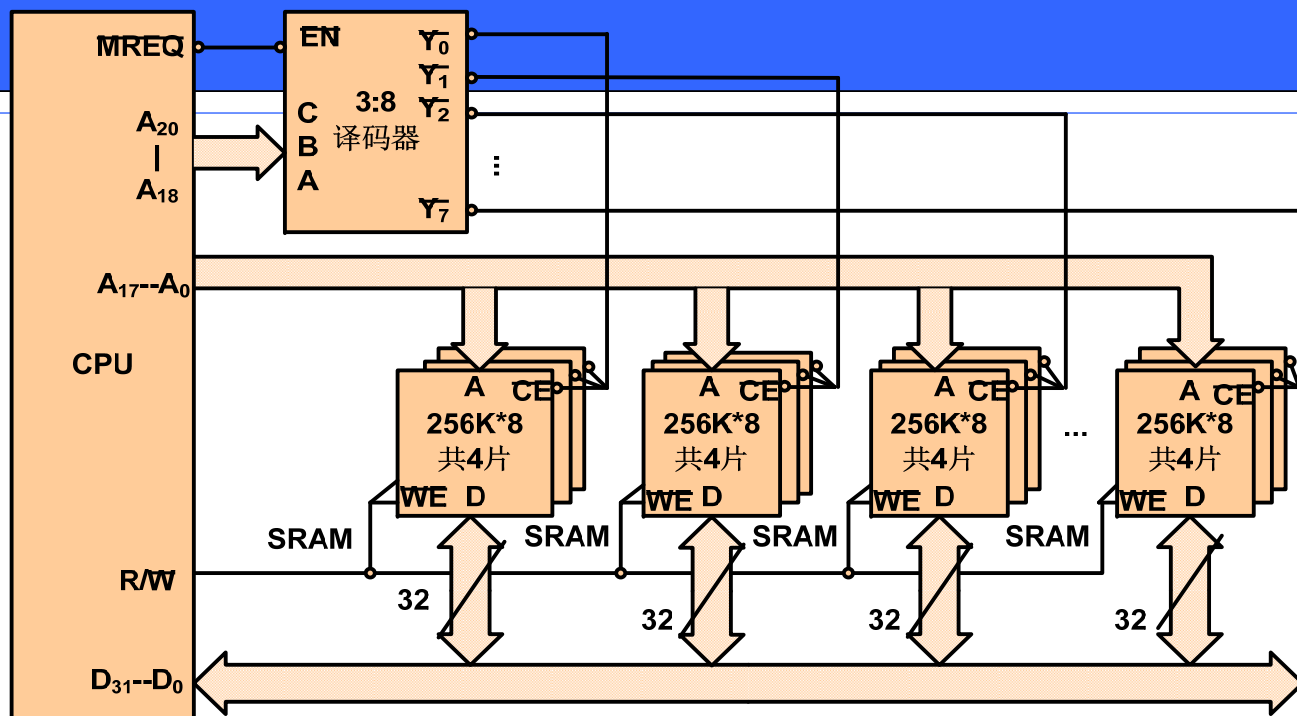
■ 每4片一组进行位扩展，共8组芯片进行字扩展

■ 片选：该存储器需要21条地址线A₂₀~A₀，其中高3位用于芯片选择接到74LS138芯片的CBA，低18位接到存储器芯片地址。

■ MREQ#：作为译码器的使能信号。

$$\frac{2048K \times 32}{256K \times 8} =$$

$$8 \times 4 = 32 \text{ 片}$$



5.4 高速存储器

- **解决问题：弥补CPU与主存速度上的差异。**
- **从存储器角度，解决问题的有效途径：**
 - 主存采用更高速的技术来缩短存储器的读出时间，或加长存储器的字长；
 - 采用并行操作的多端口存储器；
 - 在CPU和主存之间加入一个高速缓冲存储器（Cache），以缩短读出时间；
 - 在每个存储器周期中存取几个字（多体交叉存储）。

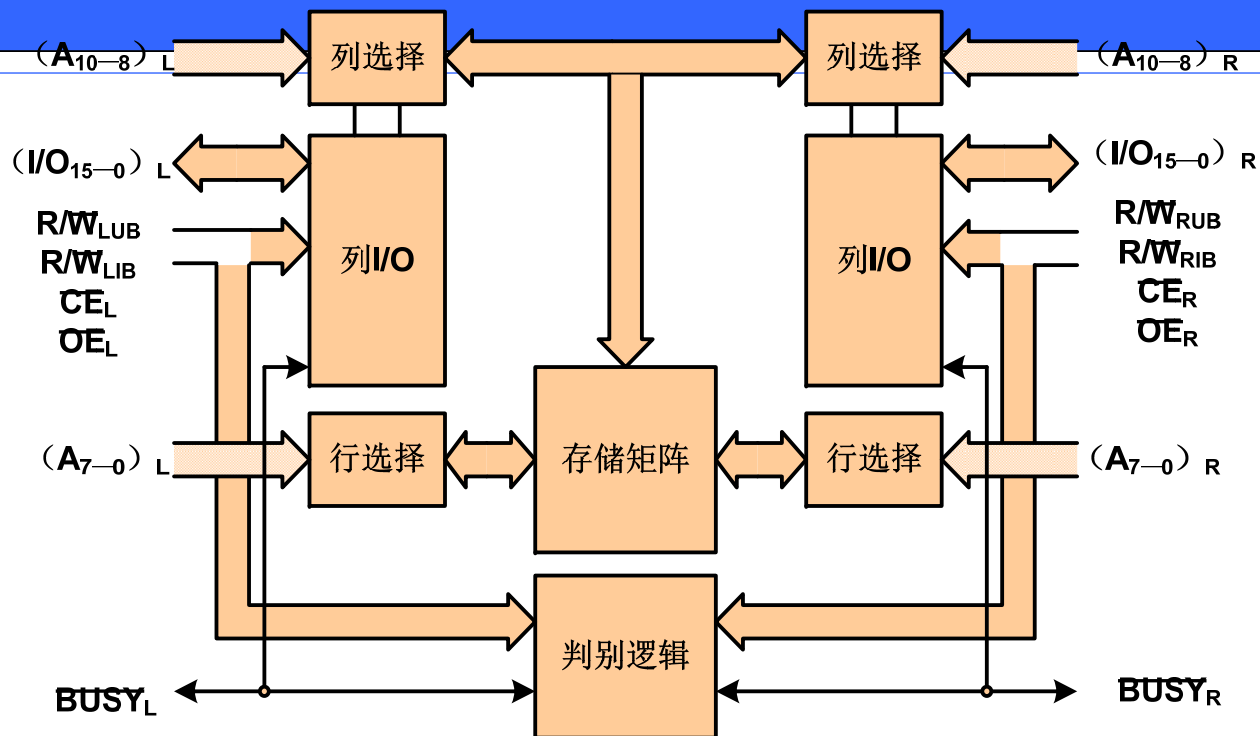
5.4 高速存储器

- 一、双端口存储器
- 二、多体交叉存储器
- 三、相联存储器

一、双端口存储器

- **特点：**同一个存储器具有两组相互独立的读写控制线路，允许两个独立的CPU或控制器同时异步地访问存储单元，是一种高速工作的存储器。其最大的特点是存储数据共享。
- **结构特点：**具有左右两个端口，每一个端口都有自己的片选控制信号和输出使能控制信号。
- **访问冲突：**当左端口和右端口的地址不相同时，在两个端口上同时进行读写操作，不会发生冲突。若左、右端口同时访问相同的存储单元，则会发生读写冲突。
- **解决方法：**判断逻辑决定对哪个端口优先进行读写操作，而暂时关闭另一个被延迟的端口，即置其忙信号BUSY#=0。

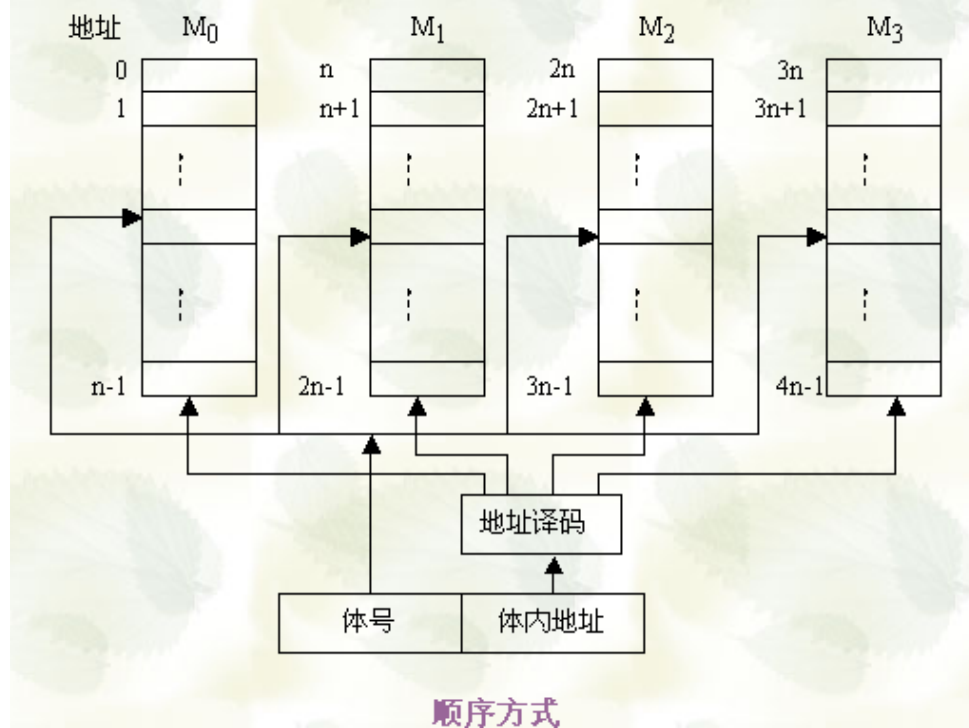
2K×16位双端口存储器IDT7133的逻辑框图



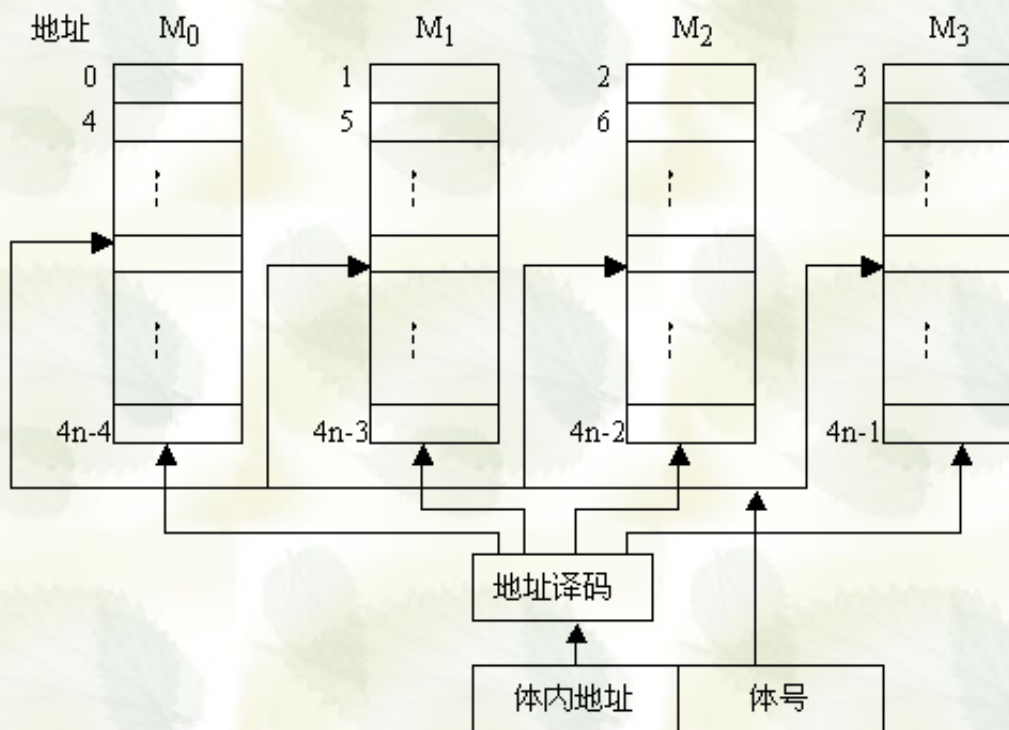
二、多体交叉存储器

- **特点：**通过改进主存的组织方式，在不改变存储器存取周期的情况下，提高存储器的带宽。
- **结构特点：**多体交叉存储器由M个的存储体（或称存储模块）组成，每个存储体有相同的容量和存取速度，又有各自独立的地址寄存器、地址译码器、读写电路和驱动电路。
- **编址方法：**交叉编址，即任何两个相邻地址的物理单元不属于同一个存储体，一般在相邻的存储体中；同一个存储体内的地址都是不连续的。

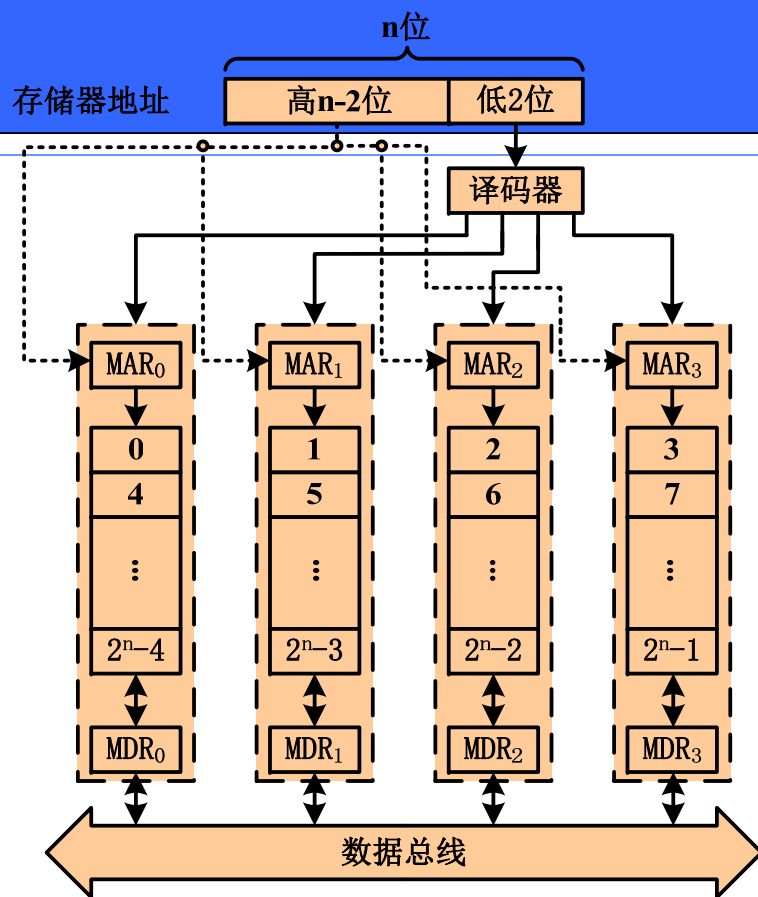
顺序编址



交叉编址

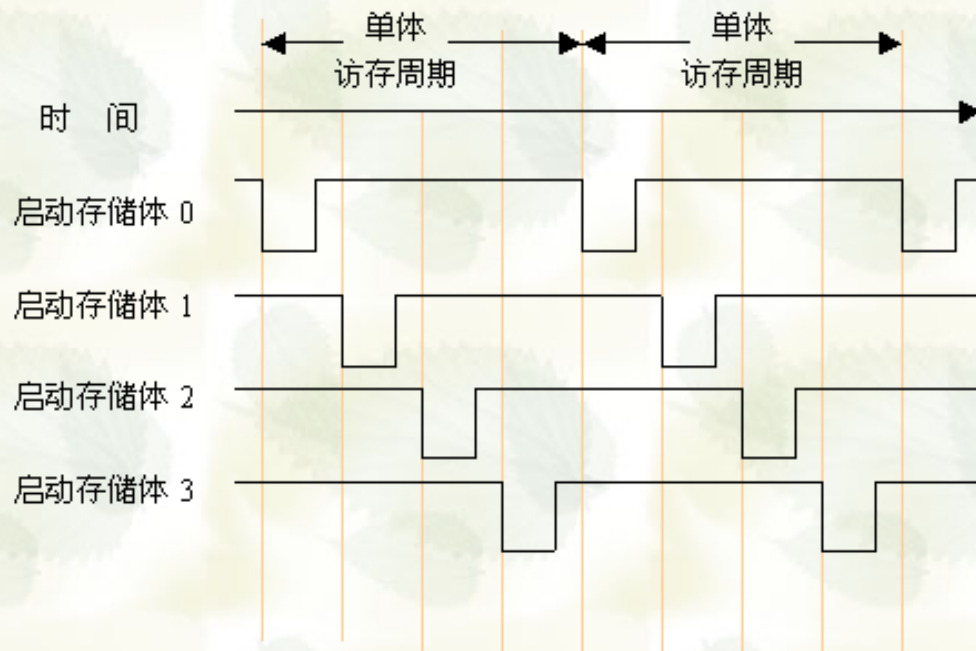


交叉方式



二、多体交叉存储器

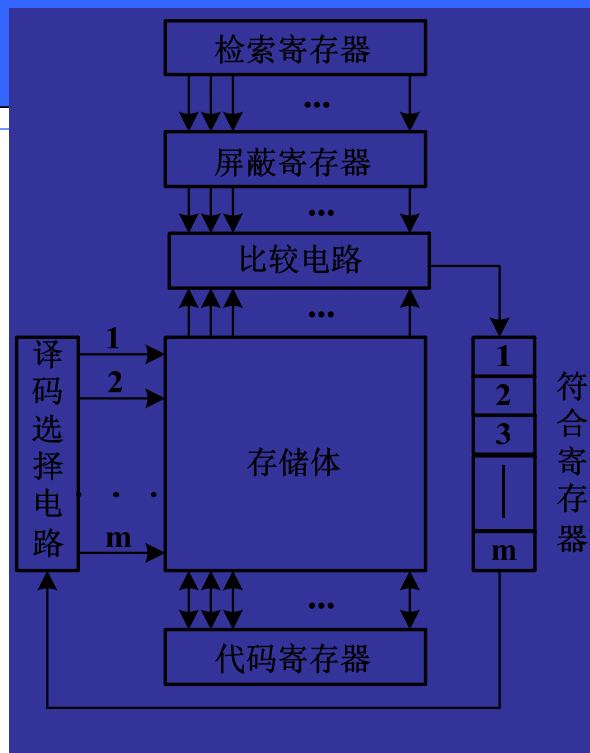
- **访问：**CPU同时送出的M个地址，只要他们分属于M个存储体，访问就不会冲突；由存储器控制部件控制它们分时使用数据总线进行信息传递。
- **适合采用流水线**方式并行存取，虽然每个存储体的存储周期没变，但是当CPU连续访问一个字块时，可以大大提高存储器的带宽。



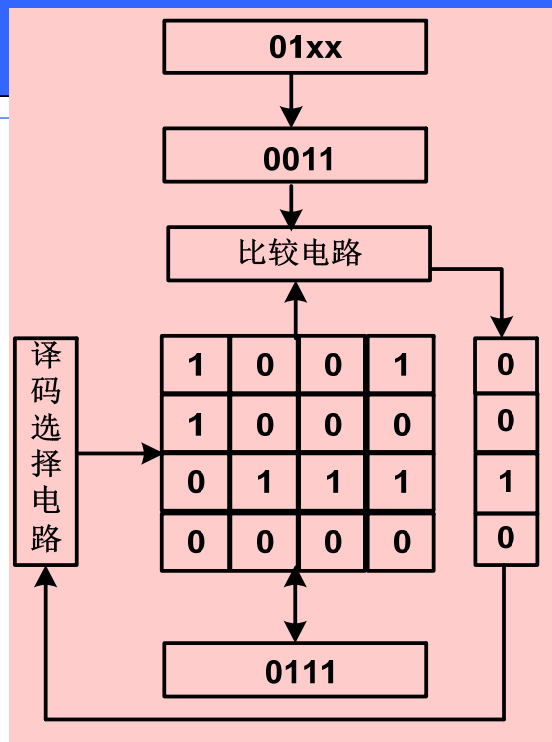
四个存储体交叉访问的时间关系

三、相联存储器

- **特点：**按内容访问的存储器，即在相联存储器中，一个字是通过它的部分内容而不是它的地址进行检索的。
- 适用于快速查询的场合。



相联存储器的基本组成



相联存储器检索举例



重庆大学
CHONGQING UNIVERSITY

计算机学院

COLLEGE OF COMPUTER SCIENCE

敬请批评指正
谢 谢