

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет информатики и
радиоэлектроники»

Кафедра электронных вычислительных машин

Лабораторная работа №2
«Исследование работы комбинационных устройств»

Проверил:
Тарасюк И. С.

Выполнили:
ст. гр. 350503
Губаревич А. В.
Ганецкий В. В.

Минск 2025

1 ЦЕЛЬ РАБОТЫ

Исследование работы комбинационных устройств

2 ХОД РАБОТЫ

2.1 Исследование работы шифратора

Таблица истинности шифратора

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шар 1	0	1	1	1	1	1	1	1	1	1	1	1	1	0
Шар 2	0	1	1	1	1	1	1	1	0	1	1	1	0	1
Шар 3	0	1	1	1	1	1	1	0	1	1	1	0	0	1
Шар 4	0	1	1	1	1	1	0	1	1	1	0	1	0	1
Шар 5	0	1	1	1	1	0	1	1	1	1	0	0	0	1
Шар 6	0	1	1	1	0	1	1	1	1	0	1	1	0	1
Шар 7	0	1	1	0	1	1	1	1	1	0	1	0	0	1
Шар 8	0	1	0	1	1	1	1	1	1	0	0	1	0	1
Шар 9	0	0	1	1	1	1	1	1	1	0	0	0	0	1

Рисунок 2.1.1 – Таблица истинности шифратора с логическим сигналом 0 на входе E

Таблица истинности шифратора

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шар 1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Шар 2	1	1	1	1	1	1	1	1	0	1	1	1	1	1
Шар 3	1	1	1	1	1	1	1	0	1	1	1	1	1	1
Шар 4	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Шар 5	1	1	1	1	1	0	1	1	1	1	1	1	1	1
Шар 6	1	1	1	1	0	1	1	1	1	1	1	1	1	1
Шар 7	1	1	1	0	1	1	1	1	1	1	1	1	1	1
Шар 8	1	1	0	1	1	1	1	1	1	1	1	1	1	1
Шар 9	1	0	1	1	1	1	1	1	1	1	1	1	1	1

Рисунок 2.1.2 – Таблица истинности шифратора с логическим сигналом 1 на входе E

Диаграмма состояний шифратора

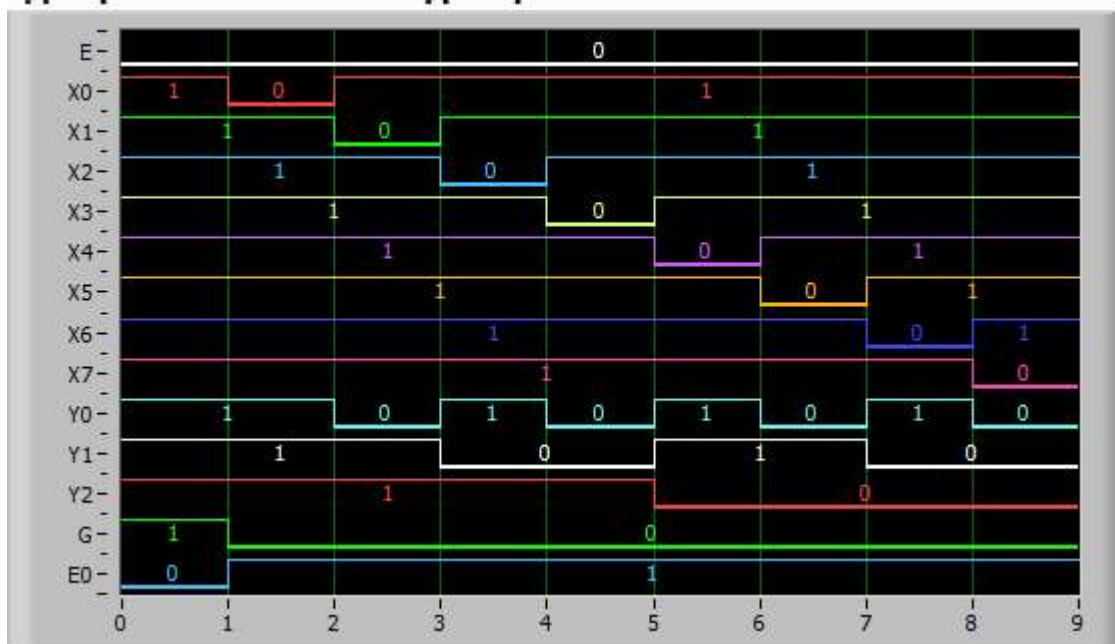


Рисунок 2.1.3 – Диаграмма состояний шифратора при логическом сигнале 0 на входе E

Диаграмма состояний шифратора

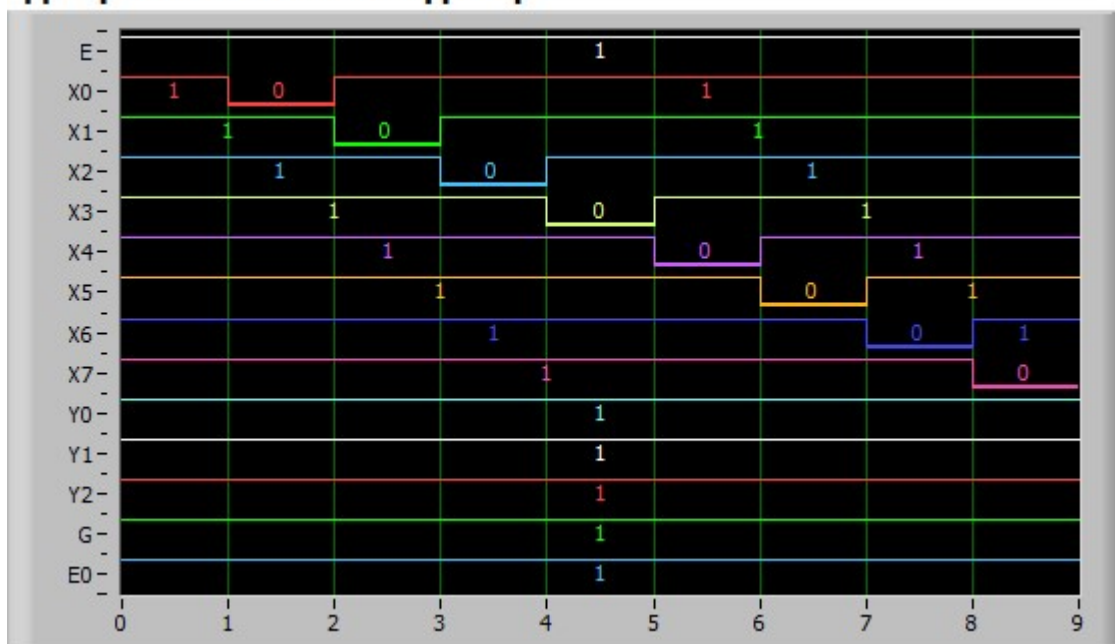


Рисунок 2.1.4 – Диаграмма состояний шифратора при логическом сигнале 1 на входе E

Таблица истинности шифратора

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шаг 1	0	1	0	1	1	0	1	1	1	0	0	1	0	1

Рисунок 2.1.4 – Значение входных и выходных сигналов шифратора с логическим сигналом 0 на входах X6 и X3

По рисунку 2.1.2 можно определить, что логический сигнал 0 на входе управления Е шифратора является активным.

По рисункам 2.1.1 и 2.1.5 можно определить, что вход X6 имеет больший приоритет над входом X3, так как логические сигналы на выходах на рисунке 2.1.5 соответствуют значениям логических сигналов на выходах в строке «Шаг 8» на рисунке 2.1.1, где логический сигнал 0 установлен на входе X6.

По рисунку 2.1.1 можно определить, что активный низкий уровень на выходе Е0 появляется при отсутствии входных сигналов, если при этом разрешена работа шифратора нулевым сигналом на входе Е; активный низкий уровень на выходе G вырабатывается при приходе любого активного входного сигнала.

2.2 Исследование работы дешифратора

Таблица истинности дешифратора

	E	X1	X0	Y3	Y2	Y1	Y0
Шаг 1	0	0	0	1	1	1	0
Шаг 2	0	0	1	1	1	0	1
Шаг 3	0	1	0	1	0	1	1
Шаг 4	0	1	1	0	1	1	1
Шаг 5	1	0	0	1	1	1	1
Шаг 6	1	0	1	1	1	1	1
Шаг 7	1	1	0	1	1	1	1
Шаг 8	1	1	1	1	1	1	1

Рисунок 2.2.1 – Таблица истинности дешифратора

Диаграмма состояний дешифратора

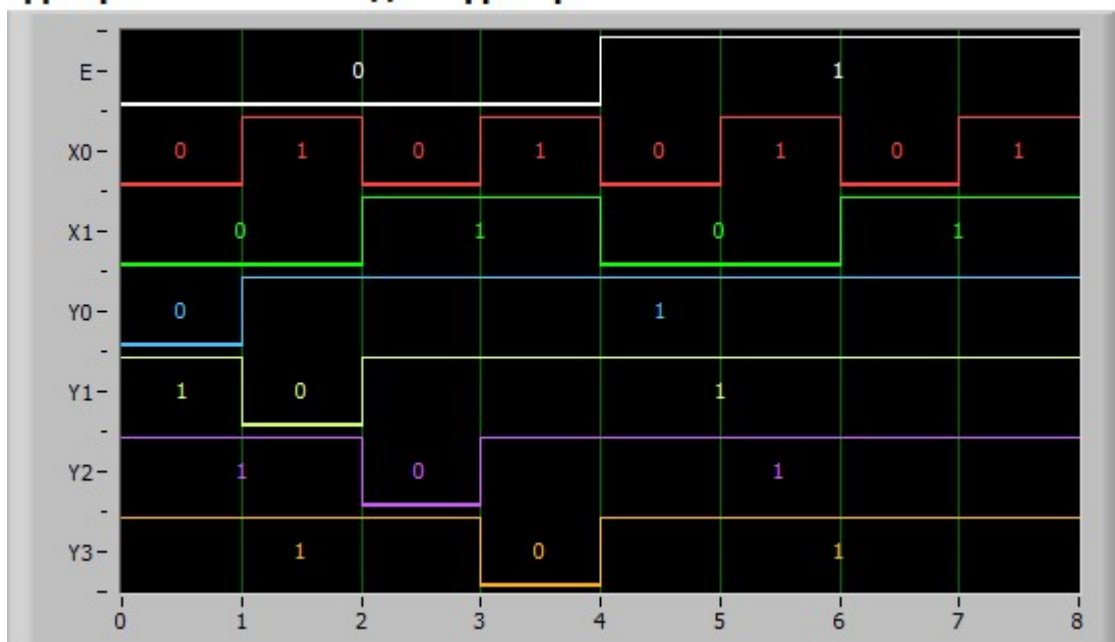


Рисунок 2.2.2 – Диаграмма состояний дешифратора

По рисунку 2.2.1 видно, что активным логическим сигналом на входе управления Е дешифратора является 0.

2.3 Исследование работы мультиплексора

Таблица истинности мультиплексора

	E	A1	A0	X3	X2	X1	X0	Y
Шар 1	0	0	0	0	0	0	1	= X0
Шар 2	0	0	1	0	0	1	0	= X1
Шар 3	0	1	0	0	1	0	0	= X2
Шар 4	0	1	1	1	0	0	0	= X3
Шар 5	1	0	0	1	1	1	1	--
Шар 6	1	0	1	1	1	1	1	--
Шар 7	1	1	0	1	1	1	1	--
Шар 8	1	1	1	1	1	1	1	--

Рисунок 2.3.1 – Таблица истинности мультиплексора

Диаграмма состояний мультиплексора

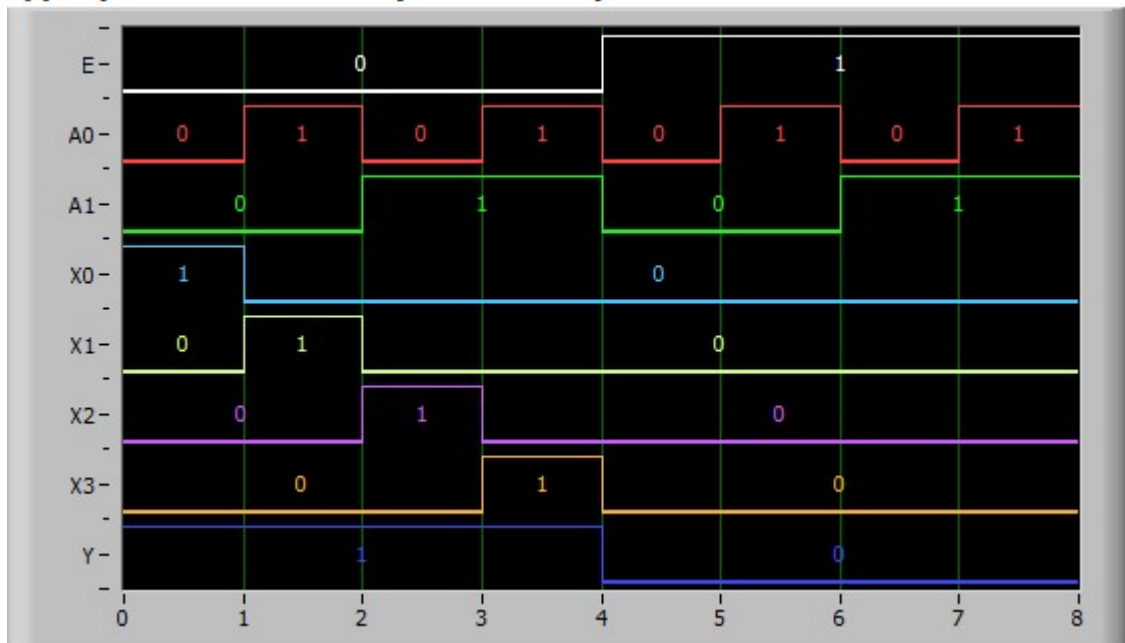


Рисунок 2.3.2 – Диаграмма состояний мультиплексора

По рисунку 2.3.1 видно, что активным логическим сигналом на входе управления Е мультиплексора является 0.

2.4 Исследование работы сумматора

Таблица истинности сумматора

	C0	A3	A2	A1	A0	B3	B2	B1	B0	S3	S2	S1	S0	C4
Шар 1	0	0	0	1	0	0	1	0	0	0	1	1	0	0
Шар 2	0	1	0	0	1	1	1	0	1	0	1	1	0	1
Шар 3	0	0	1	0	1	0	1	1	0	1	0	1	1	0
Шар 4	0	1	0	1	1	0	1	1	1	0	0	1	0	1
Шар 5	0	1	1	1	1	1	1	1	1	1	1	1	0	1
Шар 6	1	0	0	1	1	0	1	0	1	1	0	0	1	0
Шар 7	1	0	0	1	0	1	0	0	0	1	0	1	1	0
Шар 8	1	1	0	0	1	0	0	1	1	1	1	0	1	0
Шар 9	1	1	1	1	0	1	1	1	0	1	1	0	1	1
Шар 10	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Рисунок 2.4.1 – Таблица истинности сумматора

Диаграмма состояний сумматора

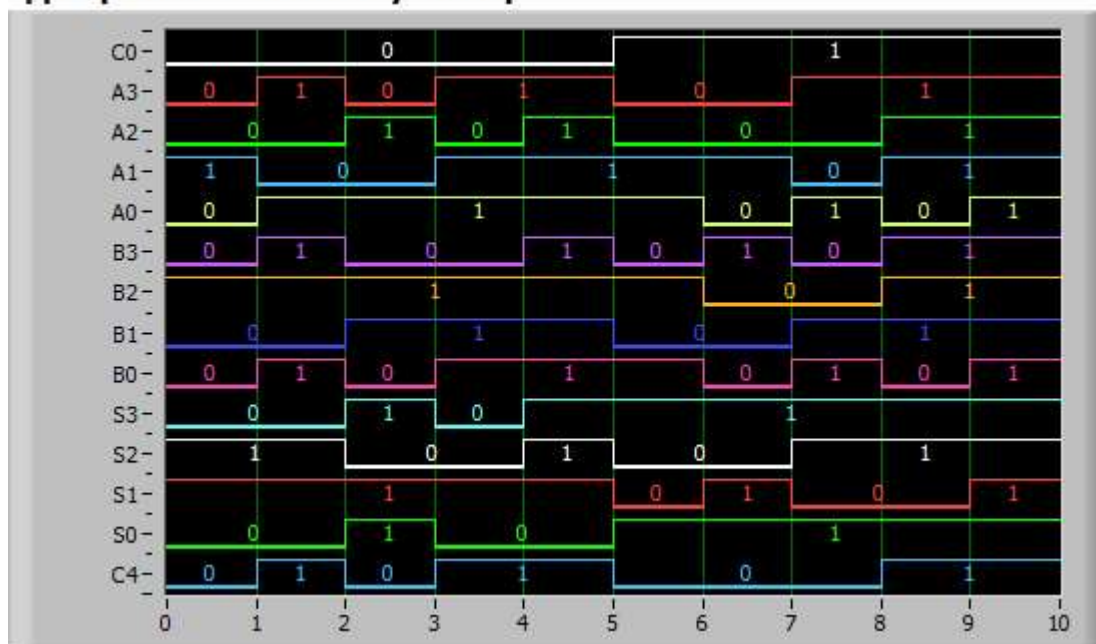


Рисунок 2.4.2 – Диаграмма состояний сумматора

Проверка полученных результатов с помощью уравнения

$$C0 + 2^0(A0 + B0) + 2^1(A1 + B1) + 2^2(A2 + B2) + 2^3(A3 + B3) \\ = 2^0S0 + 2^1S1 + 2^2S2 + 2^3S3 + 2^4C4$$

Шаг 1: $0 + 1 * 0 + 2 * 1 + 4 * 1 + 8 * 0 = 1 * 0 + 2 * 1 + 4 * 1 + 8 * 0 + 16 * 0 = 6$

Шаг 2: $0 + 1 * 2 + 2 * 0 + 4 * 1 + 8 * 2 = 1 * 0 + 2 * 1 + 4 * 1 + 8 * 0 + 16 * 1 = 22$

Шаг 3: $0 + 1 * 1 + 2 * 1 + 4 * 2 + 8 * 0 = 1 * 1 + 2 * 1 + 4 * 0 + 8 * 1 + 16 * 0 = 11$

Шаг 4: $0 + 1 * 2 + 2 * 2 + 4 * 1 + 8 * 1 = 1 * 0 + 2 * 1 + 4 * 0 + 8 * 0 + 16 * 1 = 18$

Шаг 5: $0 + 1 * 2 + 2 * 2 + 4 * 2 + 8 * 2 = 1 * 0 + 2 * 1 + 4 * 1 + 8 * 1 + 16 * 1 = 30$

Шаг 6: $1 + 1 * 2 + 2 * 0 + 4 * 1 + 8 * 2 = 1 * 0 + 2 * 1 + 4 * 1 + 8 * 0 + 16 * 1 = 22$

Шаг 7: $1 + 1 * 0 + 2 * 1 + 4 * 0 + 8 * 1 = 1 * 1 + 2 * 1 + 4 * 0 + 8 * 1 + 16 * 0 = 11$

Шаг 8: $1 + 1 * 2 + 2 * 1 + 4 * 0 + 8 * 1 = 1 * 1 + 2 * 0 + 4 * 1 + 8 * 1 + 16 * 0 = 13$

Шаг 9: $1 + 1 * 0 + 2 * 2 + 4 * 2 + 8 * 2 = 1 * 1 + 2 * 0 + 4 * 1 + 8 * 1 + 16 * 1 = 29$

Шаг 10: $1 + 1 * 2 + 2 * 2 + 4 * 2 + 8 * 2 = 1 * 1 + 2 * 1 + 4 * 1 + 8 * 1 + 16 * 1 = 31$

2.5 Исследование работы цифрового компаратора

Таблица истинности цифрового компаратора

	A3	A2	A1	A0	B3	B2	B1	B0	I(A>B)	I(A=B)	I(A<B)	A>B	A=B	A<B
War 1	1	0	0	0	0	0	0	0	1	1	1	1	0	0
War 2	0	0	0	0	1	0	0	0	1	1	0	0	0	1
War 3	0	1	0	0	0	0	0	0	1	0	1	1	0	0
War 4	0	0	0	0	0	1	0	0	1	0	0	0	0	1
War 5	0	0	1	0	0	0	0	0	0	1	1	1	0	0
War 6	0	0	0	0	0	0	1	0	0	1	0	0	0	1
War 7	0	0	0	1	0	0	0	0	0	0	1	1	0	0
War 8	0	0	0	0	0	0	0	1	0	0	0	0	0	1
War 9	0	0	0	0	0	0	0	0	1	0	0	1	0	0
War 10	0	0	0	0	0	0	0	0	0	0	1	0	0	1
War 11	0	0	0	0	0	0	0	0	0	1	0	0	1	0
War 12	0	0	0	0	0	0	0	0	1	1	1	0	1	0
War 13	0	0	0	0	0	0	0	0	1	0	1	0	0	0
War 14	0	0	0	0	0	0	0	0	0	0	0	1	0	1

Рисунок 2.5.1 – Таблица истинности цифрового компаратора

Диаграмма состояний цифрового компаратора

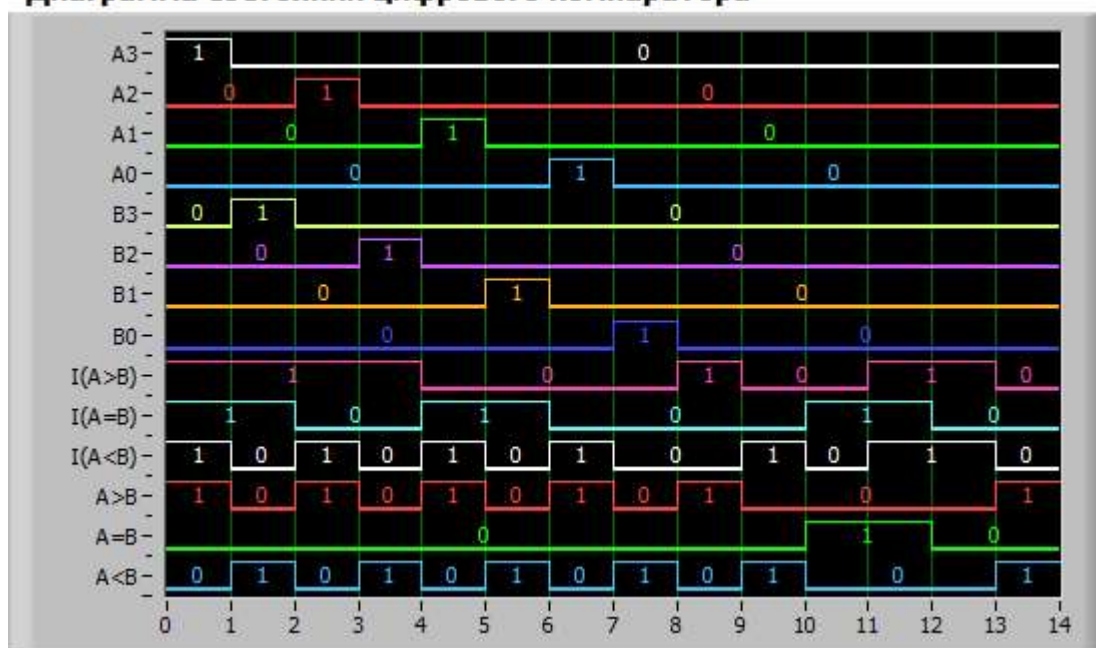


Рисунок 2.5.2 – Диаграмма состояний цифрового компаратора

Таблица истинности цифрового компаратора

	A3	A2	A1	A0	B3	B2	B1	B0	I(A>B)	I(A=B)	I(A<B)	A>B	A=B	A<B
Шар 1	0	0	0	1	1	0	0	0	0	1	0	0	0	1

Рисунок 2.5.3 – Набор входных значений для определения старшинства разрядов

По рисунку 2.5.3 видно, что старшим разрядом будет B3, так как по выходному сигналу соответствует, что 0001 меньше, чем 1000.

Для сравнения пятиразрядных слов следует использовать два компаратора. На входы первого компаратора подать первые четыре разряда двух слов, на вход I(A=B) подать 1, на остальные 0. На вход A0 и B0 второго компаратора подать пятые разряды двух слов, на оставшиеся A1-A3 и B1-B3 можно подать либо только 0, либо только 1, либо продублировать пятый разряд; три выхода результирующих сигнала подключить к соответствующим управляющим входам второго компаратора. Выходы второго компаратора являются результатом сравнения.

ВЫВОДЫ

По итогу выполнения лабораторной работы были исследованы шифратор, дешифратор, мультиплексор, сумматор и компаратор, изучены их принципы работы, получены таблицы истинности и диаграммы состояний данных устройств.