Universidade Federal do Rio Grande do Norte
Centro de Tecnologia - CT
Departamento de Engenharia Elétrica - DEE

Disciplina:	ELE2715 - Circuitos Digitais	**Período:**	2018.2
Aluno:		**Data:**	19/09/2018

Material de suporte - Flip Flop JK

```
ENTITY ffjk IS
    port (clk,J,K,P,C: IN  BIT;
                    q: OUT BIT);
END ffjk;

ARCHITECTURE ckt OF ffjk IS
SIGNAL qS: BIT;
BEGIN
   PROCESS(clk,P,C)
   BEGIN
     IF    P = '0' THEN qS <= '1';
     ELSIF C = '0' THEN qS <= '0';
     ELSIF clk='1' AND clk'EVENT THEN
       IF    J = '1' AND K = '1' THEN qS <= NOT qS;
       ELSIF J = '1' AND K = '0' THEN qS <= '1';
       ELSIF J = '0' AND K = '1' THEN qS <= '0';
       END IF;
     END IF;
   END PROCESS;
   q <= qS;
END ckt;
```

Universidade Federal do Rio Grande do Norte
Centro de Tecnologia - CT
Departamento de Engenharia Elétrica - DEE

Disciplina: ELE2715 - Circuitos Digitais	**Período:** 2018.2
Aluno:	**Data:** 19/09/2018

Material de suporte - Flip Flop D

```
ENTITY ffd IS
    port (clk,D,P,C: IN  BIT;
                  q: OUT BIT);
END ffd;

ARCHITECTURE ckt OF ffd IS
SIGNAL qS: BIT;
BEGIN
   PROCESS(clk,P,C)
   BEGIN
     IF    P = '0' THEN qS <= '1';
     ELSIF C = '0' THEN qS <= '0';
     ELSIF clk='1' AND clk'EVENT THEN
       qS <= D;
     END IF;
   END PROCESS;
   q <= qS;
END ckt;
```