

Respostas de Problemas Seleccionados

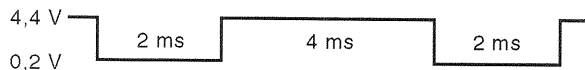
CAPÍTULO 1

1-2. (a) 25 (b) 9,5625 (c) 1241,6875

1-4. 1023

1-5. nove bits

1-6.



1-7. (a) $2^N - 1 = 15$ e $N = 4$; portanto, quatro linhas são necessárias para a transmissão paralela.
(b) Apenas uma linha é necessária para a transmissão serial.

CAPÍTULO 2

2-1. (a) 22 (b) 141 (c) 2313 (d) 983 (e) 191

2-2. (a) 100101 (b) 1110 (c) 10111101

(d) 11001101 (e) 100100001001 (f) 111111111

2-3. 255; 65.535

2-4. (a) 483 (b) 30 (c) 2047 (d) 175 (e) 644

2-5. (a) 73_8 (b) 564_8 (c) 1627_8 (d) 200000_8

(e) 377_8

2-6. (a) 111100011 (b) 011110 (c) 011111111111

(d) 010101111 (e) 001010000100

2-7. (a) 26_8 (b) 215_8 (c) 4411_8 (d) 1727_8 (e) 277_8

2-8. 165, 166, 167, 170, 171, 172, 173, 174, 175, 176, 177, 200

2-9. $100100001001_2 = 4411_8$

2-10. Cinco

2-11. (a) 146 (b) 422 (c) 14,333 (d) 704 (e) 2047

2-12. (a) 4B (b) 13A (c) 800 (d) 6413 (e) FFF

2-13. (a) 16 (b) 8D (c) 909 (d) 3D7 (e) BF

2-14. (a) 10010010 (b) 000110100110

(c) 001101111111101 (d) 001011000000

(e) 011111111111

2-15. 280, 281, 282, 283, 284, 285, 286, 287, 288, 289,

28A, 28B, 28C, 28D, 28E, 28F, 290, 291, 292, 293, 294,

295, 296, 297, 298, 299, 29A, 29B, 29C, 29D, 29E, 29F,

2A0

2-16. Cinco

2-17. (a) 01000111 (b) 100101100010

(c) 000110000111

(d) 01000010011010001001011000100111

2-18. 10 bits para binário, 12 bits para BCD

2-19. (a) 9752 (b) 184 (c) 7775 (d) 492

2-20. (a) 64 (b) FFFFFFFF (c) 999,999

2-21. 01011000 (X); 00111101 (=); 00110010 (2); 10110101 (5); 00101111 (/); 11011001 (Y)

2-22. D8, BD, B2, 35, AF, 59

2-23. BEN SMITH

2-24. (a) 101110100 (bit de paridade na esquerda)

(b) 000111000 (c) 0000101100101

(d) 11001001000000001

2-25. (a) nenhum erro em apenas um bit (b) erro em um bit

(c) erro duplo (d) nenhum erro em apenas um bit

2-27. (a) 10110001001 (b) 11111111 (c) 209

(d) 59.943 (e) 4701 (f) 777 (g) 157 (h) 2254

(i) 1961 (j) 15.900 (k) 640 (l) 952B

(m) 100001100101 (n) 947 (o) 135_{16} (p) 5464_8

(q) 1001010 (r) 01011000 (BCD)

2-28. (a) 100101 (b) 00110111 (c) 25

(d) 0110011 0110111 (e) 45

2-29. (a) octal

(b) 16

(c) dígito

(d) Gray

(e) Paridade; erros em um bit

(f) ASCII

(g) octal; hexadecimal (h) byte

2-30. (a) 1000 (b) 010001 (c) 1111

2-31. (a) 0110 (b) 001111 (c) 1101

2-32. (a) 10000 (b) 7778 (c) 2001 (d) 2001

(e) A00 (f) 1001

2-33. (a) 7776 (b) 7776 (c) 1777 (d) 1FFF

(e) 9FE (f) 0FFF

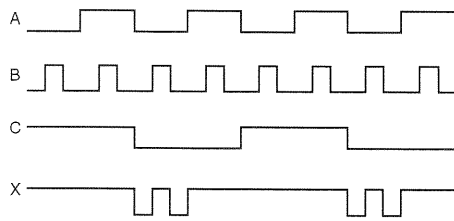
2-34 (a) 1.048.576 (b) cinco (c) 000FF

2-35. (a) 64; 256; 1024 (b) 440.000 (c) 11.363

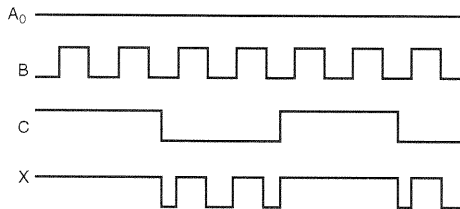
2-36. oito

CAPÍTULO 3

3-1.



3-2.

3-3. x ficará em nível ALTO constante.

3-5. 31

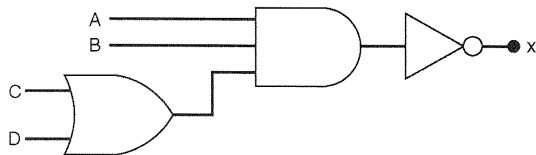
3-6. (a) x fica em nível ALTO somente quando A , B e C estão em ALTO.(b) x fica em BAIXO.(c) x fica em ALTO somente quando B e C estão simultaneamente em nível ALTO.

3-7. Substituir a porta OR por uma porta AND.

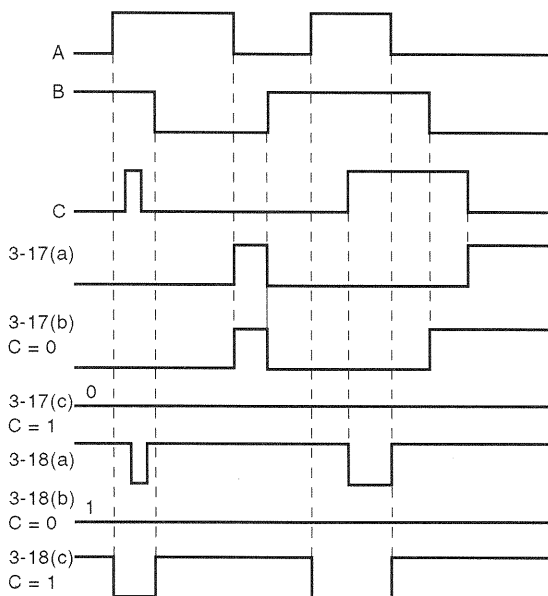
3-8. A saída ficará sempre em BAIXO.

3-12. (a) $x = (\bar{A} + \bar{B})BC$ (b) $x = \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + \bar{A}\bar{B}D$ 3-14. $x = D \cdot (\overline{AB + C}) + E$

3-16. (a)



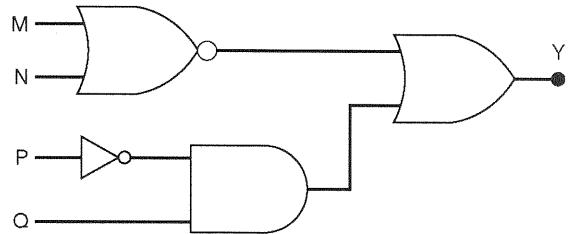
3-17.-3-18.



3-19. $x = \overline{(A + B) \cdot (BC)}$

 $x = 0$ somente quando $A = B = 0$, $C = 1$.

3-21. (c)

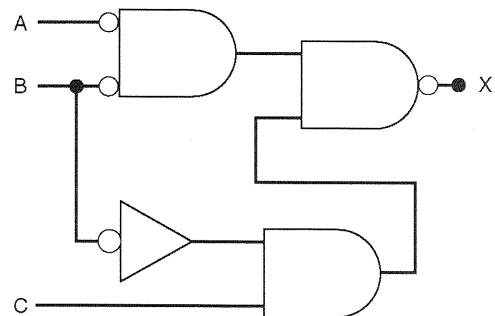
3-22. (a) 1 (b) A (c) 0 (d) C (e) 0 (f) D (g) D (h) 1 (i) G (j) y 3-24. (a) $MP\bar{N} + \bar{M}\bar{P}N$ (b) $B\bar{C}$ 3-26. (a) $A + \bar{B} + C$ (b) $A \cdot (B + \bar{C})$ (c) $\bar{A} + \bar{B} +$ CD (d) $\bar{A} + B + \bar{C} + \bar{D}$ (e) $\bar{M}N + M\bar{N}$ (f) $(\bar{A} + \bar{B})C + \bar{D}$ 3-27. $A + B + \bar{C}$

3-34. (a) NOR

(b) AND

(c) NAND

3-35. (a)

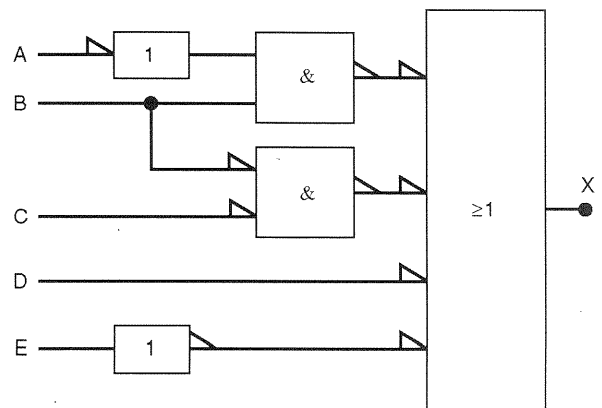
3-36. (a) Z fica em ALTO apenas quando $A = B = 0$ e $C = D = 1$.(b) Z fica em BAIXO quando A ou B estão em ALTO ou quando C ou D estão em BAIXO.3-38. X vai para ALTO quando $E = 1$, ou $D = 0$, ou $B = C = 0$, ou quando $B = 1$ e $A = 0$.3-39. X está em nível BAIXO para $EDCBA = 01011, 01100, 01101$ e 01111 .

3-40. (a) ALTO

(b) BAIXO

3-41. $\overline{\text{LIGHT}} = 0$ quando $A = B = 0$ ou $A = B = 1$.

3-42. (a)



3-43. $Z = \overline{(\overline{AB} + \overline{C})F} + \overline{C} + \overline{(D + E)}$

3-46. Coloque INVERSORES nas entradas A_7, A_5, A_4 e A_2 do 74HC30.

CAPÍTULO 4

4-1. (a) $C\overline{A} + CB$ (b) $\overline{Q}R + Q\overline{R}$ (c) $C + \overline{A}$
 (d) $\overline{R}\overline{S}\overline{T}$ (e) $BC + \overline{B}(\overline{C} + A)$ (f) $BC + \overline{B}(\overline{C} + A)$
 ou $BC + \overline{B}\overline{C} + \overline{A}\overline{C}$ (g) $\overline{D} + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C$

4-2. $Q(M + N)$

4-3. $MN + Q$

4-4. Uma solução: $\overline{x} = \overline{B}C + AB\overline{C}$. Outra solução: $x = \overline{A}B + \overline{B}\overline{C} + BC$. Uma outra: $BC + \overline{B}\overline{C} + \overline{A}\overline{C}$

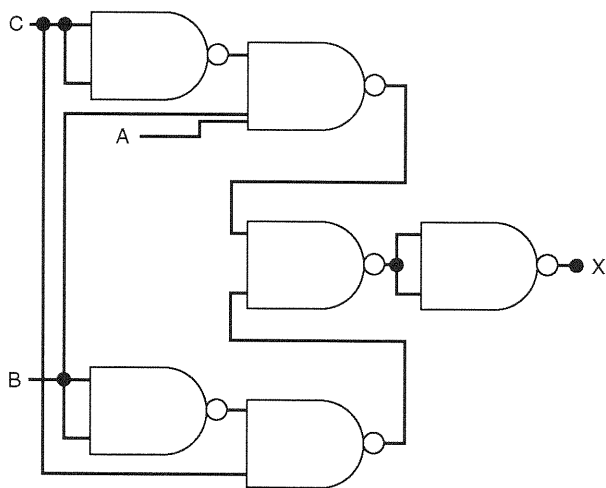
4-5. $x = \overline{A}\overline{B} + \overline{A}\overline{C} + \overline{B}\overline{C}$

4-6. $x = ABC\overline{D} + \overline{A}BCD$

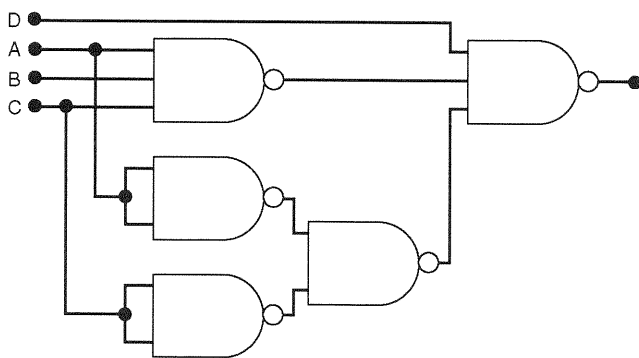
4-7. $x = \overline{A}_3(A_2 + A_1A_0)$

4-8. $\text{alarme} = ID + \overline{I}\overline{L}$

4-9.



4-11.



4-12. $x = BC + \overline{B}\overline{C} + AC$; ou $x = BC + \overline{B}\overline{C} + A\overline{B}$

4-13. $y = \overline{D} + \overline{A}\overline{B}C + A\overline{B}\overline{C}$

	$\overline{C}\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{A}\overline{B}$	1		1	1
$\overline{A}B$	1			1
AB	1			1
$A\overline{B}$	1	1		1

4-14. $x = \overline{A}_3A_2 + \overline{A}_3A_1A_0$

4-15. (a) $x = \overline{A}\overline{C} + \overline{B}C + ACD$

	$\overline{C}\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{A}\overline{B}$	1	1	1	1
$\overline{A}B$	1	1		
AB				1
$A\overline{B}$			1	1

(b) $x = \overline{A}\overline{D} + \overline{B}C + \overline{B}\overline{D}$

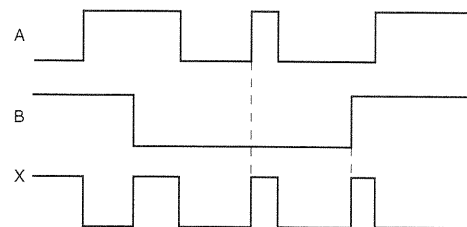
(c) $y = \overline{B} + A\overline{C}$

	\overline{C}	C
$\overline{A}\overline{B}$	1	1
$\overline{A}B$	0	0
AB	1	0
$A\overline{B}$	1	1

4-16. Melhor solução: $x = B\overline{C} + AD$

4-17. $x = \overline{S}_1\overline{S}_2 + \overline{S}_1\overline{S}_3 + \overline{S}_3\overline{S}_4 + \overline{S}_2\overline{S}_3 + \overline{S}_2\overline{S}_4$

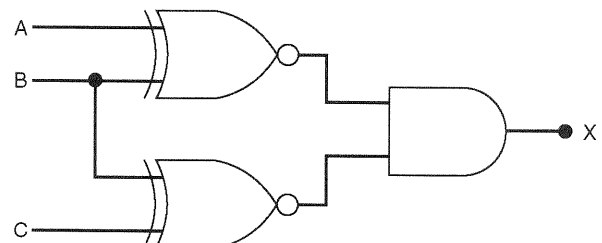
4-18. (a)



(b) $x = A$ (c) $x = \overline{A}$

4-19. $A = 0, B = C = 1$

4-20. Uma solução possível é apresentada na figura a seguir.



4-22. quatro saídas onde z_3 é o MSB

$$z_3 = y_1y_0x_1x_0$$

$$z_2 = y_1x_0(\overline{y}_0 + \overline{x}_0)$$

$$z_1 = y_0x_1(\overline{y}_1 + \overline{x}_1) + y_1x_0(\overline{y}_0 + \overline{x}_1)$$

$$z_0 = y_0x_0$$

4-23. $x = A_3A_2 + A_3A_1$

4-24. $x = AB(C \oplus D)$

4-25. $(A + B)(C + D)$

4-26. $N-S = \overline{C}\overline{D}(A + B) + AB(\overline{C} + \overline{D})$; $E-W = \overline{N-S}$

4-27. Substituir o último EX-OR por EX-NOR.

4-29. $x = A\overline{B}C$

4-30. $x = A + BCD$

4-31. $x = A + (B \oplus C)$

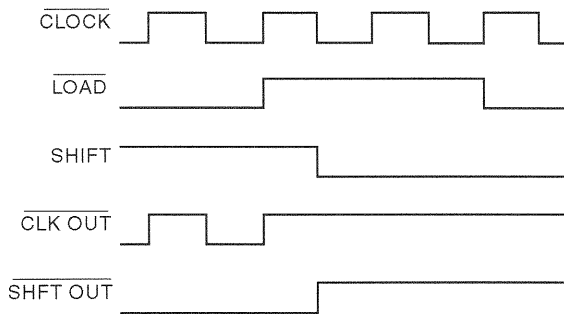
4-32. $z = A_0\overline{S} + A_1S$

4-33. $z = x_1x_0y_1y_0 + x_1\overline{x}_0y_1\overline{y}_0 + \overline{x}_1x_0\overline{y}_1y_0 + \overline{x}_1\overline{x}_0\overline{y}_1\overline{y}_0$ Nenhum par, nem quarteto e nem octeto

4-35. (a) indeterminado

(b) 1,4 a 1,8 V

(c) Veja as formas de onda a seguir.



4-38. Possíveis falhas: problemas em V_{cc} ou terra de Z2; Z2-1 ou Z2-2 interna ou externamente desconectados; Z2-3 desconectado internamente.

4-39. Sim: (c), (e), (f).

Não: (a), (b), (d), (g).

4-41. Z2-6 e Z2-11 em curto.

4-43. Falhas mais prováveis: problemas no V_{cc} ou no terra de Z1; Z1 foi conectado ao contrário; Z1 está danificado.

4-44. Falhas possíveis:

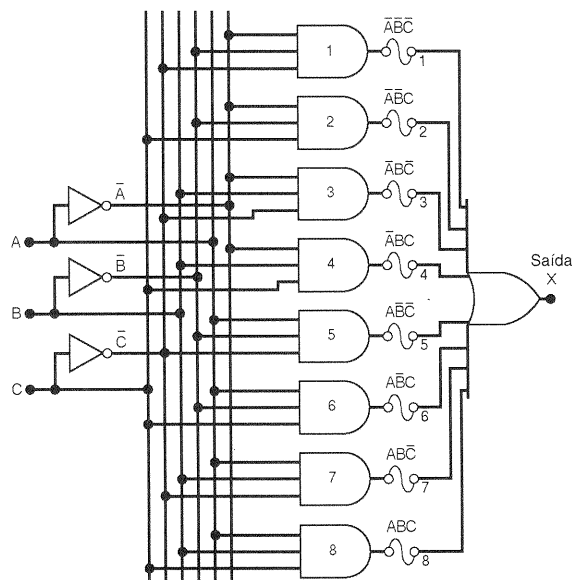
Z2-13 em curto com V_{cc} ;

Z2-8 em curto com V_{cc} ;

conexão interrompida com Z2-13;

Z2-3, Z2-6, Z2-9 ou Z2-10 em curto com a terra.

4-45. (a)



(b) Abrir ligações 1, 2, 3 e 5.

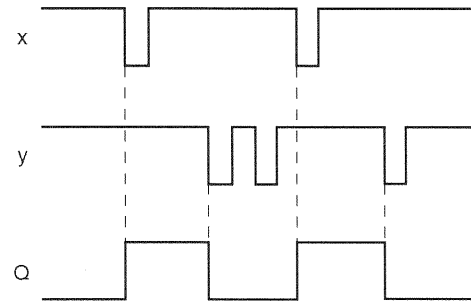
4-47. (a) 00₁₆ até EF₁₆

(b) F0

(c) F1 até FF

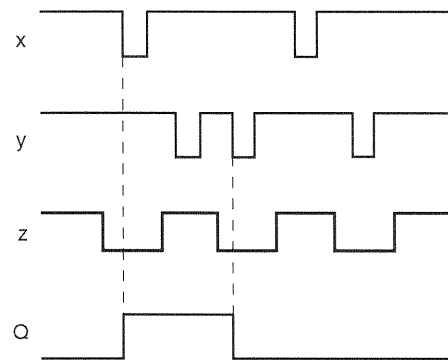
CAPÍTULO 5

5-1.



5-2. Resultado igual a 5-1.

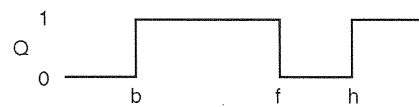
5-3.



5-6. Z1-4 permanentemente em ALTO.

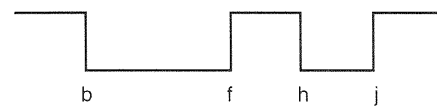
5-7. 20 ns

5-8.



5-9. Q é uma onda quadrada de 500 Hz.

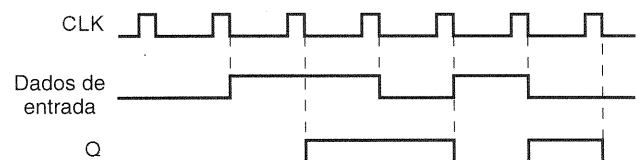
5-10.



5-11. (a) onda quadrada de 5 kHz

(b) 2,5 kHz

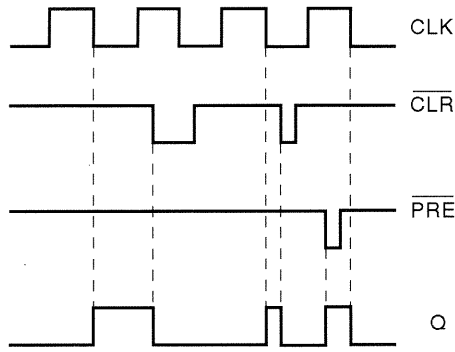
5-13.



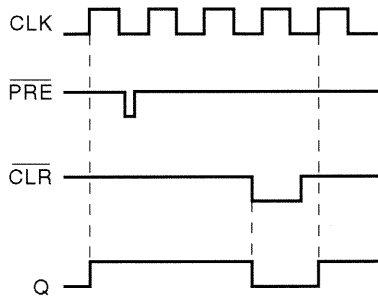
5-14. onda quadrada de 500 Hz

5-15. Q permanece em ALTO.

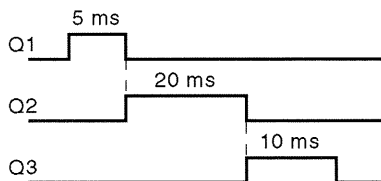
5-18.



5-19.

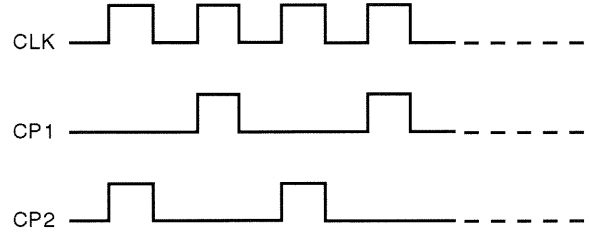


- 5-21. (a) 200 ns
(b) 7474; 74C74
(c) 30 ns
5-22. 48 ns
5-23. Conectar A em J e \bar{A} em K .
5-24. (a) A , B , C
5-25. (a) Conectar X em J e \bar{X} em K .
(b) Use a disposição da Fig. 5-43.
5-26. 1011, 1101, 1110, 0111, 1011, 1101, 1110, 0111, 1011
5-27. Conectar X_0 na entrada D de X_3 .
5-31. (a) 10 (b) 1953 Hz (c) 1024 (d) 12
5-32. (a) 128
(b) 0 a 127
5-34. Colocar INVERSORES em A_8 , A_{11} e A_{14} .
5-37.



- 5-38. (a) \bar{Q} vai permanecer em BAIXO.
(b) Transição de subida em \bar{Q} vai setar $X = 1$.
(c) Fazendo $t_p = 20 \mu s$.
5-39. (a) A_1 ou A_2 devem estar em BAIXO quando ocorrer a transição de subida em B .
(b) B e A_2 devem estar em ALTO quando ocorrer a transição de descida em A_1 .
5-41. Após 14 pulsos, todas as saídas param de mudar e permanecem com $A = W = X = Y = Z = 0$ e $B = C = 1$.
5-42. Uma possibilidade é $R = 1 \text{ k}\Omega$ e $C = 80 \text{ nF}$.
5-43. Uma possibilidade é $R_A = 1 \text{ k}\Omega$, $R_B = 10 \text{ k}\Omega$ e $C = 1.800 \text{ pF}$.

5-45. (a)



- 5-46. (a) não (b) sim (c) não (d) não
5-47. O flip-flop X_0 está com a entrada D desconectada.
5-48. (a) sim (b) não
5-49. Dois INVERSORES em cascata entre Q_1 e Q_2 introduzem um atraso suficiente para aumentar o t_{PLH} efetivo de Q_1 , de modo que, quando Q_2 for acionado pelo clock, o sinal de Q_1 não tenha alcançado D_2 .
5-51. (a) não (b) não (c) sim (d) não
5-52. Primeira combinação: 101. Segunda combinação: 010.
5-53. (a) não (b) não (c) sim
5-54. (a) latches e NAND e NOR
(b) J-K
(c) latch D
(d) flip-flop D
(e) flip-flop D e latch D
(f) Todos os FFs
(g) flip-flops com clocks dos tipos S-C, J-K e D
(h) J-K

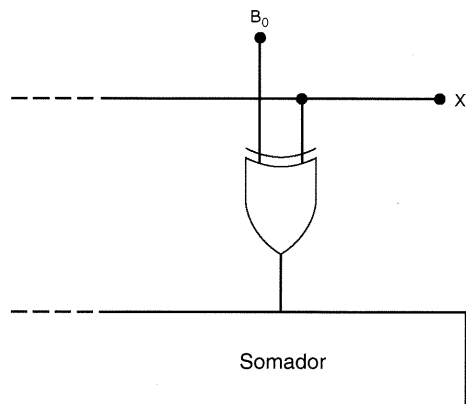
CAPÍTULO 6

- 6-1. (a) 10101 (b) 10010 (c) 1111,0101 (d) 1,1010
(e) 100111000
6-2. (a) 00100000 (incluindo o bit de sinal) (b) 11110010
(c) 00111111 (d) 10011000 (e) 01111111
(f) 10000001 (g) 01011001 (h) 11001001
(i) 11111111 (j) 10000000
(k) não pode ser representado com 8 bits
(l) 00000000
6-3. (a) +13 (b) -3 (c) +123 (d) -103
(e) +127 (f) -64 (g) -1 (h) -127 (i) +99
(j) -39
6-4. (a) -2.048 até +2.047
(b) 16 bits incluindo o bit de sinal
6-5. -16₁₀ até 15₁₀
6-6. (a) 00111; 11001 (b) 10100; 01100
6-7. 0 a 1.023; -512 a +511
6-9. (a) 00001111 (b) 11111101 (c) 11111011
(d) 10000000 (e) 00000001 (f) 11011110
(g) 00000000 (h) 00010101
6-11. (a) 100011 (b) 1111001 (c) 100011,00101
(d) 0,10001111
6-12. (a) 11 (b) 111 (c) 101,11 (d) 1111,0011
6-13. (a) 10010111 (BCD) (b) 10010101 (BCD)
(c) 010100100111 (BCD) (e) 0001000000000001 (BCD)
6-14. (a) 6E24 (b) 100D (c) 18AB (d) 3000
(e) 10FE (f) 17C36
6-15. (a) 0EFE (b) 229 (c) 02A6 (d) 01FD
(e) 0001 (f) EF00
6-16. 16.849 posições
6-17. (a) 119 (b) +119 (c) 229; -27
6-19. SOMA = $A \oplus B$; CARRY = AB
6-21. $[A] = 0000$
6-22. 200 ns
6-23. overflow = $A_3 \bar{B}_3 S_3 + A_3 B_3 \bar{S}_3$

6-25. $C_3 = A_2B_2 + (A_2 + B_2)(A_1B_1 + (A_1 + B_1)[A_0B_0 + A_0C_0 + B_0C_0])$

6-27. (a) SOMA = 0111 (b) SOMA = 1010 (c) 1100

6-29.



6-30. $[S] = 01110$; $x = 1$; $[\Sigma] = 0100$

6-31. sim

6-32. $[\Sigma] = 100001000101$

6-33.

	[F]	C_{N+4}	OVR
(a)	1001	0	1
(b)	1101	0	0
(c)	0011	1	0

6-34. $[S] = 100$; $[B] = 1111$

6-35. (a) 00001100 (b) 11011100

6-37. (a) 0001 (b) 1010 (c) 0010 (d) 1011

(e) 1000

6-39. (a) sim (b) não (c) sim (d) não

6-41. Utilizando-se flip-flops D. Conectar $(S_3 + S_2 + S_1 + S_0)$ na entrada D do flip-flop do flag zero; C_4 na entrada D do flip-flop do carry; e S_3 na entrada D do flip-flop de sinal.

6-42. 0000000001001001; 1111111110101110

CAPÍTULO 7

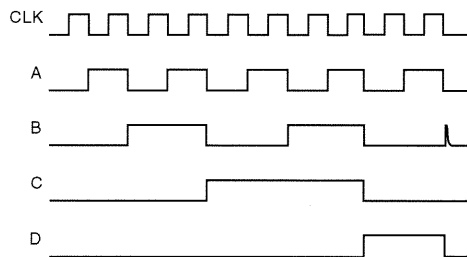
7-1. 250 kHz, 50%

7-2. Mesma resposta de 7-1

7-3. 10000₂

7-4. São necessários cinco FFs: Q_0 - Q_4 , sendo Q_4 o MSB. As saídas Q_3 e Q_4 devem ser conectadas em uma porta NAND cuja saída aciona todos os CLR's.

7-5.

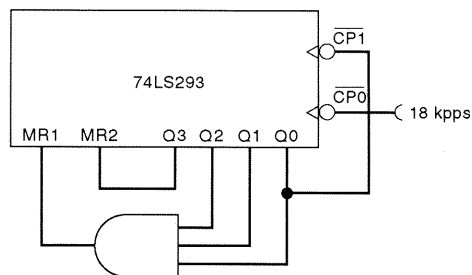


7-6. Existe um glitch na saída B na décima quarta descida do clock.

7-7. Para módulo 50, conecte Q_5 , Q_4 e Q_1 . Um contador de módulo 100 não pode ser construído sem lógica adicional.

7-8. (b) 000, 001, 010, 100, 101, 110 e repete.

7-9.



7-10. Utilizando um contador de módulo 15 (do Problema 7-9) acionando um contador de módulo 4

7-11. 60 Hz

7-13. (c) 0001

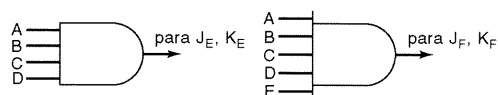
7-14. 100, 011, 010, 001, 000 e repete.

7-15. Os estados 1000 e 0000 nunca ocorrem.

7-16. (a) 12,5 MHz (b) 8,33 MHz

7-17. (a) Incluir dois FFs (E e F) na Fig. 7-60. Conectar as portas AND conforme ilustrado a seguir nas entradas apropriadas dos FFs.

(b) 33 MHz



7-18. 0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001 e repete.

7-21. Conectar 01100100 nas entradas de dados paralelos.

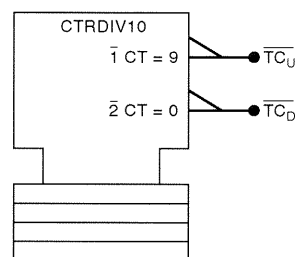
7-22. (d) Z não irá para 0 e o temporizador não poderá ser reiniciado.

7-23. Alterar as entradas de dados paralelos para 1010.

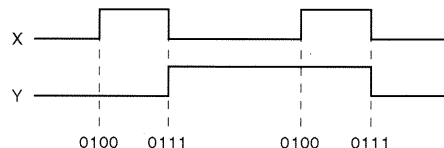
7-24. nove

7-26. (a) dez (b) limpa o contador para 0000 (c) ajusta o contador para 1001 (d) crescente (e) Conectar Q_0 em CP_1 e o sinal de clock em CP_0 ; aterrar MR_1 , MR_2 , MS_1 e MS_2 . (f) Conectar o sinal de clock em CP_1 ; conectar Q_3 em CP_0 ; aterrar todas as entradas MR e MS .

7-27.



7-30.



7-32. (a) quando o contador vai de 0111 para 1000

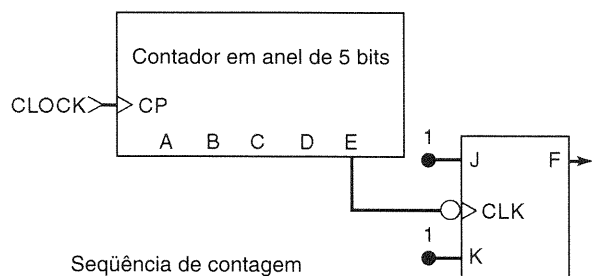
7-33. 12 flip-flops

7-34. quatro; dezesseis; treze

7-35. (a) $J_A = B\bar{C}$, $K_A = 1$, $J_B = CA + \bar{C}\bar{A}$, $K_B = 1$, $J_C = \bar{A}B$, $K_C = B + \bar{A}$ (b) $J_A = B\bar{C}$, $K_A = 1$, $J_B = K_B = 1$, $J_C = K_C = B$

7-36. $J_A = K_A = 1$, $J_B = K_B = \bar{A}$, $J_C = K_C = \bar{A}\bar{B}$, $J_D = K_D = \bar{A}\bar{B}\bar{C}$

7-39. Vide figura do contador em anel de 5 bits com o FF J-K e a tabela a seguir.



Seqüência de contagem

A	B	C	D	E	F
1	0	0	0	0	0
0	1	0	0	0	0
0	0	1	0	0	0
0	0	0	1	0	0
0	0	0	0	1	0
1	0	0	0	0	1
0	1	0	0	0	1
0	0	1	0	0	1
0	0	0	1	0	1
0	0	0	0	1	1

Repete

7-40. A seqüência de contagem é: 00000, 10000, 11000, 11100, 11110, 11111, 01111, 00111, 00011, 00001 e repete.

7-41. A freqüência em z é de 5 Hz.

7-42. (a) Cada lâmpada ficará ligada por 0,5 segundo a cada intervalo de 4 segundos.

(b) Cada lâmpada estará ligada por 2 segundos e desligada por 2 segundos.

7-43. (b) 257

(c) 323

7-44. (a) 22

(b) 450

(c) 0 ou 1

7-45. Conecte Q_3 do 74290 no \overline{CP}_1 do 74293.

7-47. Incluir outro flip-flop J-K.

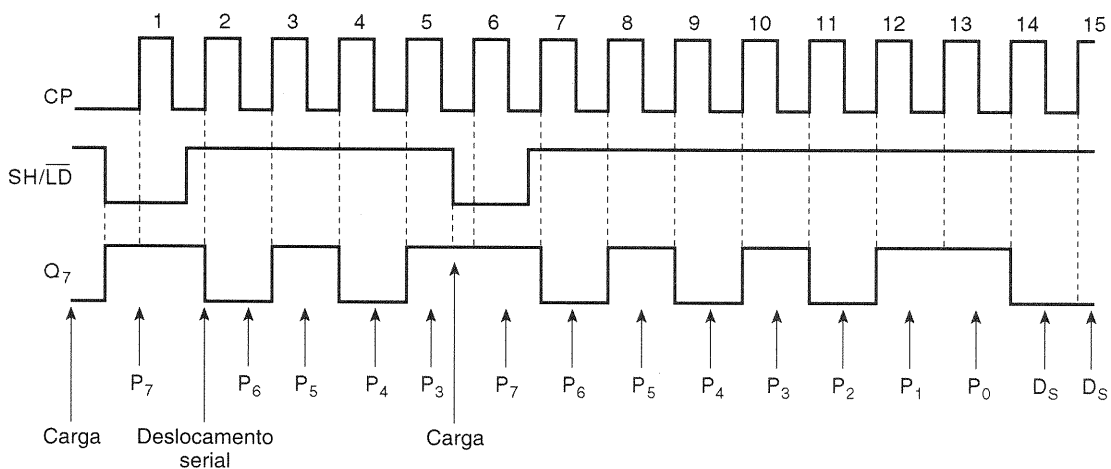
7-49. Conectar Q_3 de um ao D_s do outro.

7-50. O 74178 é carregado com 1101 na descida do sexto pulso de clock.

7-52. t_{310}

7-54. (b) $Q_0 \cdot \overline{Q}_1 + Q_0 \cdot Q_7$ (c) $Q_3 \cdot \overline{Q}_6$

7-55. Veja a figura do diagrama de tempo a seguir.



7-56. (a) A entrada CLR é assíncrona.

(b) Verdadeiro

(c)

Q_a	Q_b	Q_c	Q_d	
1	0	1	1	
0	1	1	1	Após 1 pulso de clock
1	1	1	1	Após 2 pulsos de clock
1	1	1	1	Após 3 pulsos de clock
1	1	1	1	Após 4 pulsos de clock

(d)

Q_a	Q_b	Q_c	Q_d	
1	0	1	1	
0	1	0	1	Após 1 pulso de clock
0	0	1	0	Após 2 pulsos de clock
0	0	0	1	Após 3 pulsos de clock
0	0	0	0	Após 4 pulsos de clock

(e)

Q_a	Q_b	Q_c	Q_d	
0	1	1	0	Após 1 pulso de clock
0	1	1	0	Após 2 pulsos de clock
0	1	1	0	Após 3 pulsos de clock
0	1	1	0	Após 4 pulsos de clock

(f) Igual ao item (e).

(g)

Q_a	Q_b	Q_c	Q_d	
1	0	1	1	
0	1	1	1	Após 1 pulso de clock
1	1	1	0	Após 2 pulsos de clock
1	1	0	1	Após 3 pulsos de clock
1	0	1	1	Após 4 pulsos de clock

7-57. A ligação entre MR_1 e Q_1 está aberta, ou Q_3 ou MR_2 está em curto com a terra.

7-58. O CLR do flip-flop X está aberto, ou permanentemente em ALTO ou não está respondendo.

7-59. O MSB do contador de módulo 6 está permanentemente em nível BAIXO.

7-60. (a) display = 001 (b) display = 000

7-61. Os contadores não estão sendo limpidos antes de cada intervalo de amostragem.

7-62. (a) O flip-flop C vai comutar a cada transição de descida da entrada.

(b) Não vai contar no modo crescente adequadamente; B e C não vão comutar.

7-63. P_1 aberto ou S_3 com problema

7-65. (a) paralelo

(b) binário

(c) decrescente

(d) de módulo 10

(e) assíncrono

(f) em anel

(g) Johnson

(h) todos

(i) com carga paralela

(j) crescente/decrescente

(k) assíncrono

(l) BCD

(m) síncrono/paralelo

CAPÍTULO 8

8-1. (a) A ; B (b) A (c) A

8-2. (a) 728,3 pJ (b) 459,3 pJ (c) 59,06 pJ

(d) 27,41 pJ (e) 67,26 pJ

8-3. (a) 0,9 V (b) 1,4 V

8-4. (a) I_{IH} (b) I_{CCL} (c) t_{PHL}

(d) produto velocidade-potência (e) V_{NH}

(f) CI para montagem em superfície

(g) absorção de corrente (h) fan-out

(i) saída totem-pole (j) transistor de absorção de corrente

(k) 4,75 a 5,25 V (l) 2,4 V; 2,0 V (m) 0,8 V; 0,4 V

(n) fornecimento

8-5. (a) 0,7 V; 0,3 V (b) 0,5 V; 0,4 V (c) 0,5 V; 0,3 V

8-6. (b) AND, NAND (c) entradas desconectadas

8-7. (a) 20 μA /0,4 mA (c) cinco

8-8. (a) 30/15 (b) 24 mA

8-10. O fan-out não é excedido em nenhum dos casos.

8-11. 10 ns

8-12. 43 ns; 38 ns

8-13. (a) 2 k Ω (b) 8 k Ω

8-14. (b) O resistor de 4,7 k Ω é muito grande.

8-15. (a) amplitude muito pequena

(b) t_p muito pequeno (c) $t_w(L)$ muito pequeno

8-18. Seis portas AND

8-19. $AB + CD + FG$

8-20. opção (a)

8-21. (a) 5 V (b) $R_s = 110 \Omega$ para uma corrente de 20 mA no LED

8-22. (a) 12 V (b) 40 mA

8-24. (a)

x	y	Dados no Barramento
0	0	C
0	1	B
1	0	B
1	1	A

(b) Contenção de barramento, pois E_A e E_C ficariam simultaneamente ativados quando $X = Y = 1$.

8-25. AND

8-27. a , c , d , e , g , b

8-28. a , c , e , f , g , b

8-29. b

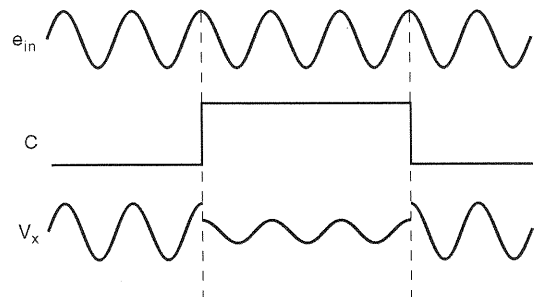
8-30. 12,5 mW

8-31. 2,9 V

8-33. Utilizando os valores para $V_{CC} = 6$ V, o produto velocidade-potência é 1,44 pJ para cada porta.

8-34. 0 V, 1,22 V

8-35.



8-36. -1 e -2

8-37. (a) 74HCT (b) converte tensões dos níveis lógicos

(c) CMOS não pode absorver a corrente do TTL (d) falso

8-38. A opção (c) é uma possível razão.

8-39. (a) nenhuma (b) duas

8-42. O fan-out do 74HC00 foi excedido; desconecte o pino 3 do 7402 e ligue-o na terra.

8-44. $R_2 = 1,5 \text{ k}\Omega$, $R_1 = 18 \text{ k}\Omega$

8-47. (b) é uma falha possível.

8-48. A entrada da porta NAND CMOS está em curto com +5 V.

8-49. 0 V a -11,25 V e de volta para -6 V

CAPÍTULO 9

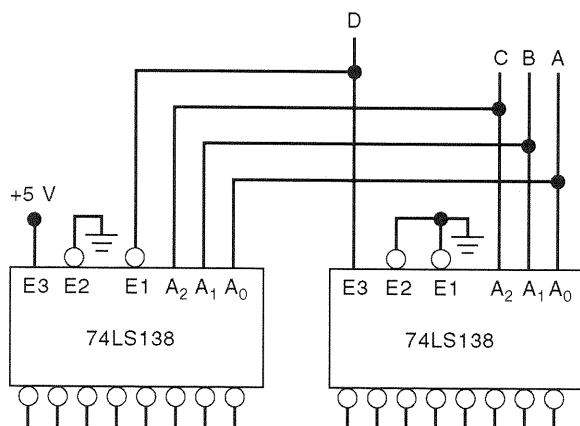
9-1. (a) todas em ALTO (b) $\bar{O}_0 = \text{BAIXO}$ (c) $\bar{O}_7 = \text{BAIXO}$

(d) todas em ALTO

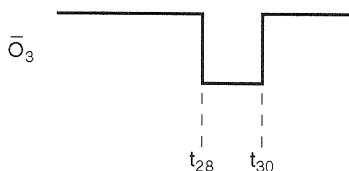
9-2. 6 entradas, 64 saídas

9-3. $[A] = 110$, $E_3 = 1$, $\bar{E}_1 = \bar{E}_2 = 0$

9-4.



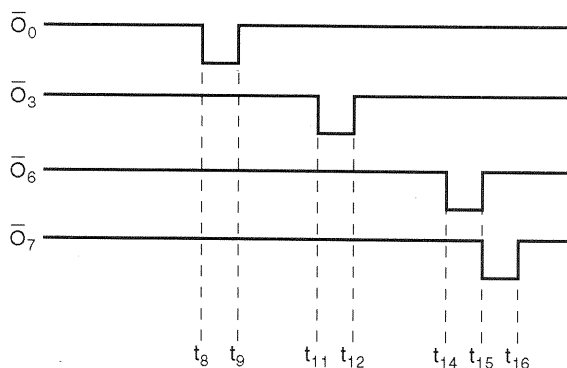
9-5.



9-6. Conectar \bar{E}_2 na terra e usar a saída \bar{O}_2 .

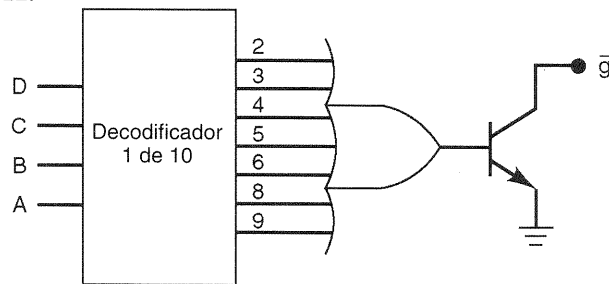
9-7. habilitado quando $D = 0$

9-8.



9-10. Resistores de 250Ω .

9-12.



9-13. (a), (b) codificador

(c), (d), (e) decodificador

9-14. 0111

9-17. A quarta tecla pressionada seria colocada no registrador MSD.

9-18. opção (b)

9-19. opção (a) ou (d)

9-20. (a) sim (b) não (c) não

9-21. A linha A_2 do barramento está aberta entre Z2 e Z3.

9-22. E_2 de Z4 está permanentemente em BAIXO.

9-23. Ou o segmento g ou o transistor de saída do decodificador poderiam queimar.

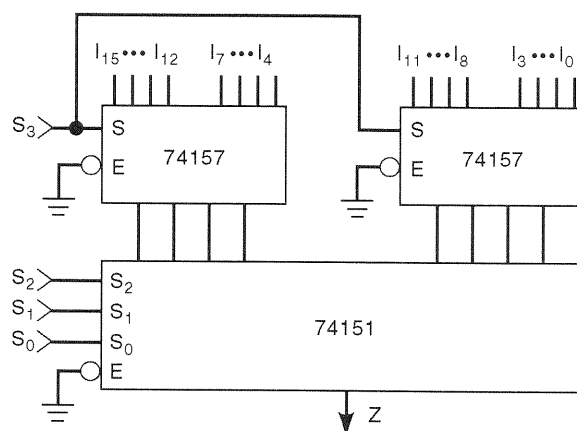
9-24. As entradas D e C do decodificador estão trocadas.

9-25. As saídas a e b do decodificador estão em curto.

9-27. Um MUX 4 para 1

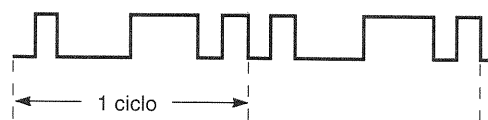
9-28. Utiliza nove 74151s.

9-29.



9-30. (b) O número total de conexões no circuito que utiliza MUXes é 63, não incluindo V_{cc} e GND, e também sem incluir as conexões para as entradas de clock dos contadores. O número total para o circuito que usa decodificadores/drivers separados é 66.

9-31.



9-32.



9-33.

A	B	C	
0	0	0	$0 \rightarrow I_0$
0	0	1	$0 \rightarrow I_1$
0	1	0	$0 \rightarrow I_2$
0	1	1	$1 \rightarrow I_3$
1	0	0	$0 \rightarrow I_4$
1	0	1	$1 \rightarrow I_5$
1	1	0	$1 \rightarrow I_6$
1	1	1	$1 \rightarrow I_7$

9-34. Conecte $I_1, I_5, I_8, I_{11}, I_{14}, I_{15}$ em V_{CC} . Conectar todas as outras entradas na terra.

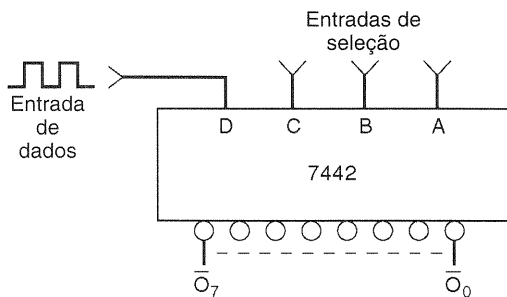
9-35. $Z = \text{ALTO}$ para $DCBA = 0010, 0100, 1001, 1010$.

9-36. (b) $Z = \overline{ABC} + \overline{AB}C + \overline{A}BC + A\overline{B}C + \overline{A}B\overline{C}D + ABCD$

9-37. (a) codificador, MUX (b) MUX, DEMUX (c) MUX

(d) codificador (e) decodificador, DEMUX (f) DEMUX (g) MUX

9-38.



9-39. Cada uma das saídas do DEMUX vai para BAIXO, uma de cada vez em seqüência.

9-40. (a) Todos os LEDs estão apagados.

(b) Cada LED vai piscar.

(c) Os LEDs 2 e 6 vão piscar.

9-41. cinco linhas

9-43. (a) O seqüenciamento termina após o atuador 3 ser ativado.

(b) O mesmo que no item (a)

9-44. A falha provável é um curto para a terra do MSB do MUX das dezenas.

9-45. Provavelmente Q_0 e Q_1 estão trocados.

9-46. Provavelmente as entradas 6 e 7 do MUX estão em curto.

9-47. S_1 está permanentemente em BAIXO.

9-48. (a) não

(b) sim

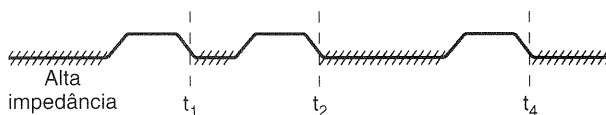
9-51. A última saída binária é 1000101.

9-52. Provavelmente A_0 e B_0 estão trocados.

9-54. $\overline{OE}_C = 0, \overline{IE}_C = 1; \overline{OE}_B = \overline{OE}_A = 1; \overline{IE}_B = \overline{IE}_A = 0$; aplicar um pulso de clock

9-55. (a) Em t_4 , cada registrador conterá 1011.

9-56.



9-57. (b) aceso, aceso, aceso, apagado (da esquerda para a direita)

9-58. (a) Em t_3 , os registradores têm 1001.

9-60. (a) 57FA (b) 5000 a 57FF
(c) 9000 a 97FF (d) não

CAPÍTULO 10

10-1. (f), (g) falso

10-2. 3,58 V

10-3. LSB = 20mV

10-4. 20 mV; aproximadamente 0,4%

10-5. aproximadamente 5 mV

10-6. oito

10-7. 14,3%, 0,286 V

10-9. 250,06 rpm

10-10. 10 mV, 0,1%, 6,95 V

10-11.

Binário	BCD
3,88 mV	10 mV
0,392%	1,01%

10-13. 800 Ω ; não

10-14. (a) - 0,3125 V, - 4,6875 V (b) 4,27 k Ω (c) - 0,0267

10-15. Utiliza poucos valores diferentes de R.

10-16. 20 μ A; sim

10-17. (a) sete

10-19. 242,5 mV não está dentro das especificações.

10-20. offset fora das especificações

10-21. O bit 1 do conversor D/A está aberto ou permanentemente em ALTO.

10-22. bits 0 e 1 trocados

10-24. (a) 10010111 (b) 10010111 (c) 102 μ s, 51 μ s

10-27. (a) 1,2 mV (b) 2,7 mV

10-28. (a) 0111110110 (b) 0111110111

10-29. 2,834 a 2,844 V

10-31. A frequência da forma de onda reconstruída é 3,33 kHz.

10-32. Rampa digital: a, d, e, f, b. Aproximações sucessivas: b, c, d, e, g, b.

10-35. 80 μ s

10-36. 100101

10-37. 2,276 V

10-38. 2,869 V

10-39. (a) 00000000 (b) 500 mV (c) 510 mV

(d) 255 mV (e) 01101110 (f) 0,2°F; 2 mV

10-44. 386 passos

10-45. O MSB do MSD não está afetando V_{AX} .

10-47. A chave está permanentemente fechada; a chave está permanentemente aberta, ou o capacitor está em curto.

10-49. (a) O endereço é EAxx.

CAPÍTULO 11

11-1. 16.384; 32; 524.288

11-2. 16.384

11-3. 64K \times 4

11-4. 16; 16; 13; 16.384

11-6. (a) dados, endereço, controle (b) endereço

(c) dados (d) CPU

11-7. (a) Alta impedância

(b) 11101101

11-8. (a) registrador 11 (b) 0100

11-9. (a) 16.384 (b) quatro

(c) dois decodificadores 1 de 128

11-11. 120 ns

11-12. 180 ns

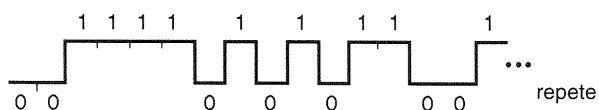
11-14. Q_{13}, Q_{14}, Q_{15}

11-15. Os seguintes transistores terão o terminal fonte desconectado: $Q_0, Q_2, Q_5, Q_6, Q_7, Q_9, Q_{15}$.

11-17. (a) Apaga todas as posições de memória para conter FF₁₆.

(b) Escreve 3C₁₆ no endereço 2300₁₆.

11-27.

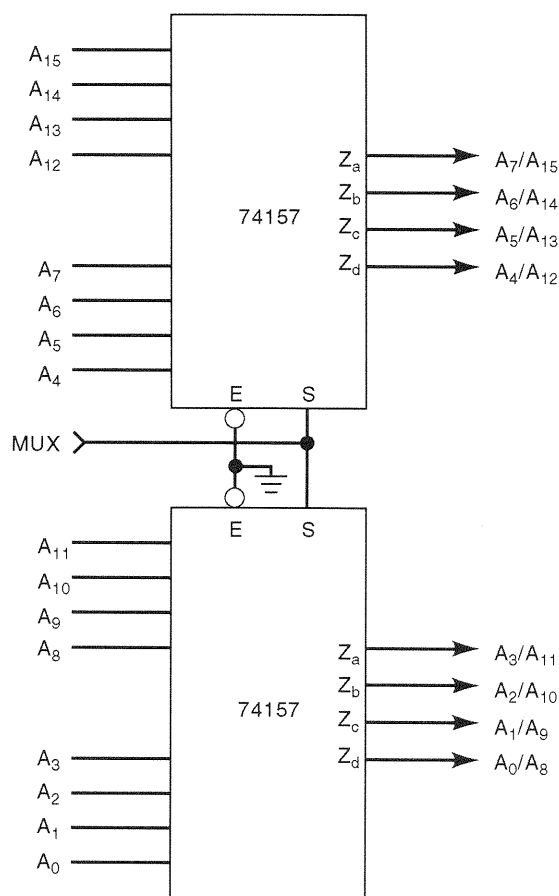
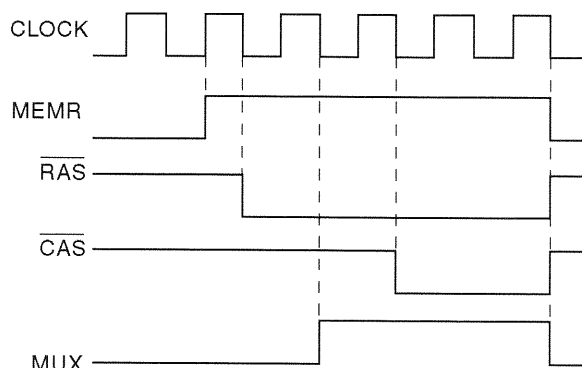


11-20.

A_5	A_4	A_3	A_2	A_1	A_0	D_2	D_1	D_0	C_3	C_2	C_1	C_0
1	0	0	1	0	1	0	1	1	0	1	1	1
0	0	1	1	1	0	0	0	1	0	1	0	0
1	1	1	1	1	0	1	1	0	0	0	1	0
0	1	1	1	0	0	0	1	0	1	0	0	0
1	1	0	1	0	1	1	0	1	0	0	1	1
0	0	0	1	1	0	0	0	0	0	1	1	0
0	1	0	0	1	1	0	0	1	1	0	0	1
1	1	0	0	0	0	1	0	0	1	0	0	0

11-25. oito

11-26.



11-46. *Checksum* = 11101010

CAPÍTULO 12

(d) simples, complexo, registrador

12-3. No modo registrador existem oito termos-produto na configuração com registradores e sete termos-produto na configuração combinacional.

12-5.

Modo	Configuração	Habilitação
Simplex	Entrada Saída	Terra V_{cc}
Complexo		8.º termo-produto da matriz de entrada
Registradores	Com registradores Combinacional	Pino 11 (\overline{OE}) 8.º termo-produto

12-8. $!Y0 = G1 \& !G2A \& !G2B \& !C \& !B \& !A$

12-10. $D_A = \overline{QA}$

$D_B = \overline{QB} \cdot QA + QB \cdot \overline{QA}$

$D_C = \overline{QC} \cdot QB \cdot QA + QC \cdot \overline{QB} + QC \cdot \overline{QA}$

12-11. $D_B = \overline{QA}; D_A = QB$

12-12. Incluir uma variável de entrada (DIR) para controlar a direção (DIR = 0, sentido anti-horário; DIR = 1, sentido horário).