

4. 多量子阱和超晶格

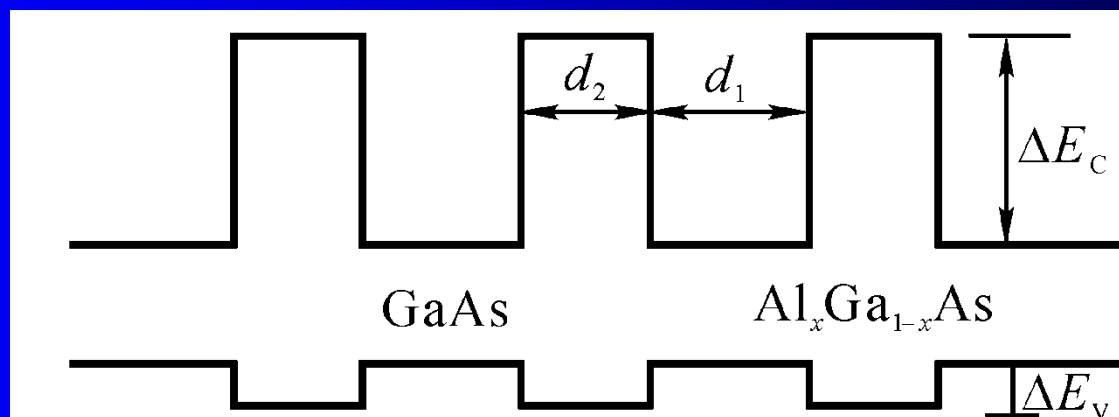
两种 E_g 不同的材料（晶格常数要匹配），交替形成多层结构



很薄的多个量子阱串联



d_1 很小、而 d_2 较大
(相互独立的)多量子阱



很薄的多个量子阱串联



d_1 很小、 d_2 也很小

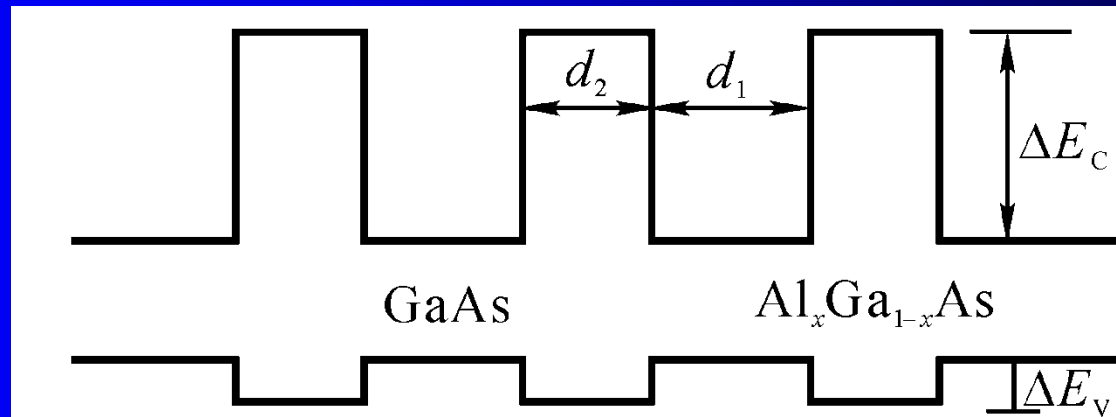
(相邻势阱中粒子波函数互相耦合的) 多量子阱



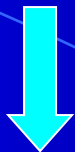
d_1 、 d_2 也比普通的晶格常数

大1~2个数量级

超晶格



超晶格：势垒很薄的周期性量子阱



隧道穿透



各量子阱的束缚能级互相耦合



分立能级扩展成微小能带

超晶格（按材料分）：

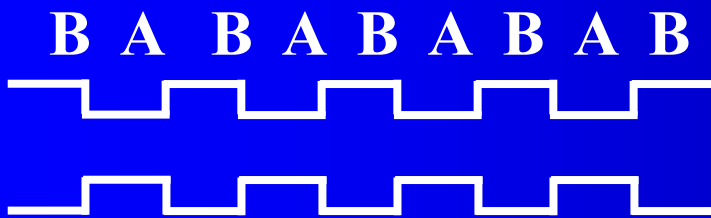
- 组分超晶格（两种不同的材料）
- 组分渐变与调制掺杂超晶格（如改变 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 组分 x ）

主要超晶格的能带关系:

第一类超晶格

材料A的禁带完全落在材料B的禁带中

电子和空穴的势阱: 材料A

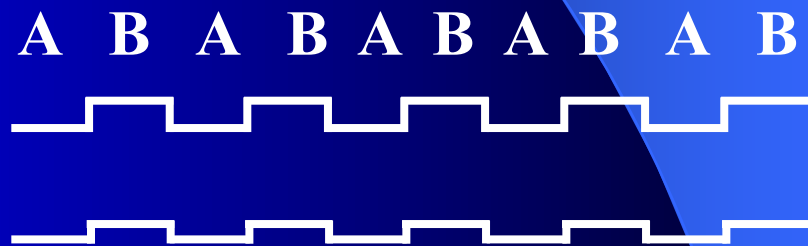


电子和空穴都约束在同一种材料 (材料A) 中

第二类超晶格

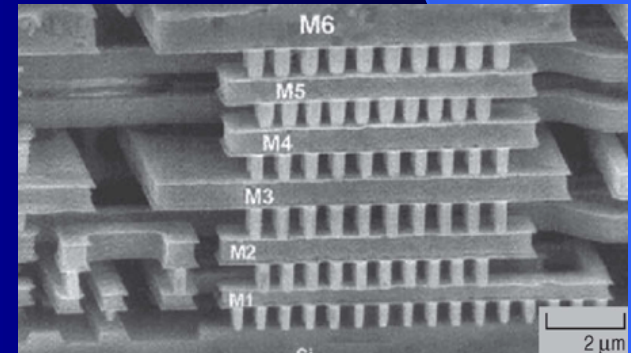
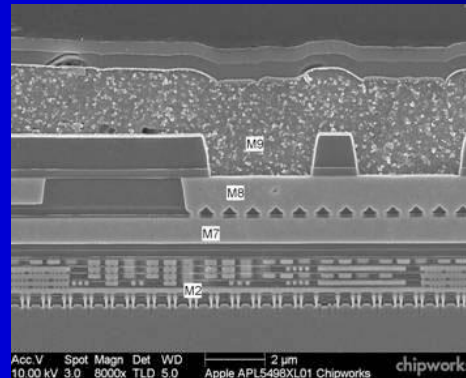
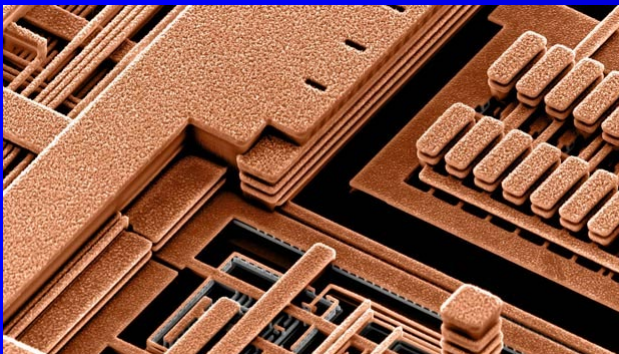
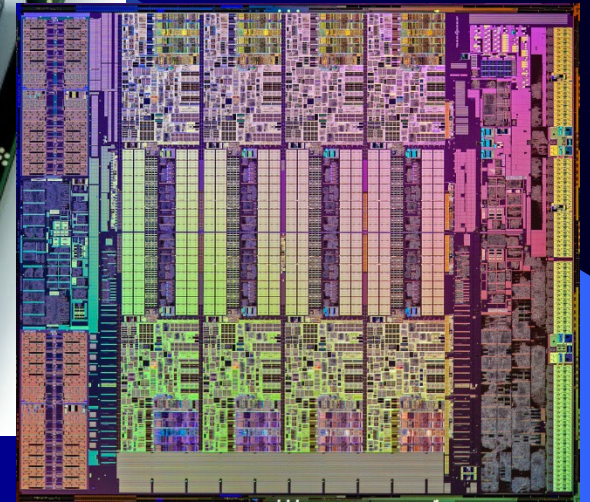
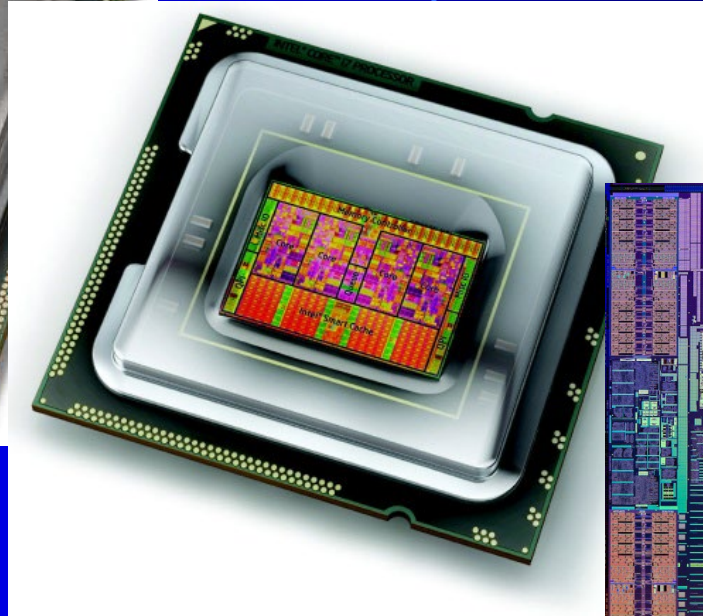
材料A的导带、价带都分别比材料B的导带、价带低

电子势阱材料A、空穴势阱材料B



电子约束在材料A中空穴都约束材料B中

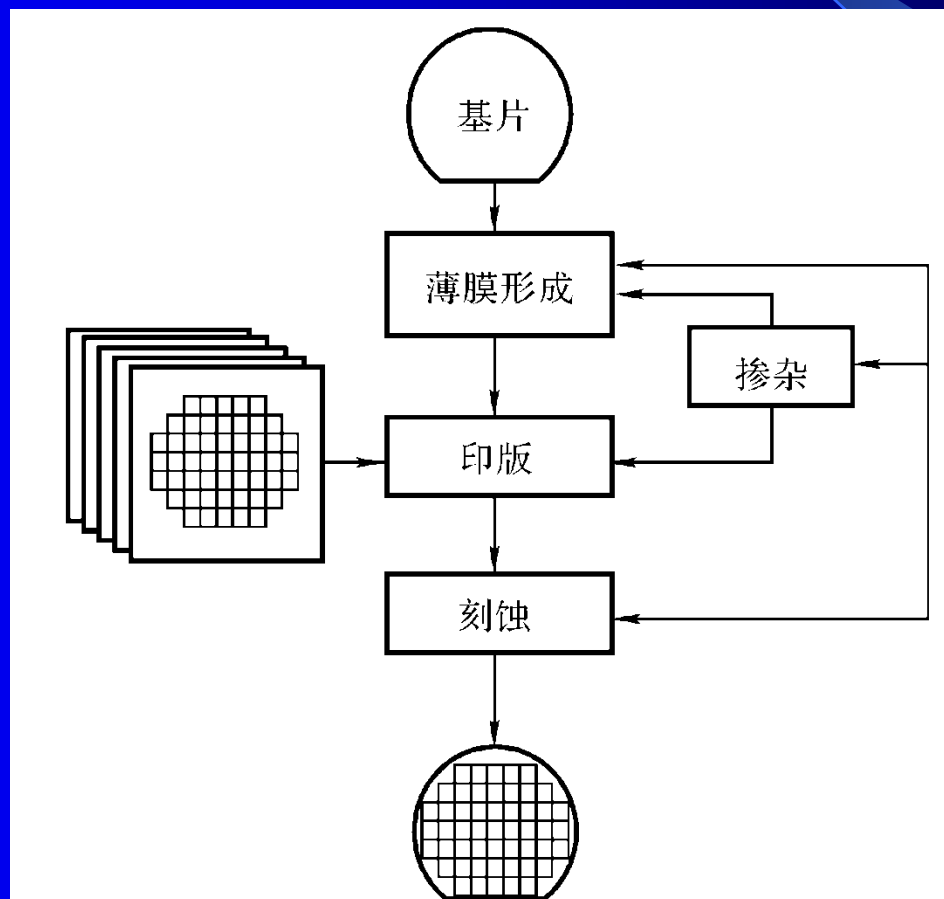
4.7 半导体集成器件和微细加工技术



4.7 半导体集成器件和微细加工技术

4.7.1 集成电路的构成

集成电路制备的流程图：



集成电路的工艺基础:半导体平面工艺

半导体单晶基片



气相外延

基片上生长合适的外延层



热氧化法

生长 SiO_2 膜



掩膜 涂感光胶(负胶)

芯片胚件



紫外光下曝光

未感光部分的感光胶溶去(负胶)

未感光部分的感光胶溶去(负胶)

↓ 腐蚀剂

未感光的SiO₂膜腐蚀

杂质源

真空镀膜(蒸发)

选择性杂质扩散(常用离子注入)

电极与器件连接线

↓
各种所需的半导体器件

↓
各种集成电路

洁净室等级:

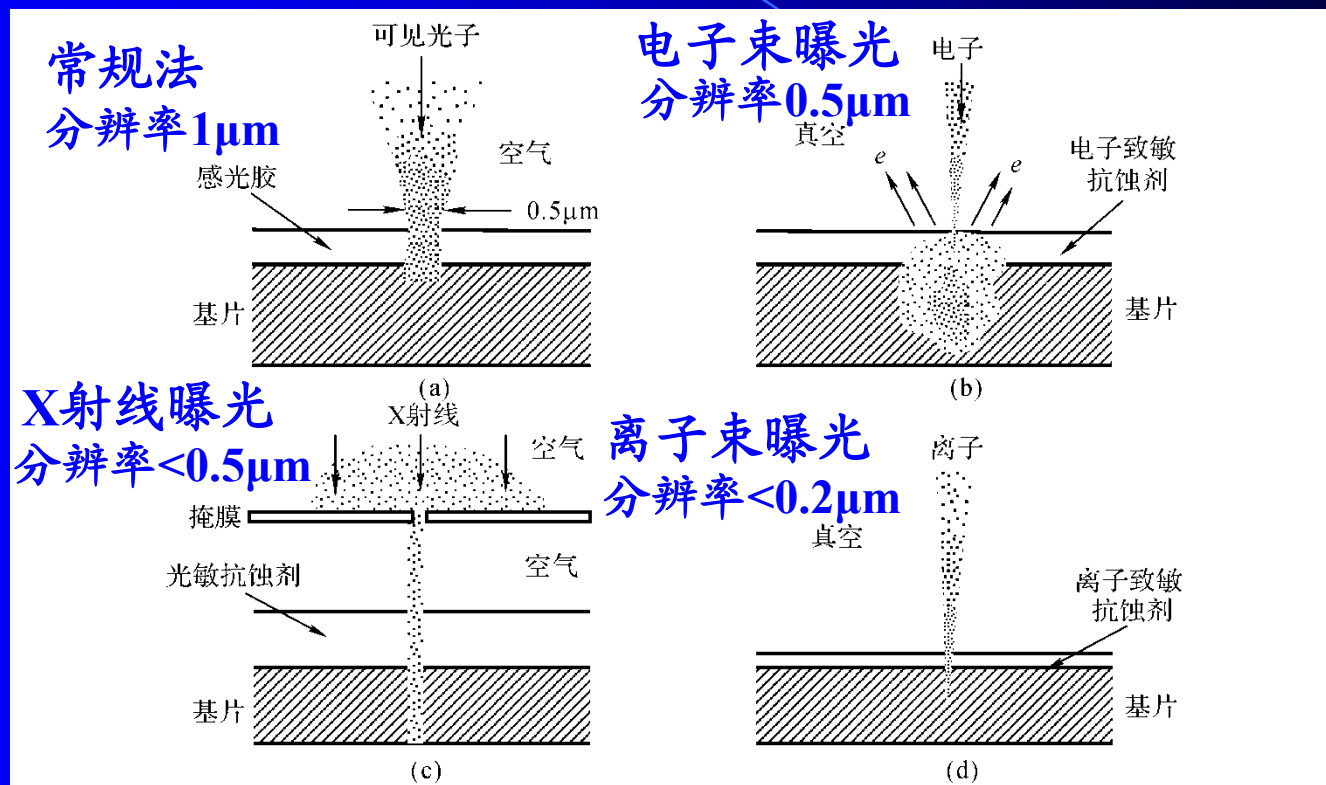
- 1级: 直径 $\geq 0.5\mu\text{m}$ 尘埃粒子密度 $< 1/\text{英尺}$ ($35/\text{m}^3$)
- 10级: $< 350/\text{m}^3$
- 100级: $< 3500/\text{m}^3$

芯片是如何制造的? 2分钟告诉你!_腾讯视频 (qq.com)

4.7.2 微细加工技术

1. 光刻(制作掩膜版、曝光)

衍射、散射限制分辨率:



2. 刻蚀

3. 掺杂

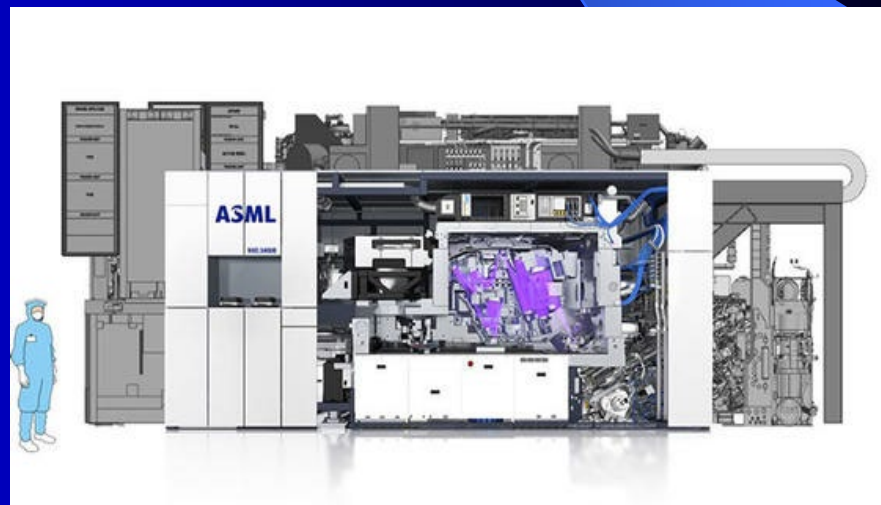
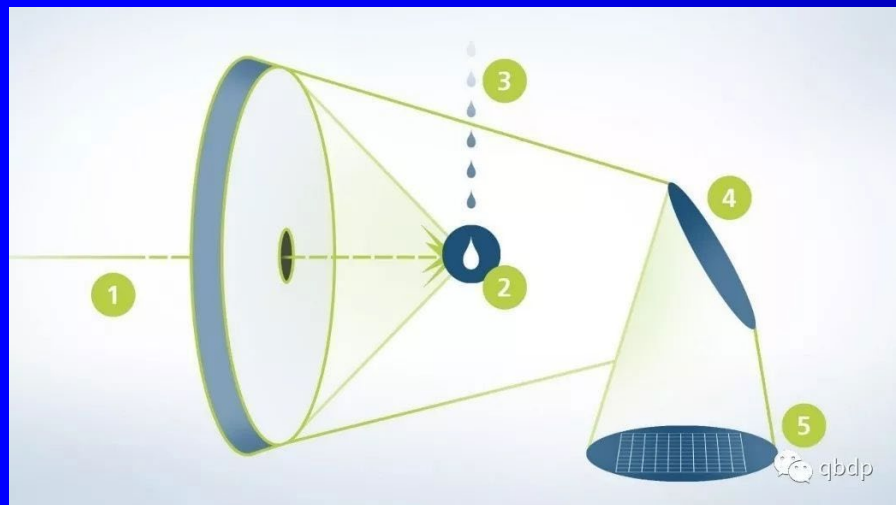
[阿斯麦的EUV光刻机如何工作？这就是5nm芯片的制作过程_腾讯视频 \(qq.com\)](#)

4. 氧化层和薄膜淀积



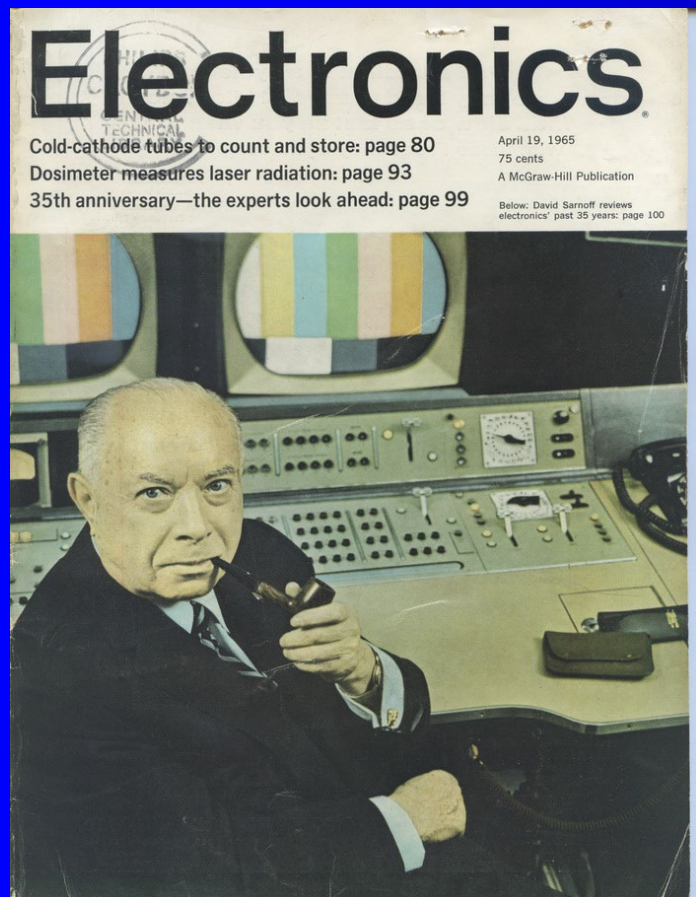
[阿斯麦的EUV光刻机如何工作？这就是5nm芯片的制作过程_腾讯视频 \(qq.com\)](#)

- 荷兰阿斯麦（ASML）公司的最先进的EUV（极紫外光）光刻机已经能够制造7nm以下制程的芯片，一套最先进的7纳米EUV光刻机价格高达1.2亿美元。
- 每秒在真空环境中，从底部容器流出5万滴融化的锡液，一对激光束照射每一滴液体产生等离子体，释放出更短的波长。超高精度的反射镜引导光线。
- 经过十几面反射镜，将光从光源一路导到晶圆。每一次反射仍会损失3成能量，最后大概只能剩下不到2%的光线。被吸收的能量必须要用大功率散热系统进行冷却。
- 7纳米极紫外线光刻机，分为13个系统，3万个分件。



[阿斯麦的EUV光刻机如何工作？这就是5nm芯片的制作过程_腾讯视频 \(qq.com\)](https://www.qq.com)

Moore定律56年！



摩尔定律不是一个物理定律，它是人类本性的一个定律！

- 2017年Intel向全世界首次展示了基于最新10nm工艺制程的晶圆；
- 2019年6月Intel的10nm Ice Lake处理器开始量产上市；
- 2021年7nm工艺投产，使用极紫外光EUV光刻；
- 英特尔的14代酷睿Meteor Lake的GPU核心将采用台积电的3nm工艺制程进行代工，2023年Q4量产。
- 1.4nm需要等到2029年，12个硅原子大小。



- 10 nm ice lake 晶圆
- 每平方毫米一亿个晶体管

“摩尔定律不会失效！”

“有一天我们可能会达到物理极限，但目前还看不到终点！”

4.7.3 集成器件发展的主要极限（新技术新工艺不受此限）

集成器件极限（MOSFET型器件为例）：

- 微细加工极限（器件本征极限、布线极限、功耗极限）
- 器件最终极限（掺杂极限、散射极限）

1. 器件本征极限：量子极限、热起伏极限、材料性能极限

- 量子极限：

- 能量时间测不准原理：

- 在时间 τ 内的物理过程，能量须满足： $E \geq \hbar / \tau$

- 在时间 τ 内物理过程的功率耗散满足： $P \geq \hbar / \tau^2$

例如：开关元件速度 10^{-11} s，最小能耗为 10^{-23} J

- 量子隧道穿透效应：

- 栅氧化层的厚度在5 nm以下，电子有隧道穿透效应

[阿斯麦的EUV光刻机如何工作？这就是5nm芯片的制作过程_腾讯视频\(qq.com\)](#)

- 热起伏极限:
 - 热涨落能量 $k_B T$ (室温为 0.026 eV)
 - 热涨落电压 $k_B T/e$ (室温为 0.026 V)
- 材料性能极限:
 - 饱和漂移速度 v_s
 - 临界电场 E_C
 - 最小渡越时间 $\tau_{\min} = L_{\min}/v_s = (V_{\min}/E_C)/v_s$
 $= k_B T/(ev_s E_C)$

2. 布线极限: 电迁移、边缘电容、布线电阻

- 电迁移极限
- 边缘电容极限
- 布线电阻极限

3. 功率极限：温度限制、禁带宽度限制（功耗墙）

- 温度限制：功率损耗正比于每个器件的电容、所加电压、每个芯片的器件数、开关频率：

$$P = 0.5CV^2nf \quad 150\text{W}/\text{cm}^2$$

- 禁带宽度限制：器件最大允许温度受半导体禁带宽度限制(例如Si, 约100 °C)

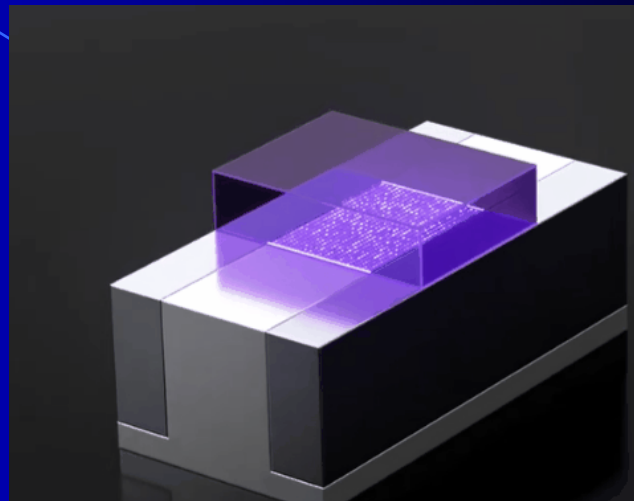
半导体器件最终极限：器件最小尺寸约为10 nm?

1. 掺杂极限：掺杂原子之间的间距极限，限制在非简并范围内的掺杂（例如Si的杂质浓度约 10^{19} cm^{-3} ）极限
2. 散射极限：粒子的散射

科学家、工程师一直探索新技术、工艺，试图突破极限

纳米线晶体管、III-V材料、3D堆叠、密集内存、密集互联、极紫外光刻(EUV)、自旋电子学、神经元计算等。

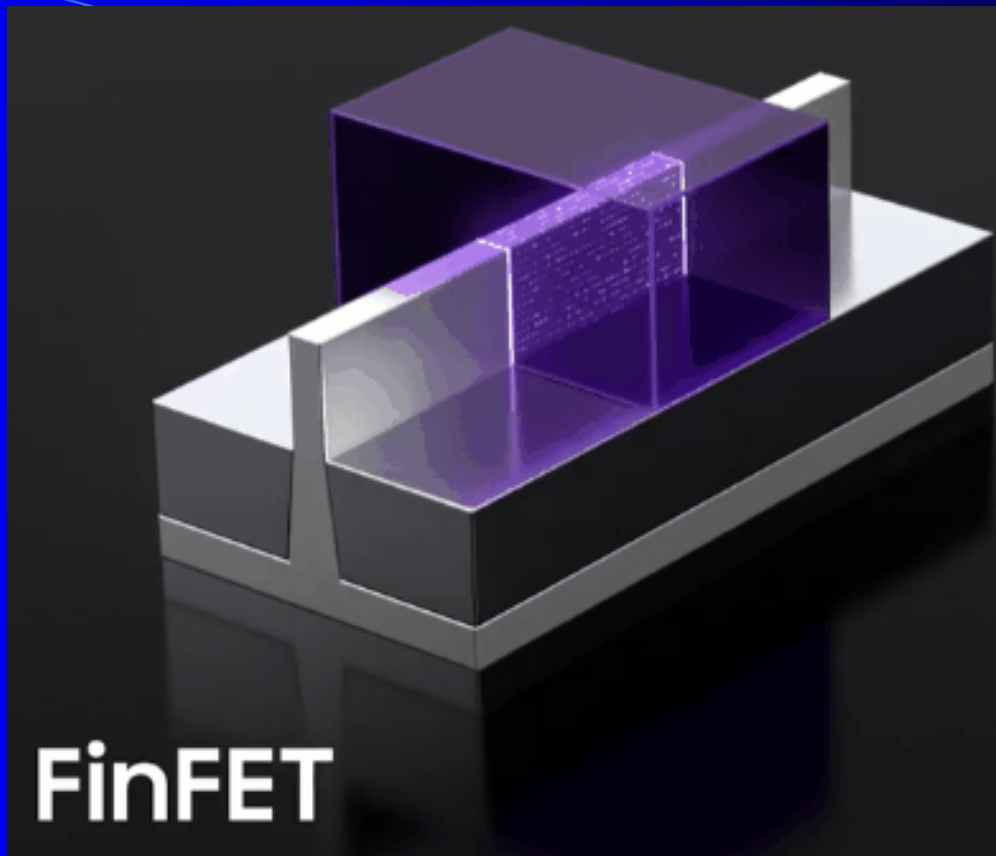
FinFET晶体管



特征尺寸缩小到20nm以下时：

- 漏电流增大
- 栅控能力减弱
- 短沟道效应
- 增大栅极与沟道的接触面积，栅控能力增强，抑制短沟道效应；
- 可采用更厚的栅氧，减小栅漏电流。
- 3D FinFET 技术一路走到今天的 7nm、5nm 时代。

自22纳米节点上被英特尔首次采用，鳍式场效应晶体管（FinFET）在过去的十年里成了成为了半导体器件的主流结构。



- 全环绕栅极晶体管（**Gate-All-Around FET**）被认为是鳍式结构的下一代接任者；
- 三星表示，他们会在 3nm 这一节点上使用 **MBCFET** 技术；台积电会在 2nm 节点上采用 **GAA** 技术；Intel 到 2023 年，他们会在 5nm 这个节点上放弃 **FinFET** 晶体管，转向 **GAA** 环绕栅极晶体管。



胡正明 教授

FinFET技术发明人

IEEE Fellow

美国工程院院士

中国科学院外籍院士

美国加州大学伯克利分校教授

“FinFET 证实了这个产业还有很多可以用我们的智慧来解决的问题，我还真是看不到半导体产业发展的极限。”