2022-2023 集成电路原理与设计春夏回忆卷

琴枫

参考数据和公式：

Typical Parameter Value				
Parameter Symbol	Parameter Description	n-Channel	p-Channel	Units
V_{T0}	Threshold voltage(VBs=0)	0.7	−0.7	V
$K = \mu C_{ox}$	Transconductance parameter(in saturation)	110	50	$\mu A/V^2$
λ	Channel length modulation parameter	0.1	0.2	V^{-1}

$V_{TH} = V_{TH0} + \gamma\left(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|}\right)$

1. 名词缩写 5*2(无需写中文释义)

CMOS、PTAT、SOC、PVT、PSRR

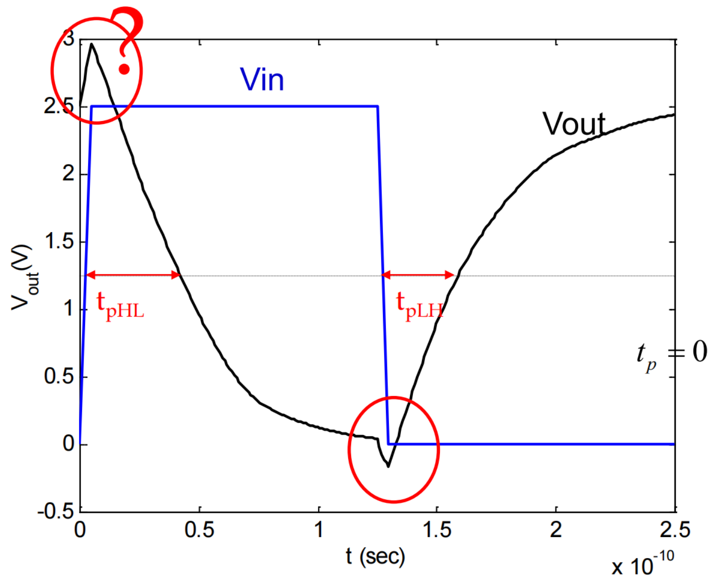
2. 选择题

1. p-sub，n-well 的 MOS，all n-well tie to：最正电压？地？
2. 14nm 和 350nm 工艺，哪个 gm*r_0 更大？
3. 半导体工艺概念题：Photolithography：transfer an image from layout to the wafer
4. Mobility is dependent on the temperature;V_{BS} 变化 V_{th} 如何变化。
5. 电压增益最大的是：CS CG CD（相关题：哪个单级放大器输入阻抗最低（CG），哪个电压增益最小（CD））

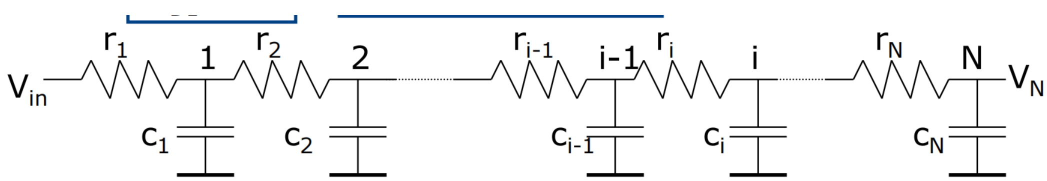
6. 共栅级的特征：电流缓冲器/高输入电阻/电压跟随器

7. 给了一个反向器，当 PMOS 的 w 增大时，VM 怎么变。

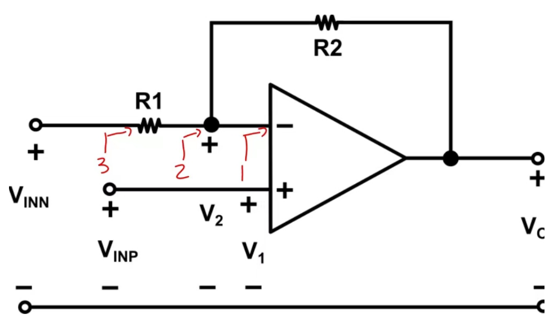
8. 反向器，当 PMOS 的 w 增大时（应该是），t_{pHL}, t_{pLH} 的变化



9. 计算导线延迟，应该是第四个点的

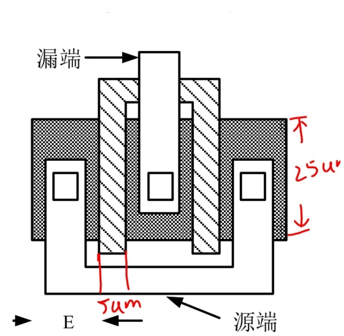


10. 理想运放，哪个点等效电阻最小

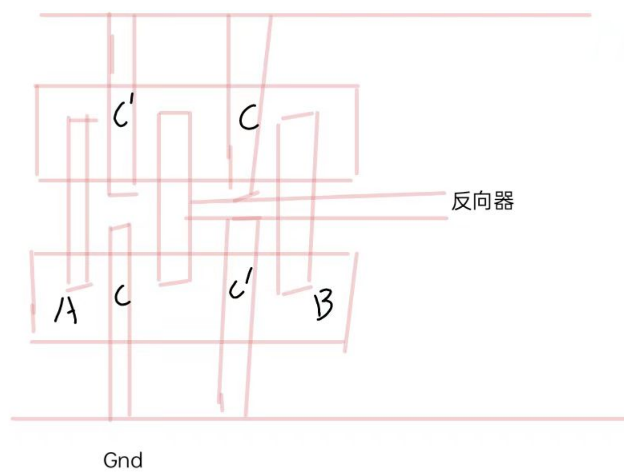


3. 计算题

1. (a) 求 W 和 L



(b) Give the corresponding schematics and itsfunction



(有点简陋，反相器不想画了)

(c) describe principle of Bandgap reference

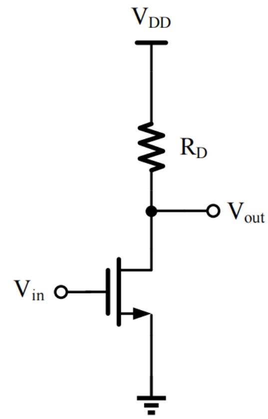
2. Calculate the I_D, gm, r_0 for an n-channel transistor with the drain at 3V, gate at 3 V, source at 1.5V, and the bulk at 1.5V. Assume the model parameters from Table, and $W/L = 10\mu m/0.5\mu m$.

3. common-source stage,$r_0 \gg 1/g_m$,$\lambda \neq 0$,(原题无具体数据)

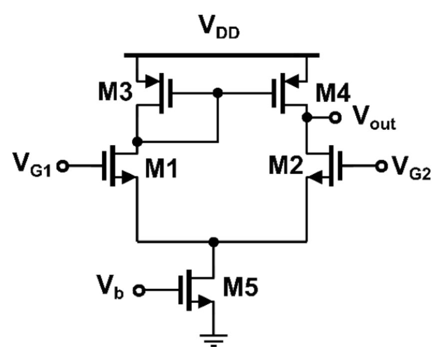
   (a) 画出小信号模型，并求 gm 和 r_0.

   (b) W 增大时，增益怎么变

   (c) W 和 L 同时增大，但 W/L 保持不变，增益怎么变



4. $V_{DD} = 1.8V$,$W/L = 10\mu m/0.5\mu m.\lambda \neq 0$，其他数据见上表（数据大概也许应该没错）



(a) 求共模增益

(b) 求差模增益

(c) Assume all MOSFETs are in saturation, Calculate the input common mode voltage range (ICMR)。

(d) 画出 M1 和 M2 的匹配版图

5. (a) describe static circuits and Dynamic circuits.

   (b) Sketch Four-input gates $F = \overline{(A + BC + D)}$using Static CMOS and Dynamic CMOS.