

4.4.2 表面态和界面层对接触势垒的影响

$$eV_D = \varphi_m - \varphi_s$$

理想肖特基模型与实验结果不符合:

$$eV_{Dm} = \varphi_m - \chi$$

模型: 肖特基模型的势垒高度由金属和半导体的功函数决定

实验: 90%的金属同半导体接触的势垒高度几乎相同

? 与金属的功函数无关, 只与所用半导体的种类相关

巴丁势垒模型:

理想半导体表面 (n型半导体)

原子的周期性排列中断

出现半饱和的悬挂键、一些电子能量状态

表面能级 (界面态)

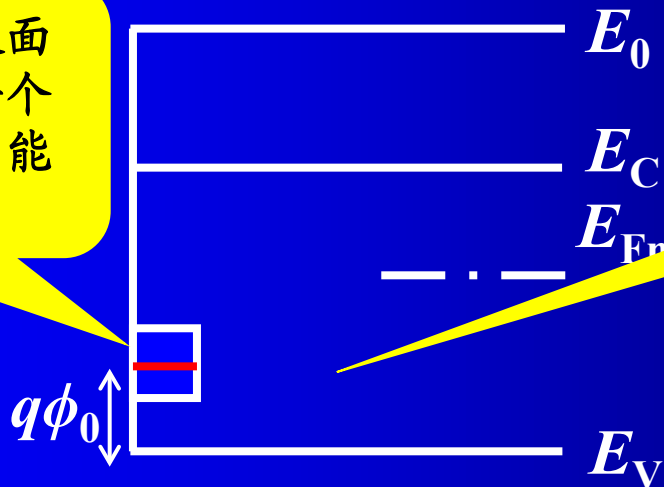
表面态一般分为施主型和受主型

施主型：能级被电子占据时呈现电中性，施放电子后带正电；

受主型：能级空着时呈电中性，接受电子后带负电

半导体表面的界面态分布示意图

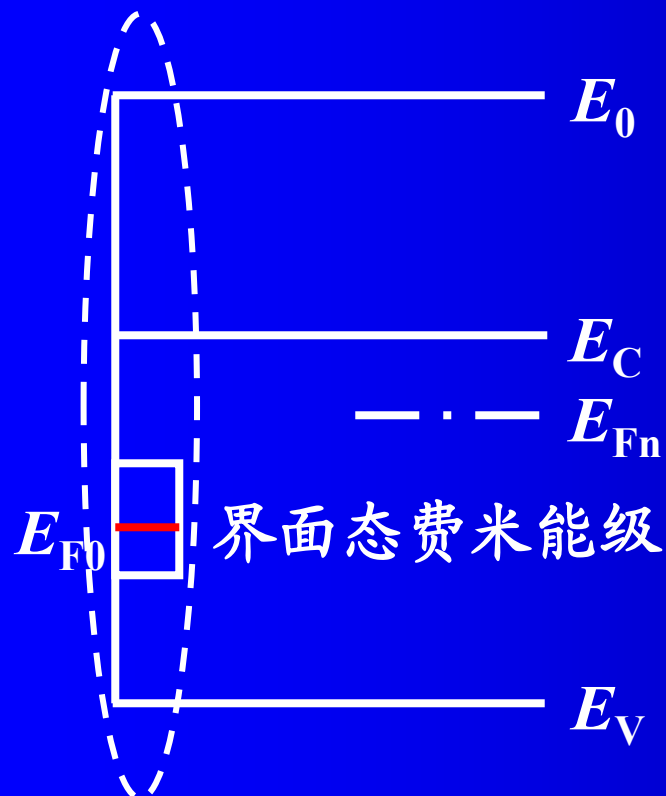
三维晶体中，每个表面原子对应禁带中的一个表面能级，这些表面能级构成表面能带。



$q\phi_0$ 位于禁带宽度的1/3位置。

- 电子正好填满 $q\phi_0$ 以下所有的表面态时，表面呈电中性；
- $q\phi_0$ 以下的表面态空着时，表面带正电，呈施主型。
- $q\phi_0$ 以上的表面态被电子填充时，表面带负电，呈受主型。

半导体表面的界面态:



三维晶体中，每个表面原子
对应禁带中的一个表面能级，
这些表面能级构成表面能带。

表面电中性:



表面带正电:



表面带负电:



金属与n型半导体接触:

1. n型半导体表面

n型半导体表面存在表面态

体内电子流向表面, 填满 $q\phi_0$ 与 E_{Fn} 之间表面能级

$$q\phi_0 < E_{Fn}$$

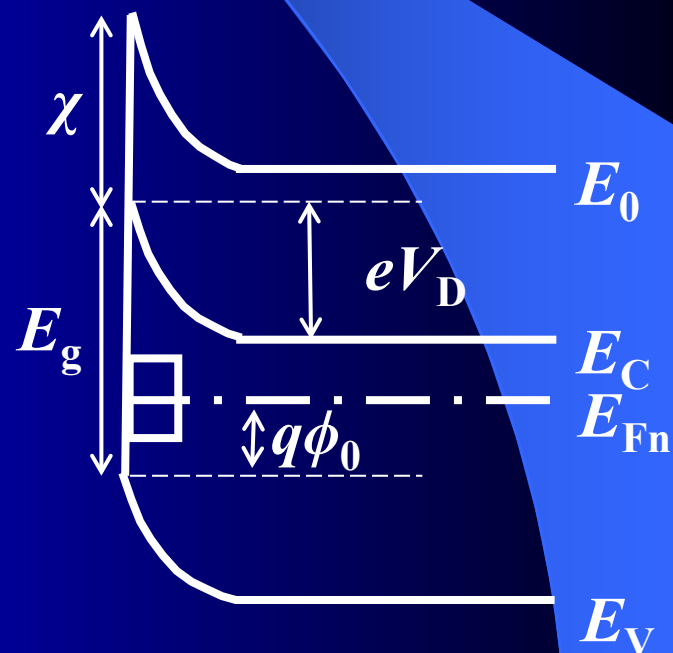
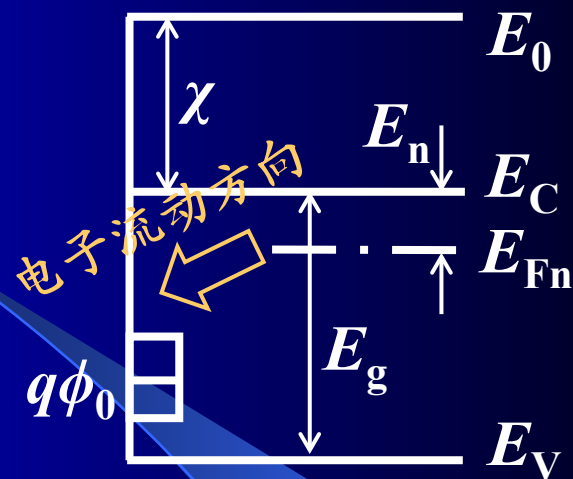
表面带负电, 表面附近形成正的空间电荷区 (电子的势垒)

表面态密度很大, 能带弯曲明显, 表面处 E_{Fn} 接近 $q\phi_0$

势垒高度等于是费米能级与 $q\phi_0$ 之差

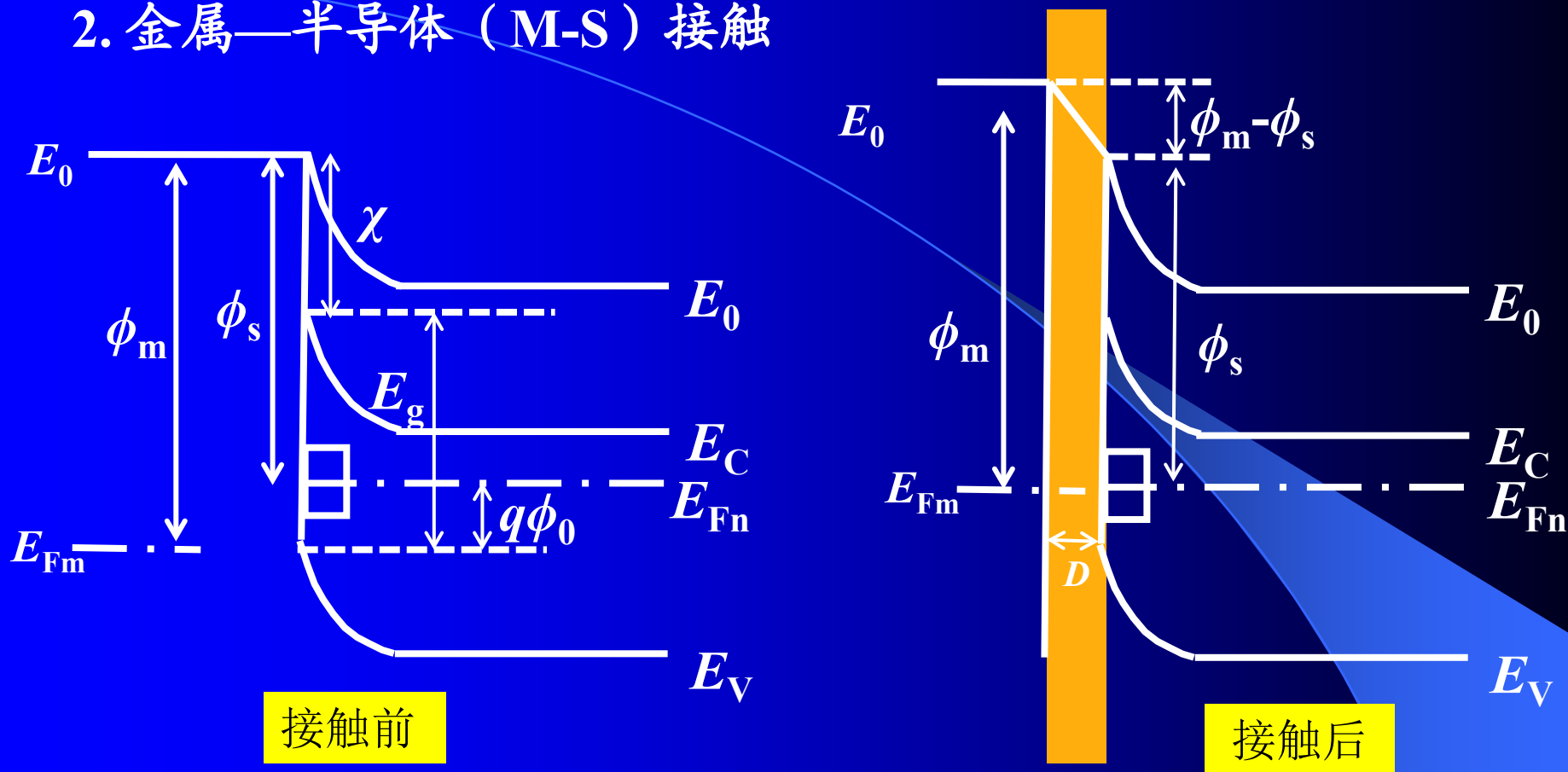
$$eV_D = E_g - q\phi_0 - E_n$$

$$\phi_s = \chi + E_g - q\phi_0$$



势垒高度被表面态高度钉扎

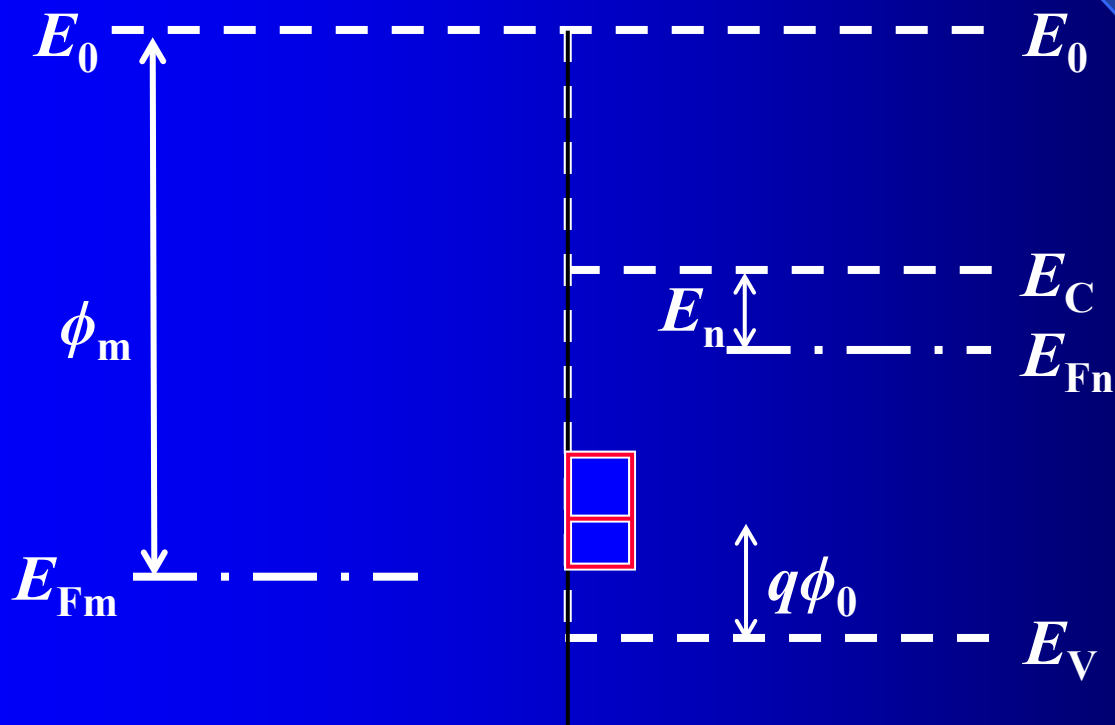
2. 金属—半导体 (M-S) 接触



1. 接触前，半导体的功函数 $\phi_s = \chi + E_g - q\phi_0$ ，与施主浓度无关， ϕ_s 由表面性质决定。
2. 接触后， $\phi_m > \phi_s$ ，电子流向金属，金属侧费米能级相对半导体侧上升 $\phi_m - \phi_s$ 。
3. 表面态密度很高时，表面态可释放出足够的电子。半导体表面屏蔽金属接触的影响，半导体内的势垒高度和能带形状与金属的功函数无关，只由半导体表面的性质决定。
4. 接触电势差大部分落在两个表面之间。

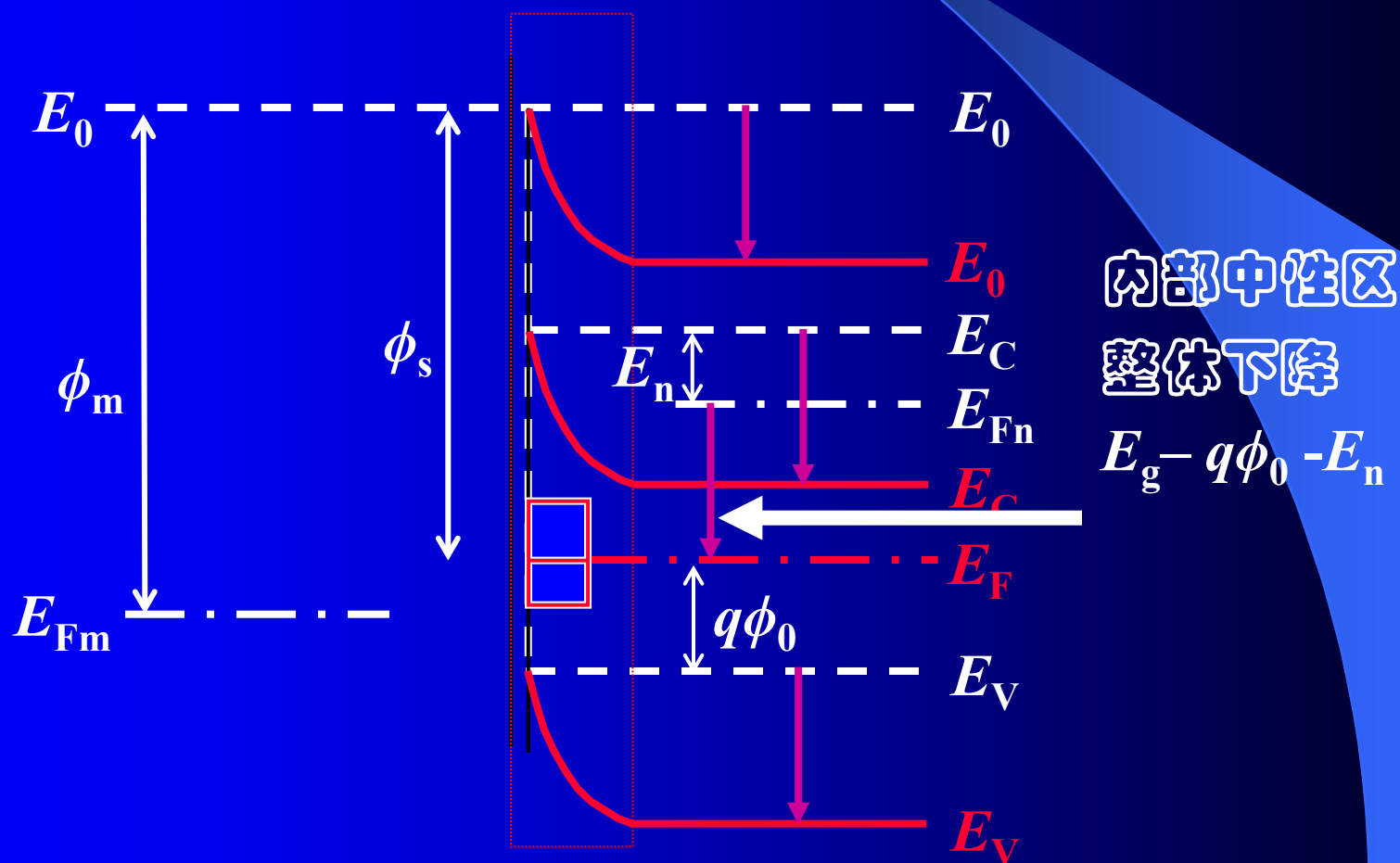
金属-半导体接触的能级图绘制示意图

- 真空能级 E_0 连续（一般性）
- 电子亲和势 χ 始终不变 $\chi = E_0 - E_C$ （一般性）
- 费米能级的“钉扎”效应：价带以上 $E_g/3$ （特殊性）



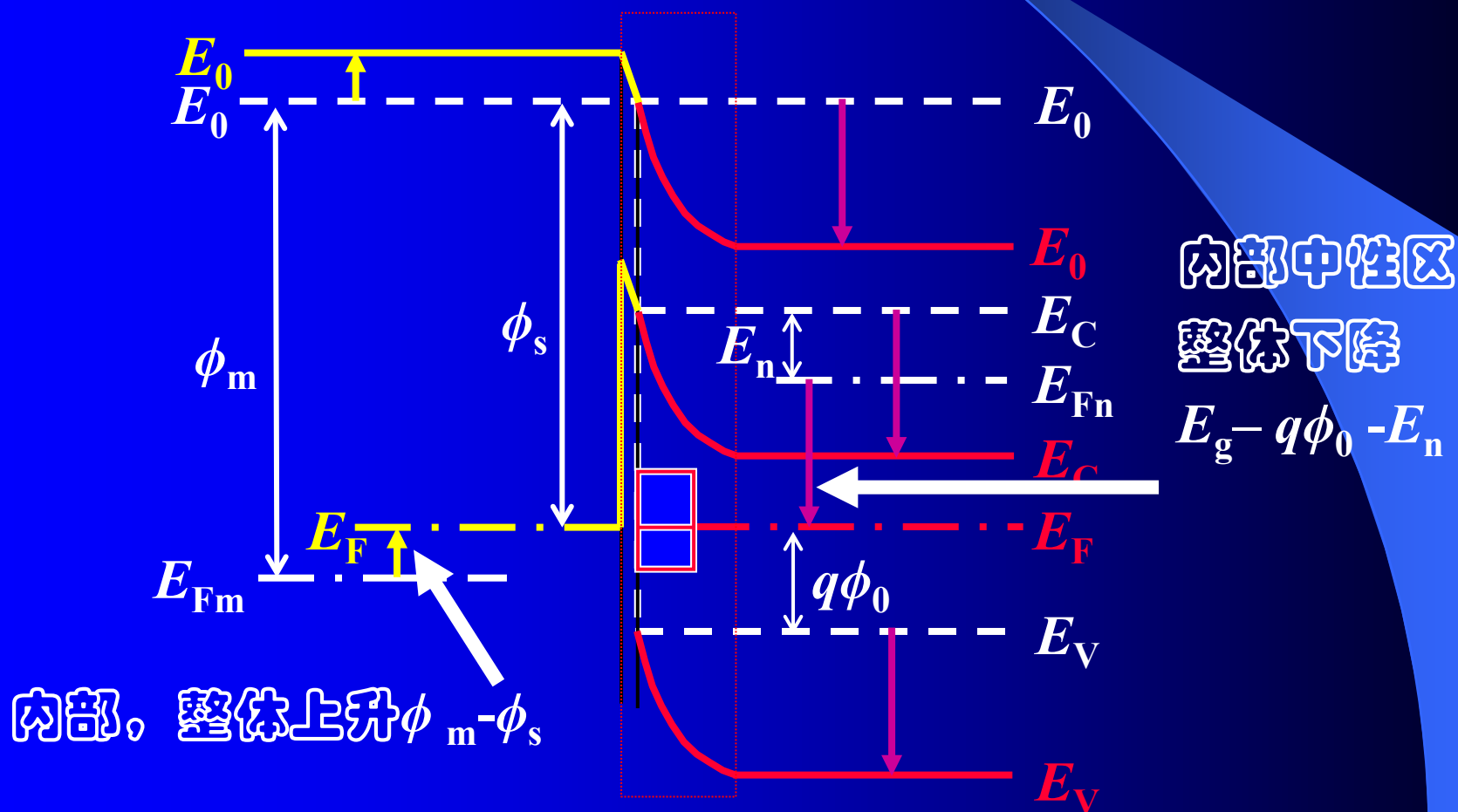
金属-半导体接触的能级图绘制示意图

- 真空能级 E_0 连续（一般性）
- 电子亲和势 χ 始终不变 $\chi = E_0 - E_C$ （一般性）
- 费米能级的“钉扎”效应：价带以上 $E_g/3$ （特殊性）

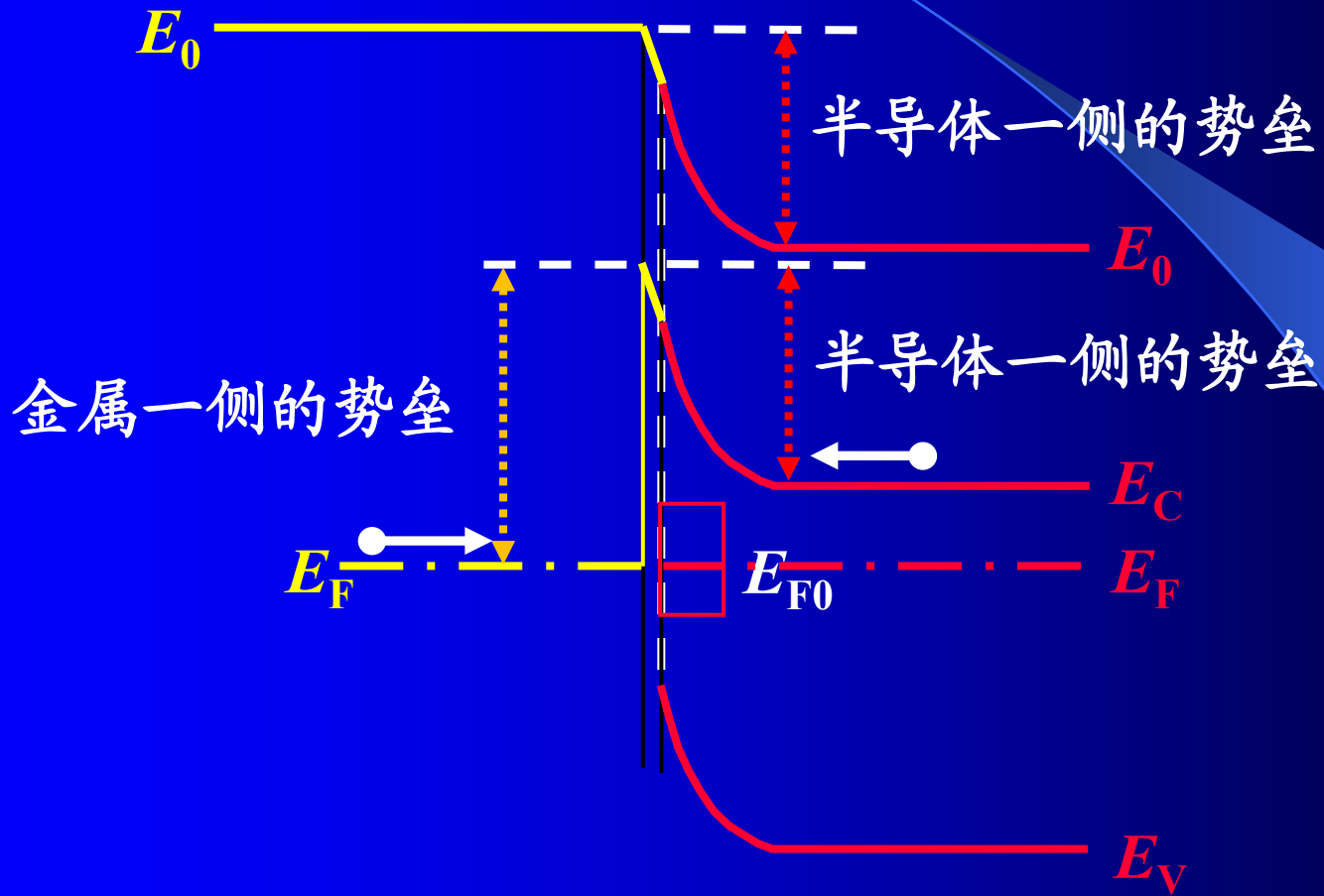


金属-半导体接触的能级图绘制示意图

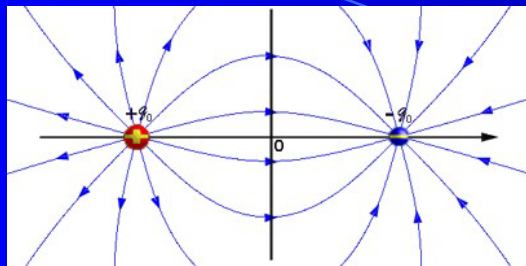
- 真空能级 E_0 连续（一般性）
- 电子亲和势 χ 始终不变 $\chi = E_0 - E_C$ （一般性）
- 费米能级的“钉扎”效应：价带以上 $E_g/3$ （特殊性）



金属-半导体接触的能级图绘制示意图



感应库仑势的影响



金属外的电子，会在金属表面感应出正电荷，同时受到正电荷的吸引。等效等量正电荷。

金属与n型半导体接触：

半导体导带底的电子从半导体流向金属

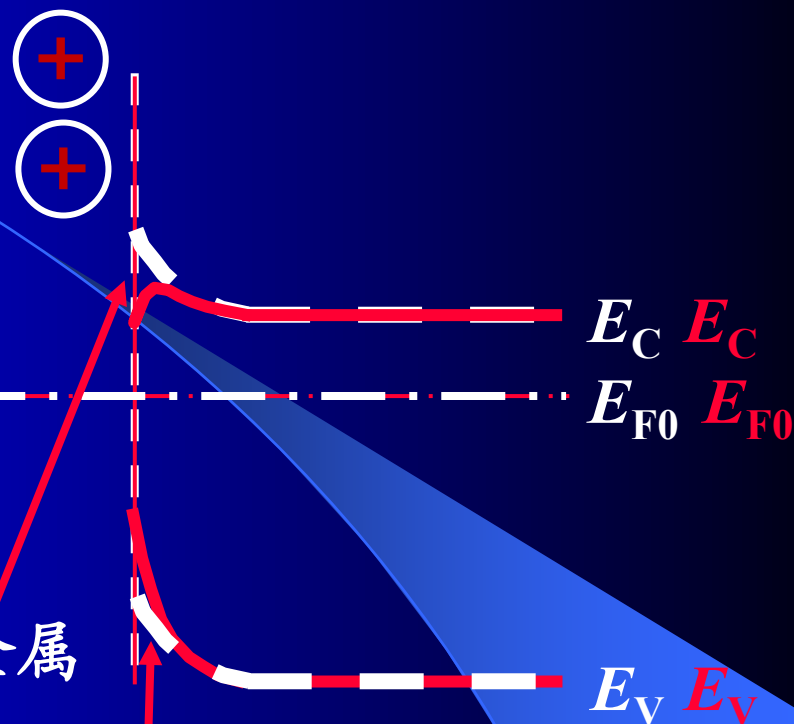
感应 image charge 加速

镜象正电荷，产生镜象库仑势

$$\phi(x) = -e^2 / 16\pi\epsilon_s x$$

- 半导体一侧的势垒高度降低
- 导带底向下弯曲(电子势垒)

导带底与价带顶都向费米能级 E_{F0} 接近



空穴镜象力

空穴势垒

价带顶向上弯曲

能带图：

色散关系： 能带与波矢的关系，材料特性

在第3张重点介绍

器件能带： 能带与位置的关系，器件特性

在第4章及以后重点介绍

绘制器件能带草图:

真空能级 E_0 : 表面外真空中电子势能 (真空能级连续)

电子亲和势 χ : 真空能级与半导体导带底之差 (不变)

$$\chi = E_0 - E_C$$

功函数 ϕ : 电子从材料逸出到表面外的真空中, 至少需要的能量

$$\phi = E_0 - E_F$$

金属功函数 $\phi_m = E_0 - E_{Fm}$ 金属 E_{Fm} 以上为空态、 E_{Fm} 以下充满电子

半导体功函数 $\phi_s = E_0 - E_F$

热平衡态, 统一的费米能级

耗尽层部分能级弯曲

中性区 (N区、p区) 能级不弯曲 (有压降除外, 例如欧姆接触)

“冶金结”位置能带不变



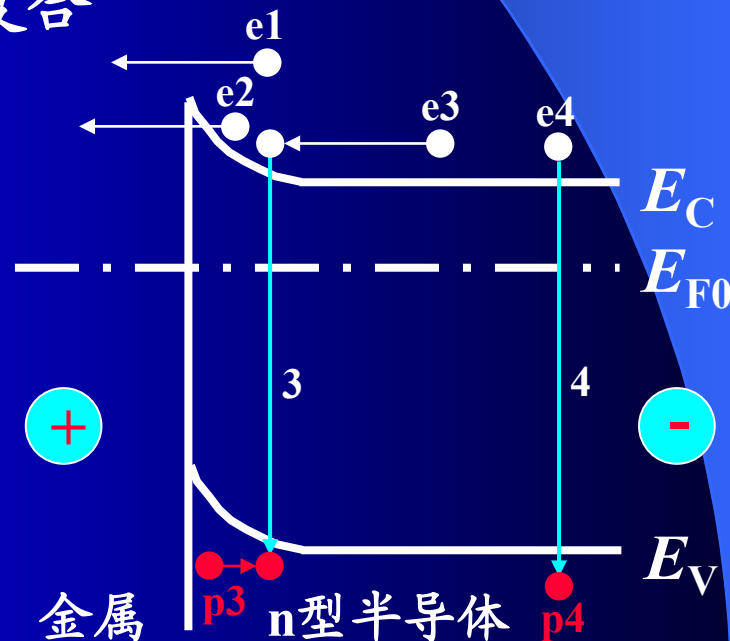
4.4.3 肖特基势垒的 I - V 特性

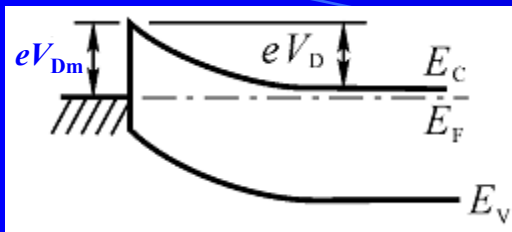
金属与n型半导体接触

正向偏压 \longrightarrow 电流 多子：电子

- 电子1：导带电子越过势垒顶，进入金属
- 电子2：导带电子通过隧道效应，进入金属
- 电子3：空间电荷区与空穴复合
- 电子4：中性区与空穴复合

实际肖特基二极管主要是
第一种电流机制，其它
三种作为理想情况偏离
的修正





无偏压：热平衡时，金属与n型半导体的费米能级拉平

外加偏压主要落在半导体一侧阻挡层

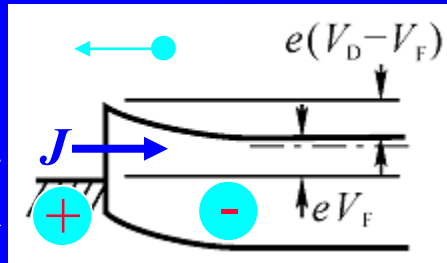
加正向偏压：正向偏压 V_F

V_F 上升 \downarrow forward bias

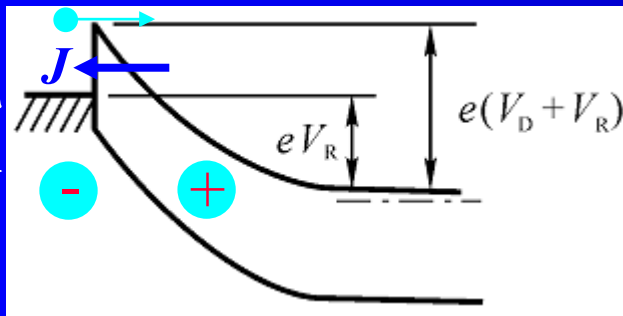
半导体侧势垒下降

正向电流密度上升

正向
电流
密度



反向
电流
密度



加反向偏压：反向偏压 $-V_R$

reverse bias \downarrow V_R 上升

金属侧势垒几乎不变

反向电流密度几乎不随 V_R 变化

反向饱和电流密度

4.4.4 肖特基势垒二极管 Schottky barrier diode

肖特基势垒二极管 I - V 特性

与pn结二极管相似:

pn结二极管方程:

$$J = J_S \left[\exp\left(\frac{eV}{k_B T}\right) - 1 \right]$$
$$J_S = \frac{eD_n n_{p0}}{L_n} + \frac{eD_p p_{n0}}{L_p}$$

反向饱和电流密度:

肖特基势垒二极管:

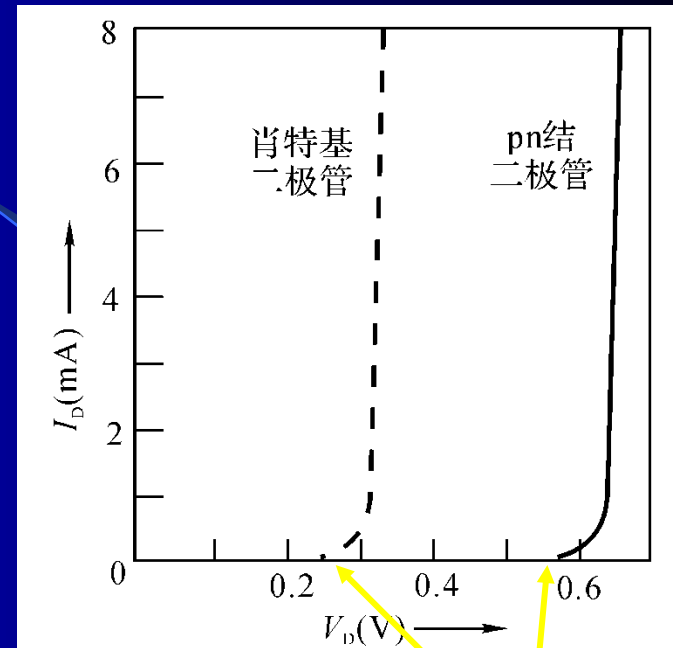
$$J = J_{ST} \left[\exp\left(\frac{eV}{k_B T}\right) - 1 \right]$$

反向饱和电流密度:

A^* 为有效理查逊常数

$$J_{ST} = A^* T^2 \exp\left(-\frac{eV_{Dm}}{k_B T}\right)$$

effective Richardson constant for thermionic emission



反向饱和电流密度
reverse-saturation
current density

肖特基势垒二极管和pn结二极管的特性差异:

- 肖特基势垒二极管为多子越过势垒的热电子发射 (微观机理)

thermionic emission of majority carrier

- pn结二极管为少子的注入和扩散 (微观机理)

diffusion of minority carrier

- 反向饱和电流密度特性 (宏观特性):

肖特基势垒二极管的反向饱和电流密度 (10^{-5} A/cm^2)

\gg pn结二极管 (10^{-11} A/cm^2)

- 开关特性 (宏观特性):

肖特基势垒二极管是多子器件, 正向偏置时没有扩散电容

(高频特性好, 开关时间为ps, pn结二极管为ns)

- 肖特基势垒二极管的导通电压比pn结二极管低 (宏观特性)

4.4.5 欧姆接触ohmic contact

任何半导体器件或集成电路必须要与外界电学接触



- 非整流接触
- 低阻抗双向导通

金属与重掺杂半导体的金—半接触(欧姆接触)



接触电阻由势垒高度、掺杂浓度决定

欧姆接触:

理论的: • 非整流势垒型接触nonrectifying barrier

实际的: • 隧道势垒型接触tunneling barrier

1. 非整流势垒型接触

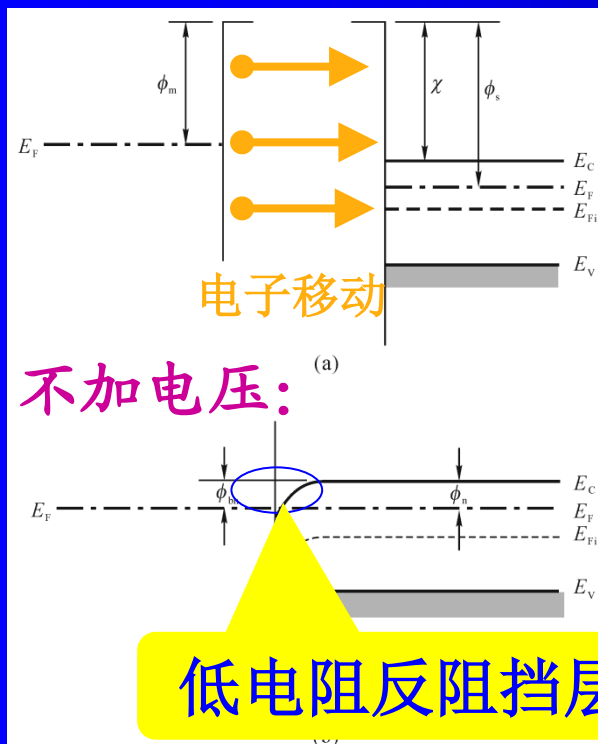
金属-n型半导体接触:

$\varphi_m < \varphi_s$ 时形成反阻挡层和非整流结

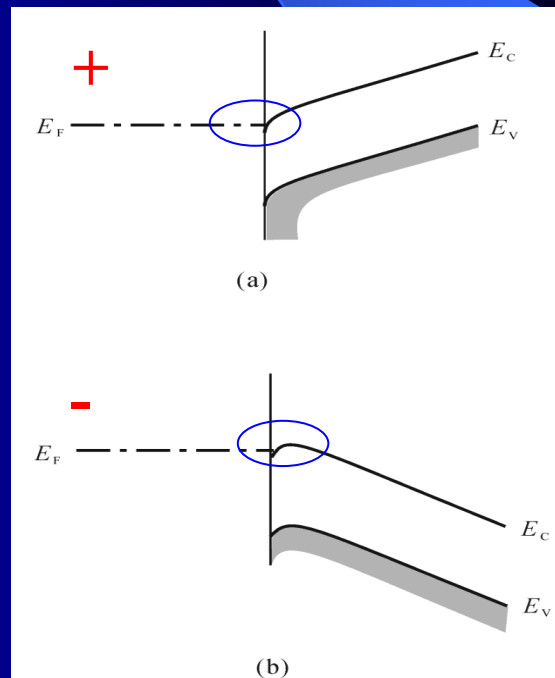
- 电压都落在中性区
- 金属接正电压，没有势垒
- 半导体加正电压，很小的势垒

✓ 结两边电子可以顺利交换（低电阻）

✓ 在外电场作用下，不起整流作用



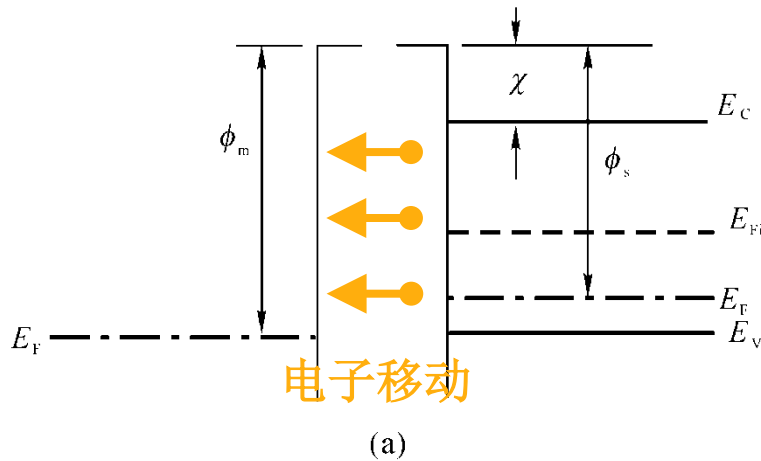
金属加正电压:



金属加负电压:

结本身是低电阻，尽管结两边中性区是低电阻，结两边中性区能带不再是水平的

金属-p型半导体接触，热平衡时的能带图：



金属-p型半导体接触：

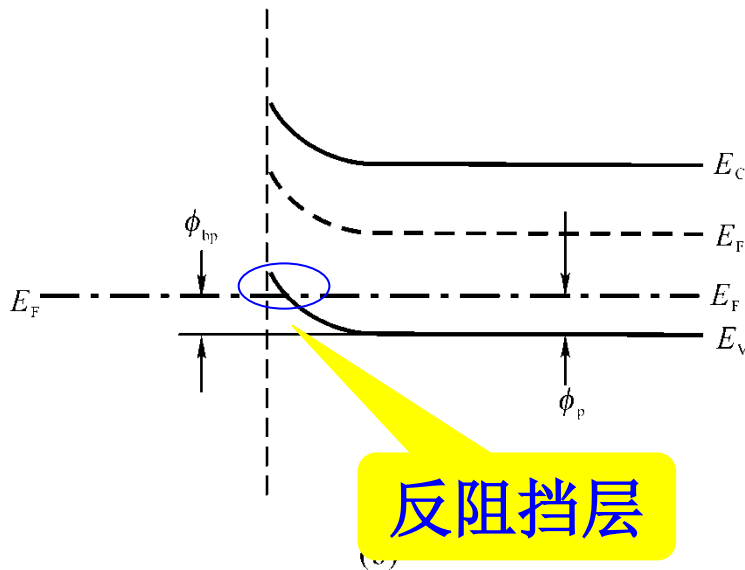
$\phi_m > \phi_s$ 时形成反阻挡层和非整流结

选择有合适功函数的金属就能得到欧姆接触？

多数重要半导体 (Si, Ge, GaAs)
有很大的表面态密度

势垒高度和金属功函数无关

选用适当的金属材料很困难



反阻挡层

2. 隧道势垒型接触

金属-半导体接触，形成势垒



半导体重掺杂

势垒区宽度大幅下降

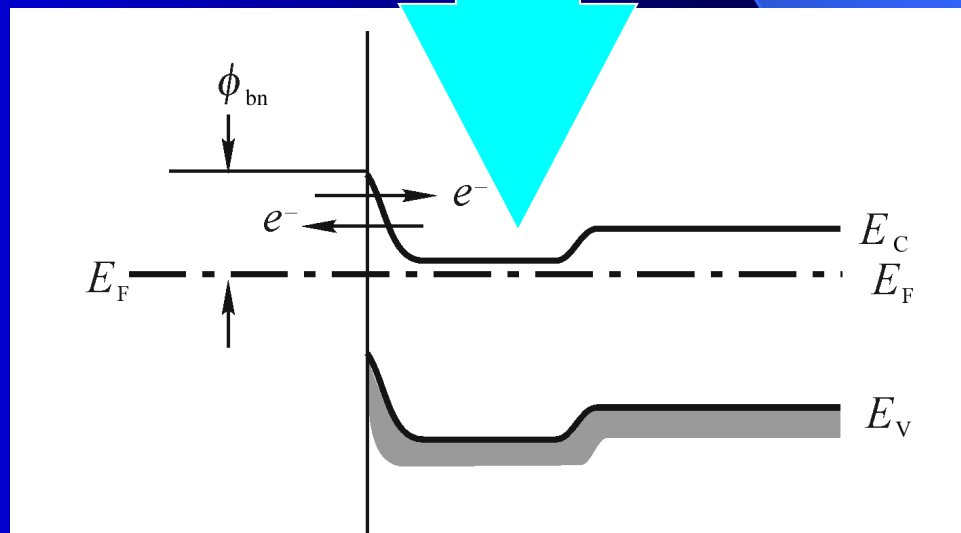


隧道效应

结两边等价交换电子，形成隧道电流



欧姆接触



4.5 场效应晶体管FET: field-effect transistor

掺杂半导体



电场

表面势变化、电阻率变化



与电场垂直方向的电流变化



场效应: 垂直的电场控制半导体的导电能力

场效应晶体管(FET):

单极型晶体管

- 结型场效应晶体管JFET
- 绝缘栅场效应晶体管IGFET(主要是以 SiO_2 作栅极绝缘物的金属Metal—氧化物Oxide—半导体Semiconductor场效应Field-Effect晶体管Transistor: MOSFET)
- 肖特基势垒栅场效应晶体管MESFET

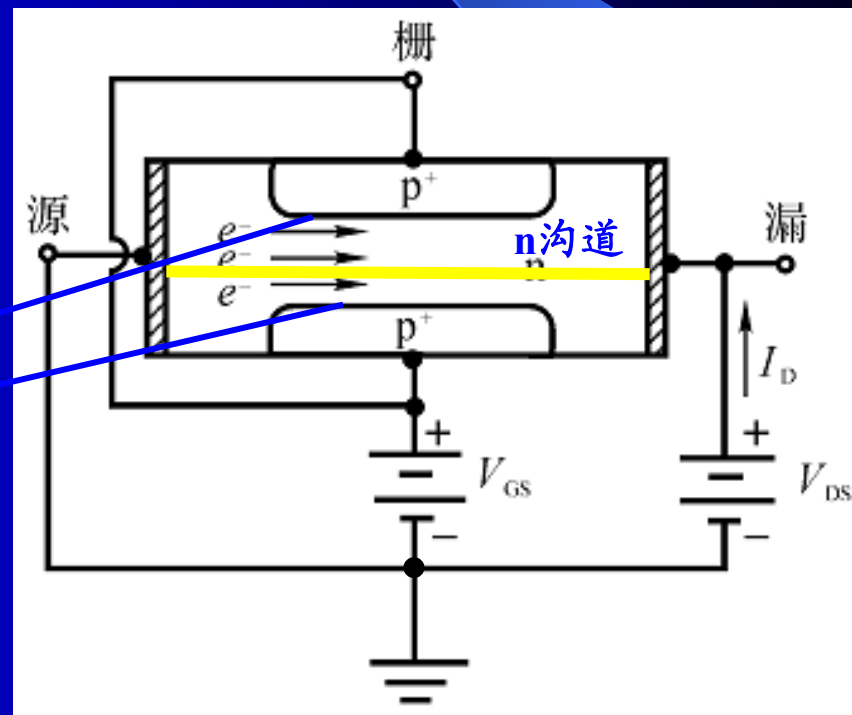
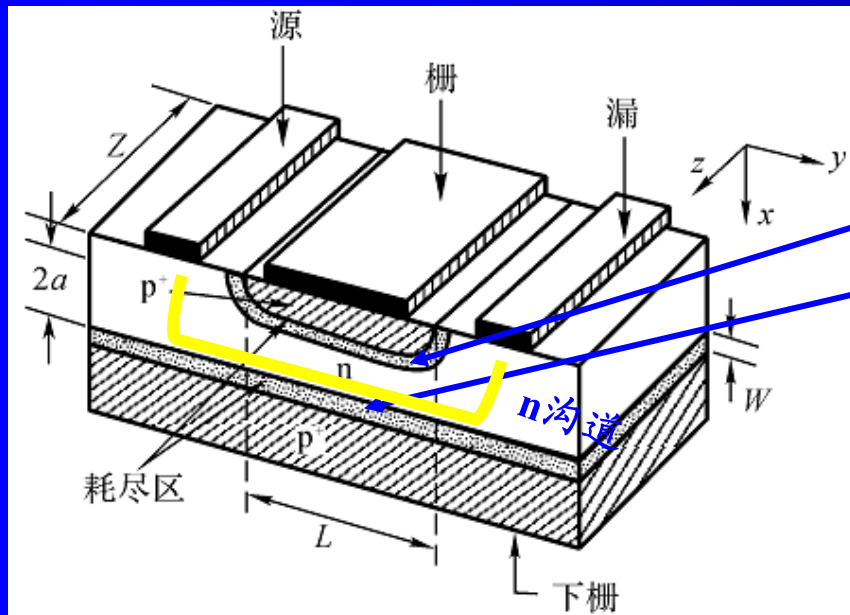
4.5.1 结型场效应晶体管JFET: junction FET

source源极S: 接地

gate栅极G: 上、下栅外部相连，加控制电压 V_{GS}

drain漏极D: 电压 V_{DS} ，输出电流 I_D

n沟道: 通电流



栅结反偏 $V_{GS} < 0$ 、漏极接地 $V_{DS} = 0$

栅结反偏程度增加

两个 p^+n 栅结上的

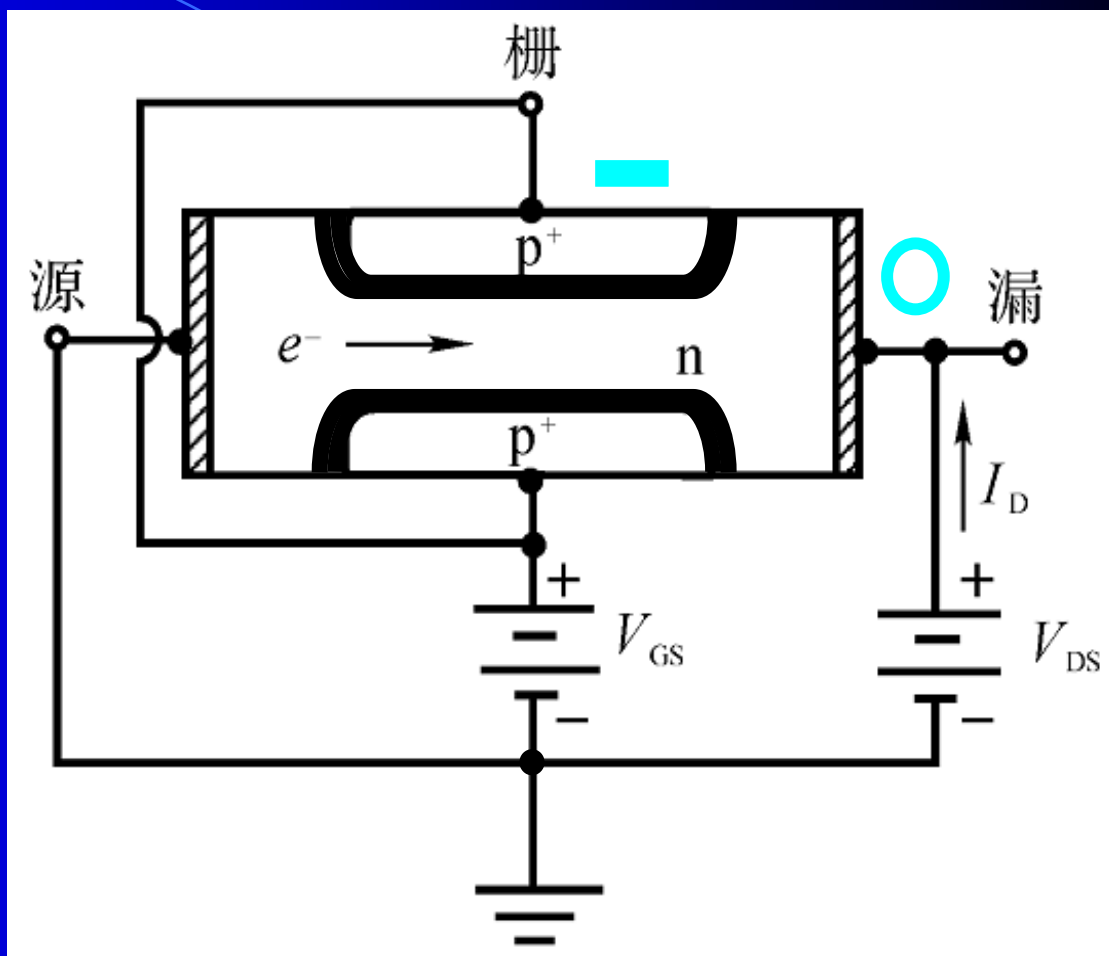
反向偏压增加

耗尽层 depletion layer
宽度增加

n沟道 channel region
宽度变窄

n沟道电阻增加

n沟道导电能力下降



漏极正偏 $V_{DS} > 0$

栅结反偏 $V_{GS} < 0$

电子从源极S沿n沟道流向漏极D，形成漏极电流 I_D

栅结反偏程度增加

漏极电流 I_D 下降

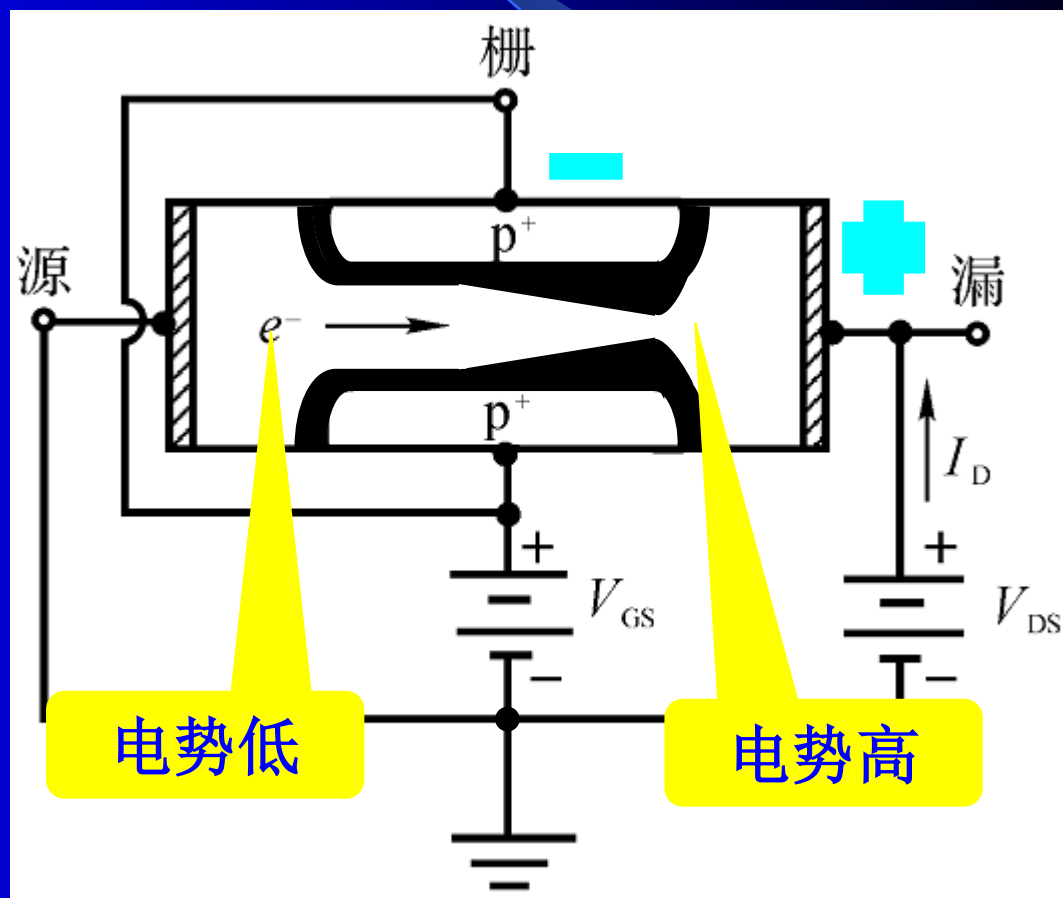
沿n沟道产生压降

从S到D， p^+n 栅结的
反向偏压增加

从S到D，耗尽层宽度增加

从S到D，n沟道宽度变窄

从S到D，n沟道电阻增加
n沟道导电能力下降



漏极D正偏 $V_{DS} > 0$



从S到D，n沟道宽度变窄，电阻增加

n沟道导电能力下降

V_{DS} 增加 ↓ 到 V_{DS0} (饱和电压)

沟道被夹断 (沟道宽度为0)

V_{DS} ↓ 继续增加

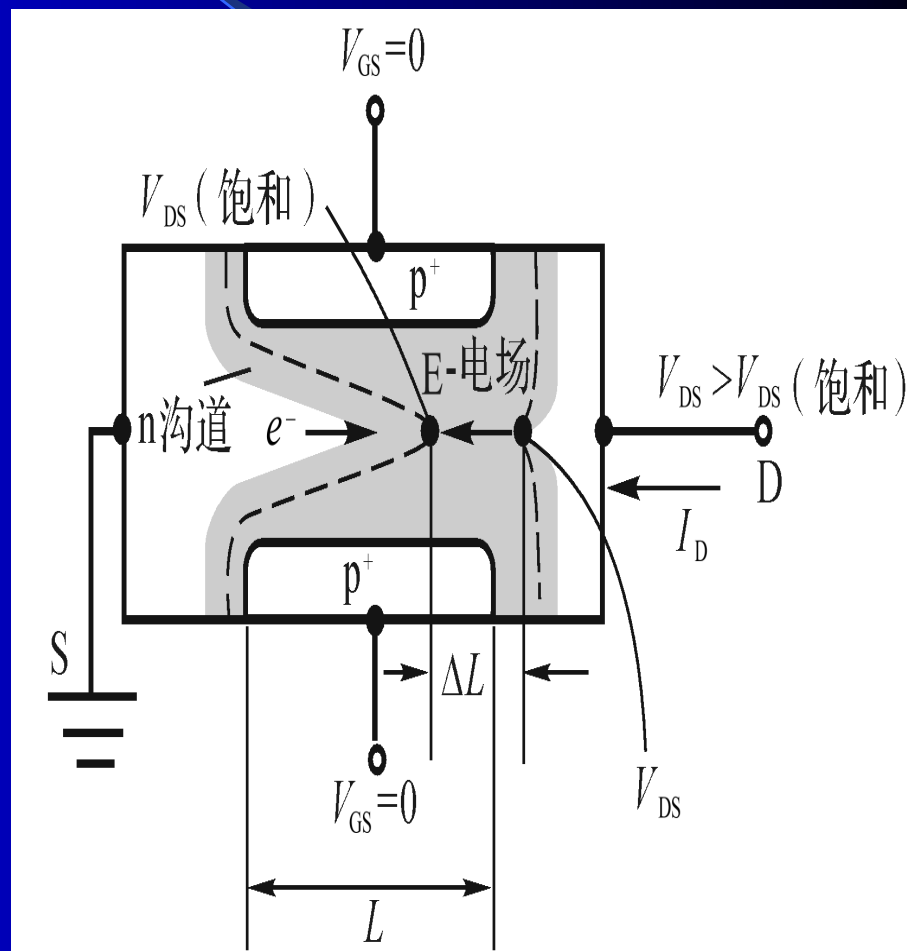
夹断处从D侧向S侧移动



I_D 随 V_{DS} 变化变缓: $I_D \sim I_{D0}$

V_{DS} 增加 ↓ 到 V_{DSa} (击穿电压)

击穿: I_D 随 V_{DS} 急剧增加



漏极D正偏 $V_{DS} > 0$

- $V_{DS} < V_{DS0}$:

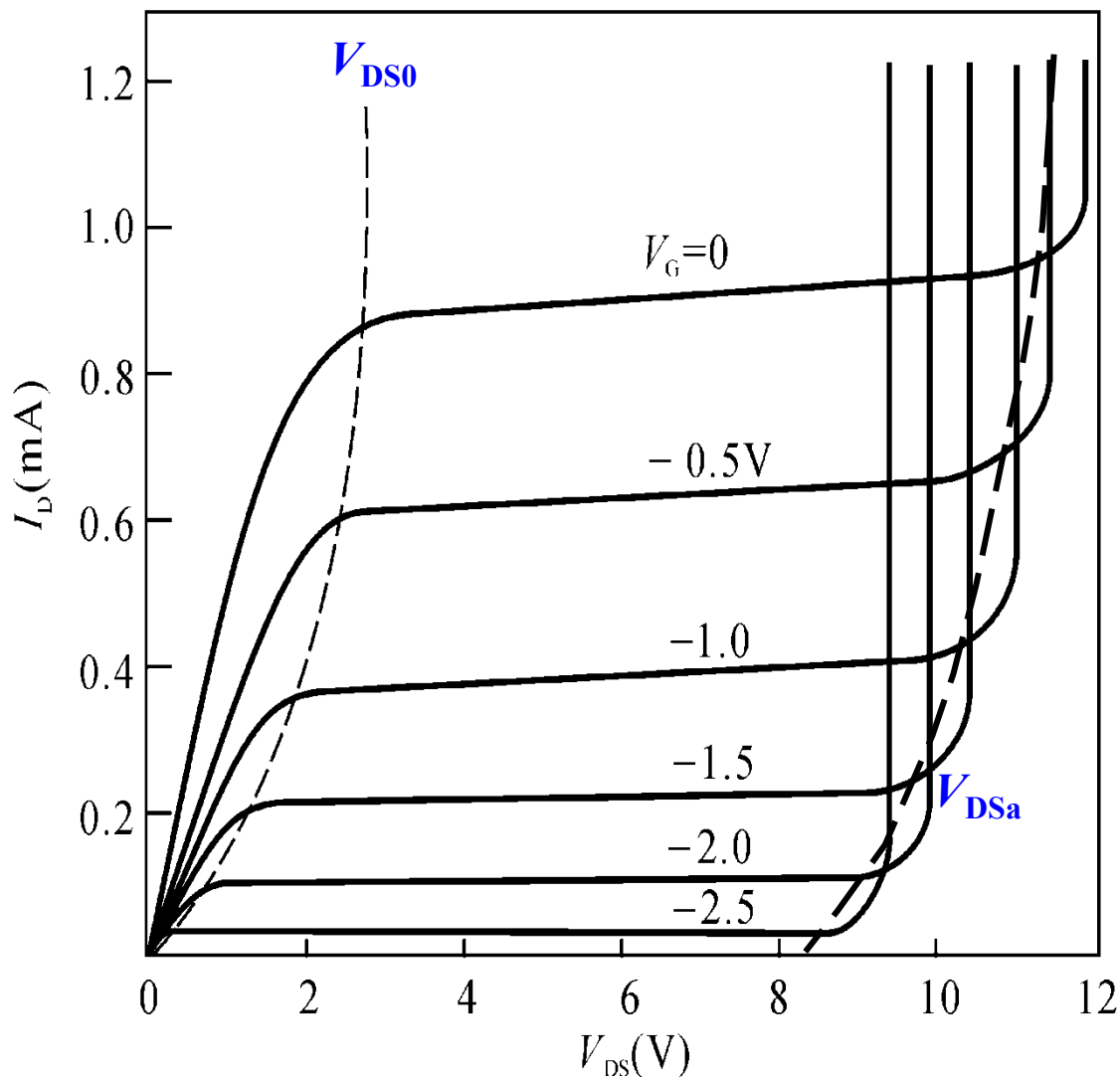
I_D 与 V_{DS} 接近线性变化
(线性区)

- $V_{DS0} < V_{DS} < V_{DSa}$:

I_D 基本不变化
(饱和区)

- $V_{DS} > V_{DSa}$:

I_D 随 V_{DS} 急剧增加
(雪崩区)

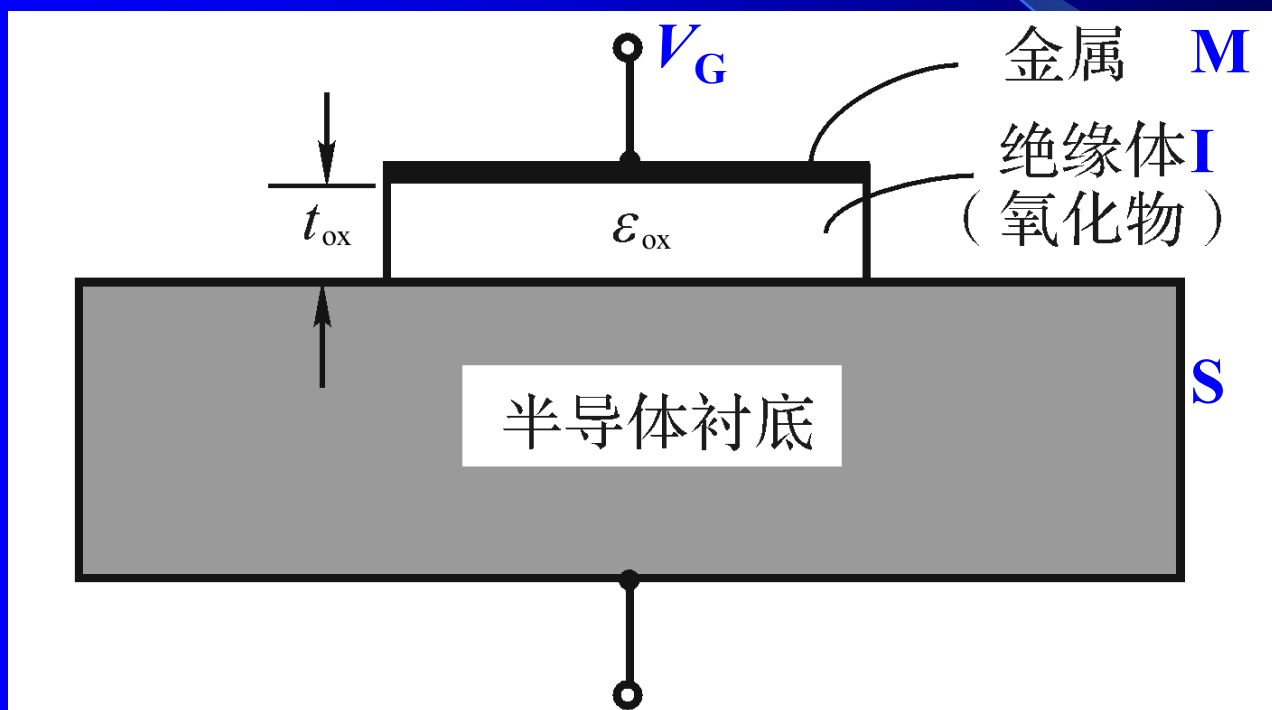


饱和电压受栅压的控制

4.5.2 金属—氧化物—半导体场效应晶体管

MOSFET: metal-oxide-semiconductor FET

绝缘栅场效应晶体管IGFET: **insulated-gate** FET



以氧化物作为绝缘层的IGFET，就是金属—氧化物—半导体场效应管MOSFET

金属—氧化物—p型半导体场效应管

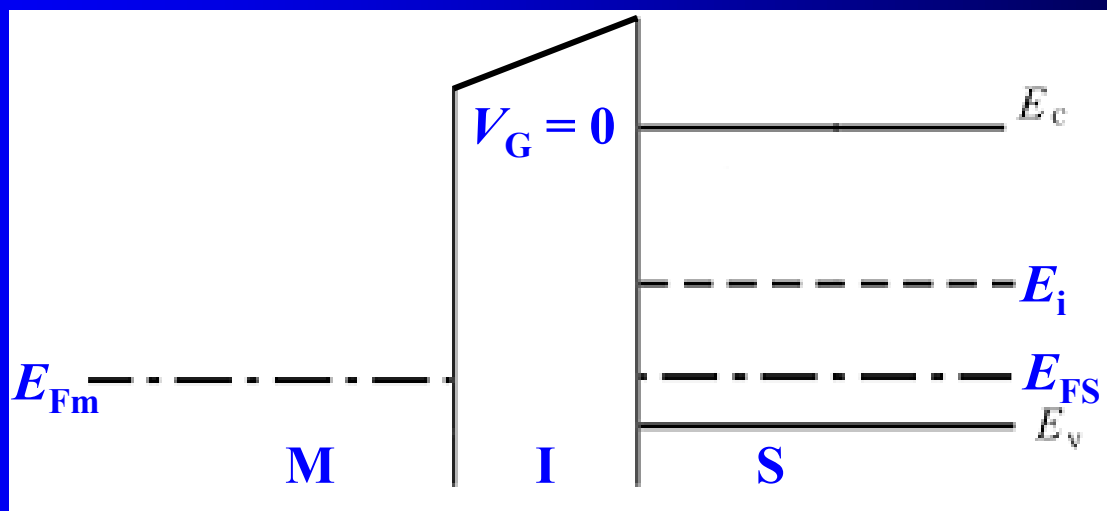
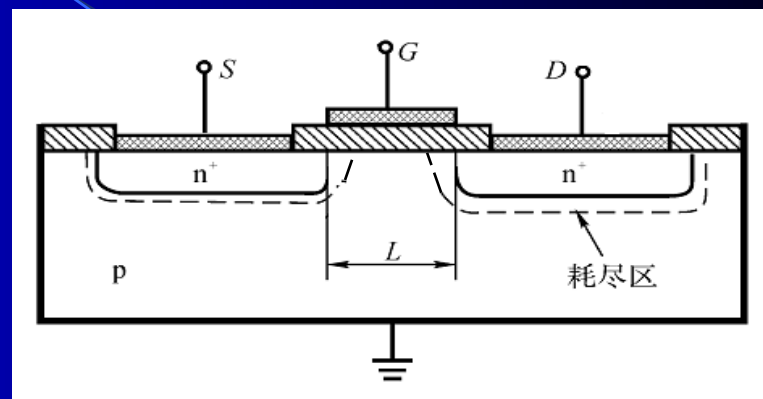
1. 栅极G不加电压

两个背靠背的pn⁺结

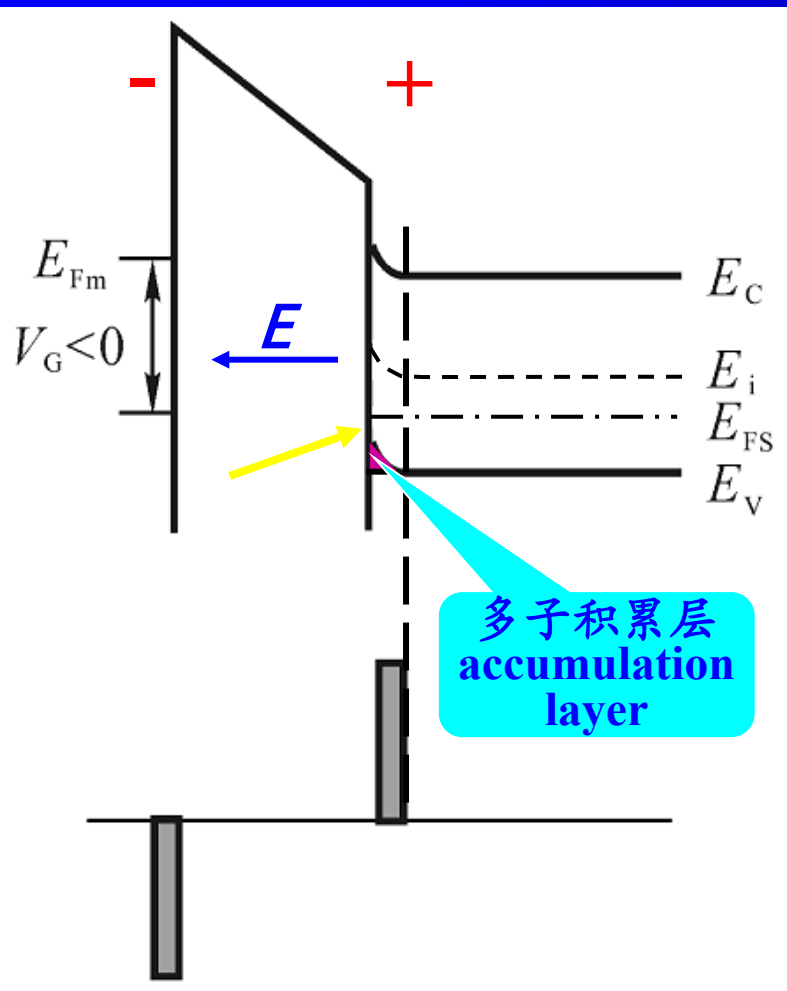
理想情况:

- 金属半导体功函数相同
- 忽略表面态影响
- 氧化层完全绝缘

热平衡时的能带图:



2. 栅极G加反向电压



栅极上加外电压 V_G

绝缘层隔离

- 没有电流流通（相当于电容）
- S侧正电荷分布于一定厚度表面层（空间电荷区）
- M侧负电荷分布在一个原子层范围内

- 金属 E_{Fm} 向上移动 eV_G
- 半导体处于热平衡状态，固定的 E_{FS}
- 空间电荷区导致表面处能带向上弯曲

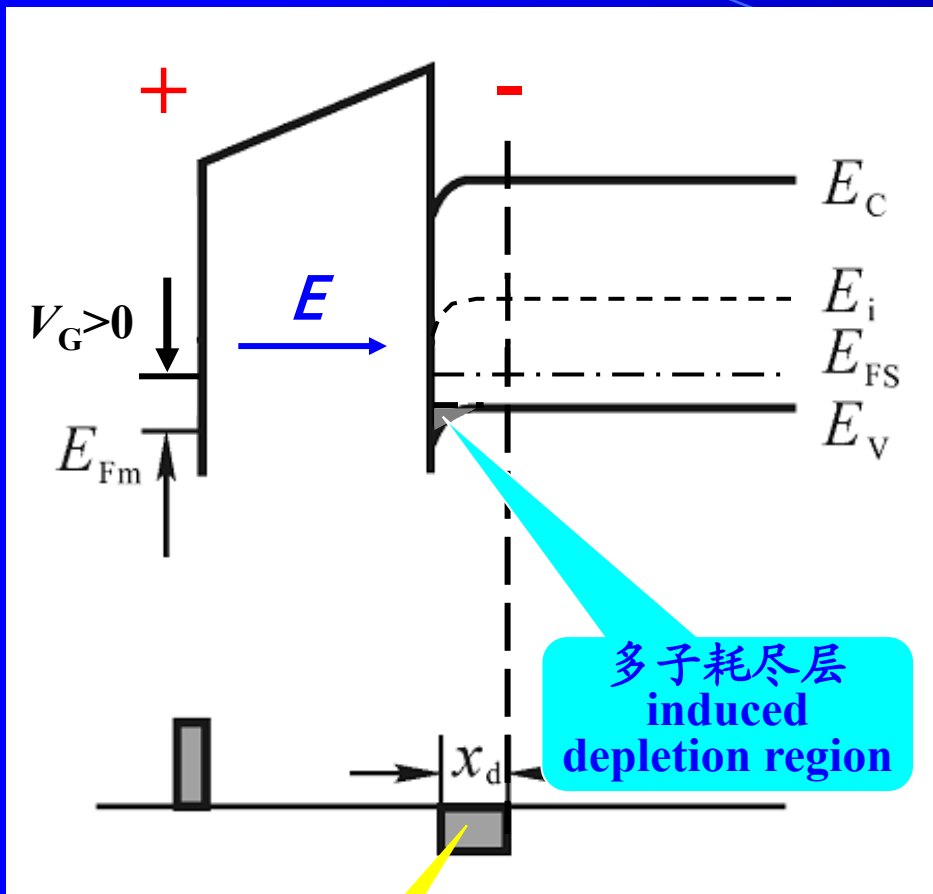
$V_G < 0$

半导体表面 E_V 更接近 E_{FS}

accumulation of majority carriers

- 表面空穴（多子）积累
- 越靠近表面，空穴浓度越高

3. 栅极G加正向电压



p型半导体表面耗尽
形成表面耗尽层

电离受主

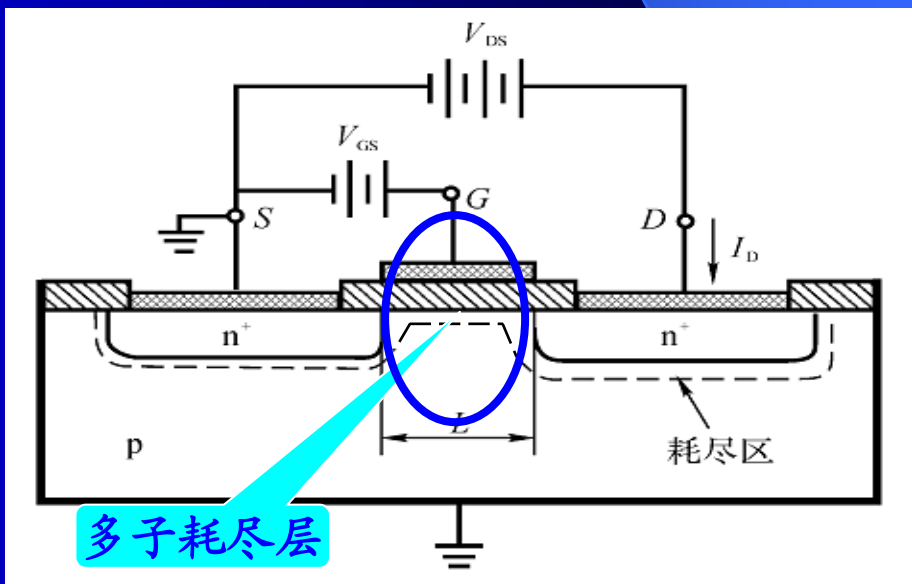
栅极电压 $V_G > 0$

小电压

半导体侧空间电荷区带负电，表面处能带向下弯曲， E_V 远离 E_{FS} 。

半导体表面空穴（多子）耗尽，表面层负电荷浓度等于电离受主杂质浓度

depletion of majority carriers



栅极电压 $V_G \gg 0$

大电压

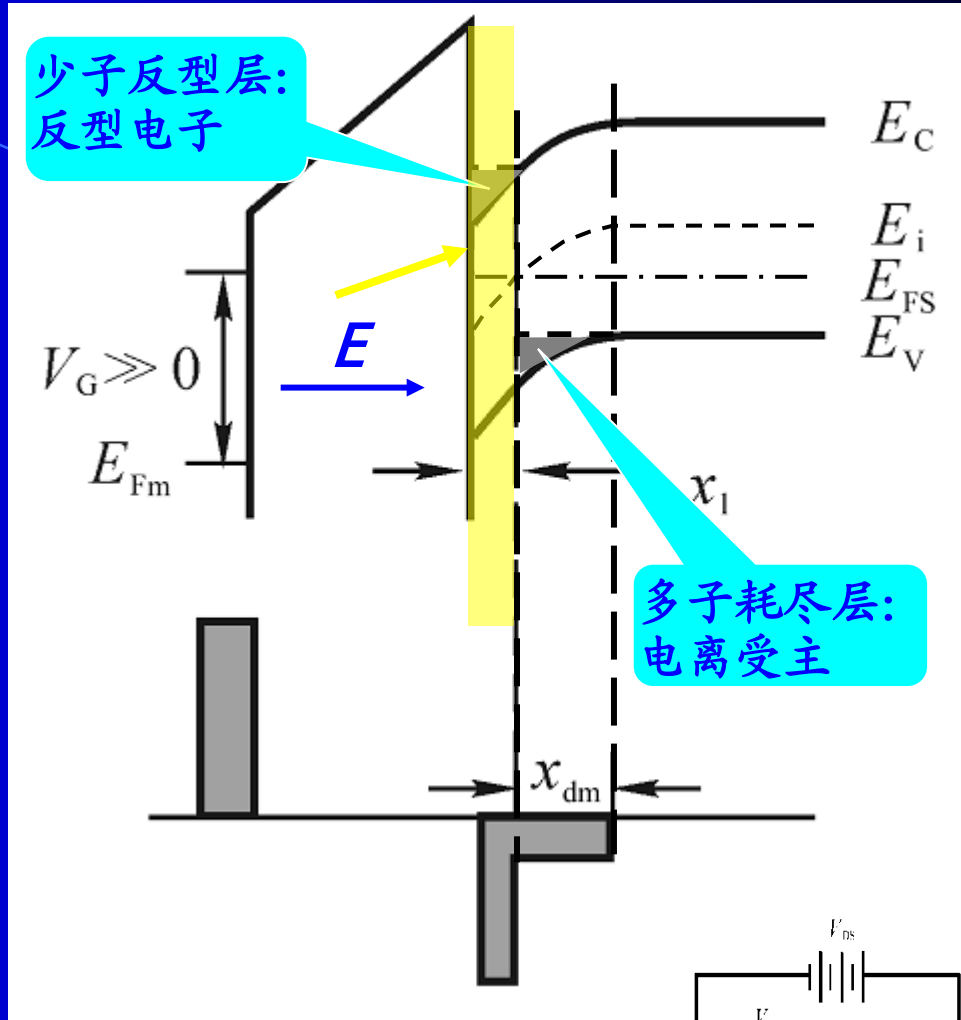
- 半导体表面 E_V 更远离 E_{FS}
- 半导体表面 E_C 更接近 E_{FS}

- 表面空穴（多子）耗尽
- 表面电子（少子）积累

进一步加大电压

形成反型层（n型表面）

inversion of minority carriers



表面反型

连接源区与漏区两个 n^+ 区

