

浙江大学

《计算机组成与设计》课程报告



题目 Project1: 单周期 CPU 控制逻辑

姓名 _____

学号 _____

专业 电子科学与技术

教学班 周四下午第 6、7、8 节

单周期 CPU 控制逻辑设计

1.设计内容

设计基于 RISC-V 指令集的单周期 CPU 控制器电路图, 采用组合逻辑电路的方式, 选择合适的芯片并完成电路图设计, 用 Altium Designer 软件绘制电路图。

本次设计要求实现的指令包括：add、sub、and、or、addi、lw、sw、beq、bne、blt、bltu、jalr、jal、auipc。

2.设计分析

2.1.初步分析

单周期 CPU 的数据通路如图 1 所示。

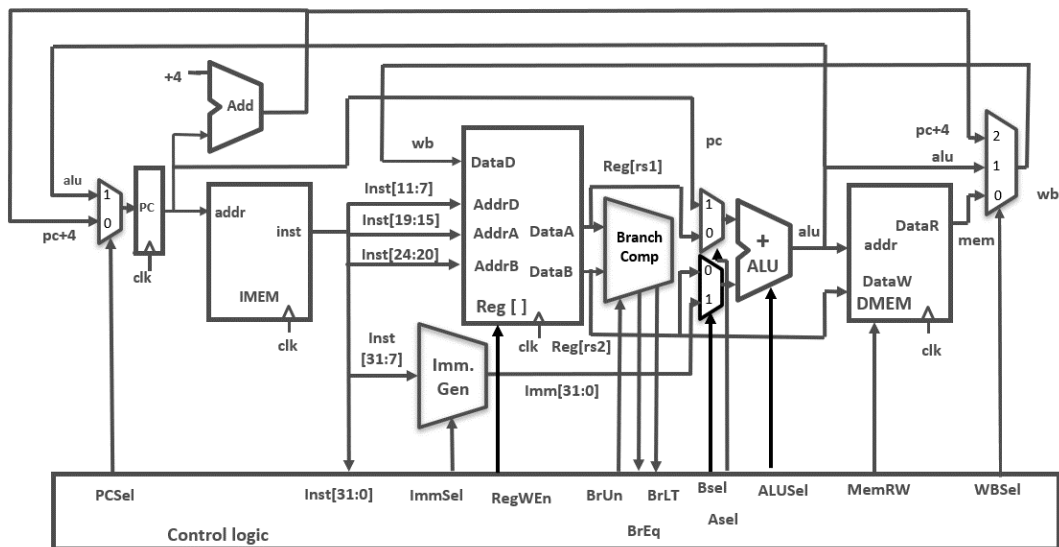


图 1 单周期 CPU 数据通路

分析数据通路和控制逻辑之间的关系，可知控制逻辑部分的输入信号包括：32 位指令机器码 Inst[31:0]、比较判断结果 BrEq 和 BrLT；输出信号包括：PC 选择器选择信号 PCSel、立即数产生选择信号 ImmSel（待定义）、寄存器堆写使能 RegWen、无符号比较标志 BrUn、ALU 数据选择器选择信号 Asel 和 BSel、ALU 功能选择信号 ALUSel（待定义）、内存写使能信号 MenRW、3 位 WB 数据选择器选择信号 WBSel[2:0]。

现确定 ImmSel 和 ALUSel。待实现的指令包括以下几种类型：

- (1) R 型, 包括 add、sub、and、or;
- (2) I 型, 包括 addi、lw、jalr;
- (3) S 型, 包括 sw;

- (4) B 型，包括 beq、bne、blt、bltu；
- (5) U 型，包括 auipc；
- (6) J 型，包括 jal。

以上几种类型中，只有 R 型指令不需要立即数生成，因此定义 3 位立即数生成信号 ImmSel[2:0]，如表 1 所示。立即数生成模块根据输入的指令机器码和不同的 ImmSel 信号产生不同类型的 32 位立即数 Imm[31:0]。

表 1 ImmSel 值和立即数产生结果

类型	ImmSel	Imm[31:20]	Imm[19:12]	Imm[11]	Imm[10:5]	Imm[4:1]	Imm[0]
I	3b000	Inst[31]			Inst[30:20]		
S	3b001	Inst[31]			Inst[30:25]	Inst[11:7]	
B	3b010	Inst[31]		Inst[7]	Inst[30:25]	Inst[11:8]	0
U	3b011	Inst[31:12]		0			
J	3b100	Inst[31]	Inst[19:12]	Inst[20]	Inst[30:21]		0

由于需要实现的运算只有 4 类，因此定义 2 位 ALU 功能选择信号 ALUSel[1:0]，如表 2 所示。

表 2 ALUSel 值和 ALU 功能对应表

ALUSel	指令
2b00	add
2b01	sub
2b10	and
2b11	or

根据上述定义结果，将所有待实现的指令及其对应的控制逻辑输入输出信号列出真值表，如表 3 所示。

表 3 待实现指令和控制信号真值表

Instruction	Inst[6:2] (Opcode)	Inst[14:12] (Funct3)	Inst[31:25/26] (Funct6/7)	BrEq	BrLT	PCSel	ImmSel	BrUn	ASel	BSel	ALUSel	MemRW	RegWEn	WBSel
add	0110011	000	0000000	*	*	0	*	*	0	0	00	0	1	01
sub	0110011	000	0100000	*	*	0	*	*	0	0	01	0	1	01
and	0110011	111	0000000	*	*	0	*	*	0	0	10	0	1	01
or	0110011	110	0000000	*	*	0	*	*	0	0	11	0	1	01
addi	0010011	000	*	*	*	0	000	*	0	1	00	0	1	01
lw	0000011	010	*	*	*	0	000	*	0	1	00	0	1	00
sw	0100011	010	*	*	*	0	001	*	0	1	00	1	0	*
beq	1100011	000	*	0	*	0	010	*	1	1	00	0	0	*
beq	1100011	000	*	1	*	1	010	*	1	1	00	0	0	*
bne	1100011	001	*	0	*	1	010	*	1	1	00	0	0	*
bne	1100011	001	*	1	*	0	010	*	1	1	00	0	0	*
blt	1100011	100	*	*	1	1	010	0	1	1	00	0	0	*
bltu	1100011	110	*	*	1	1	010	1	1	1	00	0	0	*
jalr	1100111	000	*	*	*	1	000	*	0	1	00	0	1	10
jal	1101111	*	*	*	*	1	100	*	1	1	00	0	1	10
auipc	0010111	*	*	*	*	0	011	*	1	1	00	0	1	01

观察表 3，发现 Opcode 字段（Inst[6:2]）只有高 5 位真正影响控制信号，Funct6/7 字段（Inst[31:25/26]）只有第二高位 Inst[30]真正影响控制信号，因此控制逻辑的输入可变为：Inst[6:2]、Inst[14:12]、Inst[30]、BrEq、BrLT。

2.2.器件选择

为了统一供电、便于提供驱动，选择 SN74LS 系列的芯片搭建控制逻辑。该系列的逻辑门芯片均可在 5V 供电下工作，正常工作情况下输入电流均在0.1mA级及以下。

(1) 与门

选择 SN74LS08 作为 2 输入与门，其管脚图和真值表如图 2、表 4 所示。

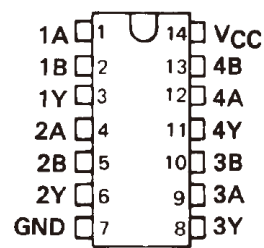


表 4 真值表（全部四个门）

Inputs		Outputs
A	B	Y
1	1	1
0	x	0
x	0	0

图 2 SN74LS08

选择 SN74LS11 作为 3 输入与门，其管脚图和真值表如图 3、表 5 所示。

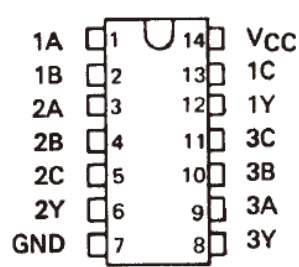


表 5 真值表（所有三个门）

Inputs			Outputs
A	B	C	Y
1	1	1	1
0	x	x	0
x	0	x	0
x	x	0	0

图 3 SN74LS11

选择 SN74LS21 作为 4 输入与门，其管脚图和真值表如图 4、表 6 所示。

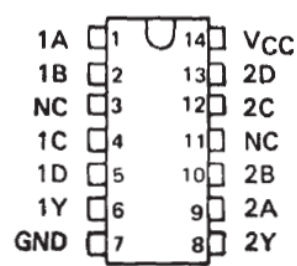


表 6 真值表（所有两个门）

Inputs				Outputs
A	B	C	D	Y
1	1	1	1	1
0	x	x	x	0
x	0	x	x	0
x	x	0	x	0
x	x	x	0	0

图 4 SN74LS21

需要特别说明的是，查阅数据手册可知 SN74LS21 的两个门均为与门，但是 AD 提供的库中

将第二个门绘制为与非门（但仍标注为与门）。为了方便根据原理图观察逻辑门芯片各部分的使用情况，统计逻辑门数量，绘制原理图时不使用自定义库和元器件，使用原库提供的逻辑器件并给出注释说明。

(2) 或门

使用 SN74LS32 作为 2 输入或门，其管脚图和真值表如图 5、表 7 所示。

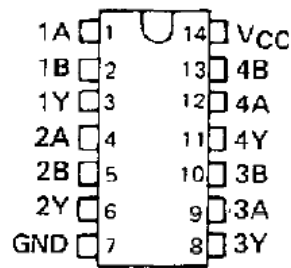


图 5 SN74LS32

表 7 真值表（所有四个门）

Inputs		Outputs
A	B	Y
1	x	1
x	1	1
0	0	0

(3) 与非门

使用 SN74LS00 作为 2 输入与非门，其管脚图和真值表如图 6、表 8 所示。

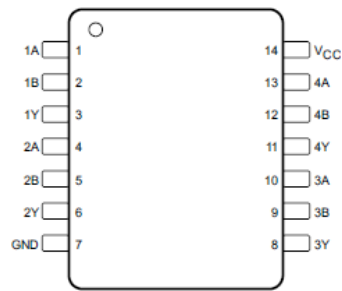


图 6 SN74LS00

表 8 真值表（所有四个门）

Inputs		Outputs
A	B	Y
1	1	0
0	x	1
x	0	1

(4) 或非门

使用 SN74LS02 作为 2 输入或非门，其管脚图和真值表如图 7、表 9 所示。

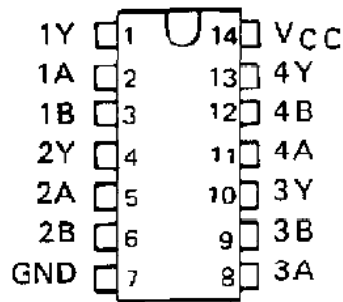


图 7 SN74LS02

表 9 真值表（所有四个门）

Inputs		Outputs
A	B	Y
1	x	0
x	1	0
0	0	1

(5) 驱动芯片选择

选用 SN74ALS1034 作为同相驱动芯片，管脚图如图 8。对于所有的六个驱动器，其逻辑为 $Y = A$ 。

选用 SN74ALS1004 作为反相驱动芯片，管脚图如图 8。对于所有的六个驱动器，其逻辑为 $Y = \bar{A}$ 。

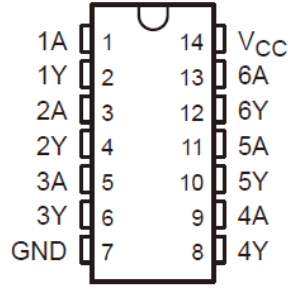


图 8 SN74ALS1034 和
SN74ALS1004

查阅数据手册，可知两个驱动芯片的最大高电平输出电流 $I_{OH} = -15mA$ ，最大低电平输出电流 $I_{OL} = 24mA$ 。而上文所需要的所有其他 SN74LS 系列芯片的最大高电平输入电流 $I_{IH} = 20\mu A = 0.02mA$ ，最大低电平输入电流 $I_{IL} = -0.4mA$ 。因此将所有输入信号分别经过同相、反相驱动器之后再作为控制逻辑的输入，每一个信号可驱动上百个逻辑门，完全足够控制逻辑使用。

3.信号分析计算

根据表 3 提供的真值表，分析计算得出所有的输出信逻辑号表达式。在本学期所学范围内，结合教材 RISC-V 指令机器码列表，可以对部分表达式进行进一步简化。由于 Opcode 字段的高 5 位虽然有 32 种可能，但结合机器码列表可知仅存在少数几种 Opcode 字段，据此可进一步化简各项表达式。

(1) PcSel

$$PcSel = Inst[6:5]\overline{Inst[4:2]}(\overline{Inst[14:12]}BrEq + \overline{Inst[14:13]}Inst[12]\overline{BrEq} + Inst[14]\overline{Inst[12]}BrLT) + Inst[6:5]\overline{Inst[4:3]}Inst[2]\overline{Inst[14:12]} + Inst[6:5]\overline{Inst[4]}Inst[3:2] \quad (3-1)$$

化简得到：

$$PcSel = Inst[6:5]\overline{Inst[4:2]}(\overline{Inst[14:12]}BrEq + \overline{Inst[14:13]}Inst[12]\overline{BrEq} + Inst[14]\overline{Inst[12]}BrLT) + Inst[6:5]\overline{Inst[3]}Inst[4] \quad (3-2)$$

(2) BrUn

$$BrUn = Inst[6:5]\overline{Inst[4:2]}Inst[14:13]\overline{Inst[12]} \quad (3-3)$$

化简得到：

$$BrUn = Inst[14:13]\overline{Inst[12]} \quad (3-4)$$

(3) ImmSel

$$ImmSel[0] = \overline{Inst[6]}Inst[5]\overline{Inst[4:2]} + \overline{Inst[6:5]}Inst[4]\overline{Inst[3]}Inst[2] \quad (3-5)$$

化简得到：

$$ImmSel[0] = \overline{Inst[6]}Inst[5]\overline{Inst[4]} + \overline{Inst[6]}Inst[2] \quad (3-6)$$

$$ImmSel[1] = \overline{Inst[6:5]}Inst[4]\overline{Inst[3]}Inst[2] + Inst[6:5]\overline{Inst[4:2]} \quad (3-7)$$

化简得到：

$$ImmSel[1] = \overline{Inst[6]}Inst[2] + Inst[6]\overline{Inst[2]} \quad (3-8)$$

$$ImmSel[2] = Inst[6:5]\overline{Inst[4]}Inst[3] \quad (3-9)$$

(4) ASel

$$ASel = \overline{Inst[6]}Inst[2] + Inst[6]\overline{Inst[2]} + Inst[6:5]\overline{Inst[4]}Inst[3] + Inst[6:5]Inst[4]Inst[3:2] \quad (3-10)$$

(5) BSel

$$BSel = \overline{Inst[6]Inst[5:4]\overline{Inst[3:2]}} \quad (3-11)$$

(6) ALUSel

$$ALUSel[0] = \overline{Inst[6]}Inst[5:4]\overline{Inst[3:2]}(\overline{Inst[14:12]}Inst[30] + Inst[14:13]\overline{Inst[12]}Inst[30]) \quad (3-12)$$

化简得：

$$ALUSel[0] = \overline{Inst[6]}Inst[5:4]\overline{Inst[3:2]}(Inst[30] + Inst[14:13]\overline{Inst[12]}) \quad (3-13)$$

$$ALUSel[1] = \overline{Inst[6]}Inst[5:4]\overline{Inst[3:2]}Inst[14:13] \quad (3-14)$$

(7) MemRW

$$MemRW = \overline{Inst[6]}Inst[5]Inst[4] \quad (3-15)$$

(8) RegWEn

$$RegWEn = \overline{Inst[6]Inst[5]Inst[4]} + Inst[6:5]\overline{Inst[4:2]} \quad (3-16)$$

(9) WBSel

$$WBSel[0] = \overline{Inst[6]}Inst[5:4]\overline{Inst[3:2]} + \overline{Inst[6:5]}Inst[4]\overline{Inst[3]} \quad (3-17)$$

$$WBSel[1] = Inst[6]Inst[2] \quad (3-18)$$

4.原理图绘制

根据上文的逻辑表达式和选取的芯片，按模块绘制控制逻辑原理图。

(1) 顶层交互接口与供电

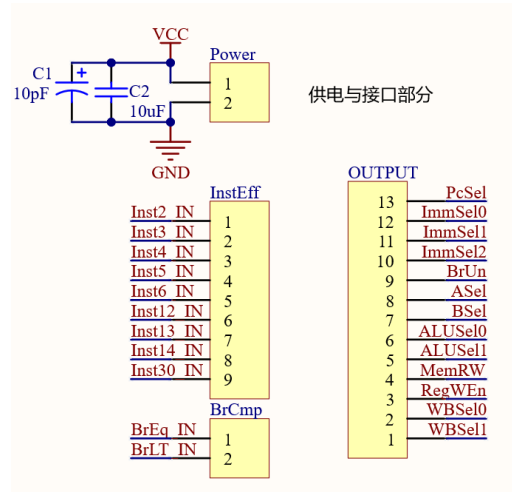


图 9 顶层交互接口与供电

(2) 信号驱动提供



图 10 信号驱动提供

(3) PCSel 产生

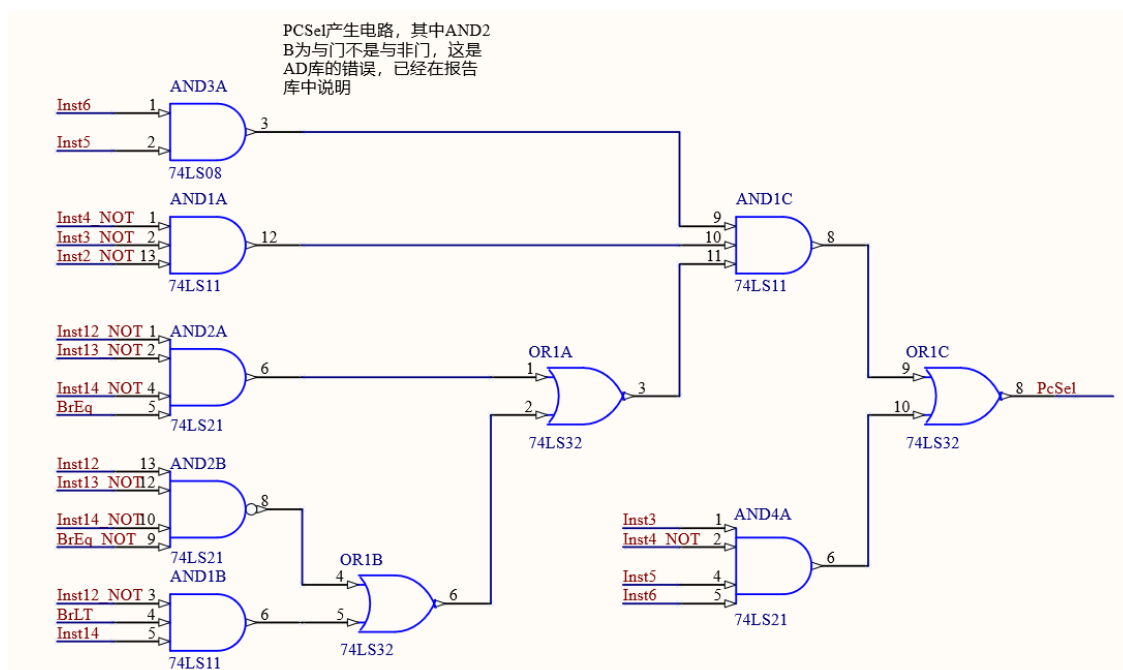


图 11 PCSel 产生

(4) BrUn 产生

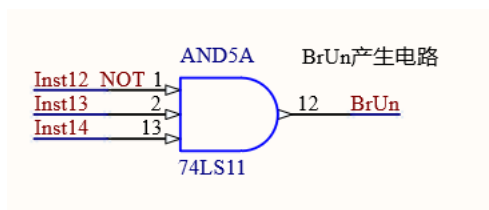


图 13 BrUn 产生

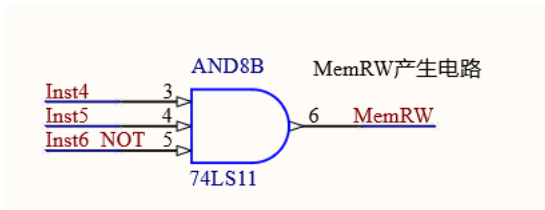


图 12 MemRW 产生

(5) MemRW 产生

(6) ImmSel 产生

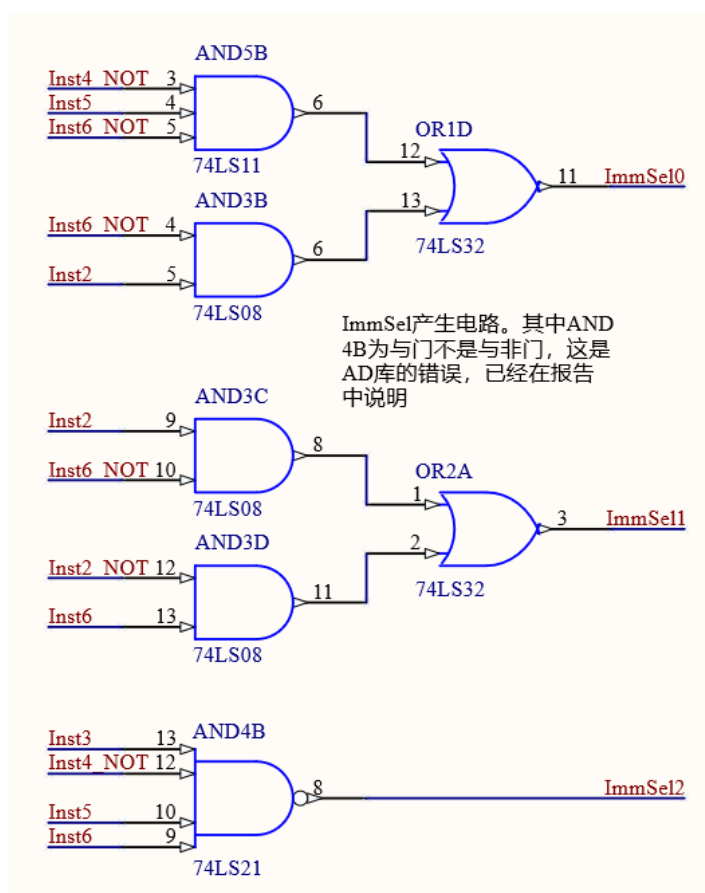


图 14 ImmSel 产生

(7) BSel 产生

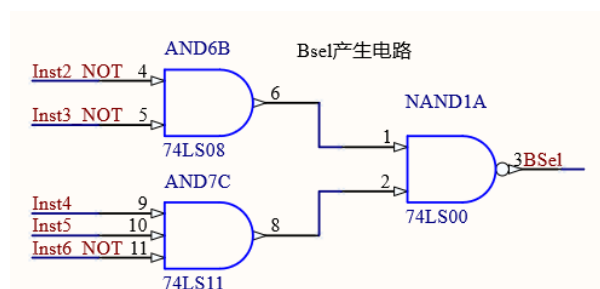


图 15 BSel 产生

(8) ASel 产生

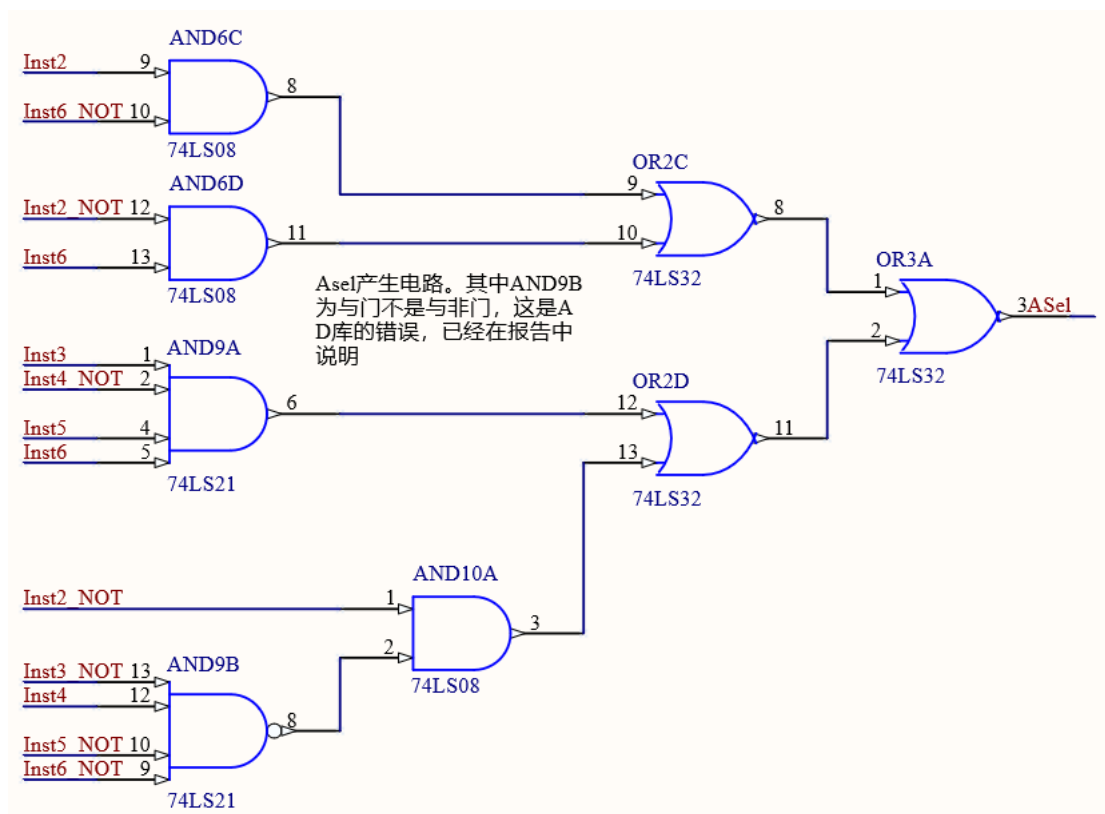


图 16 ASel 产生

(9) ALUSel 产生

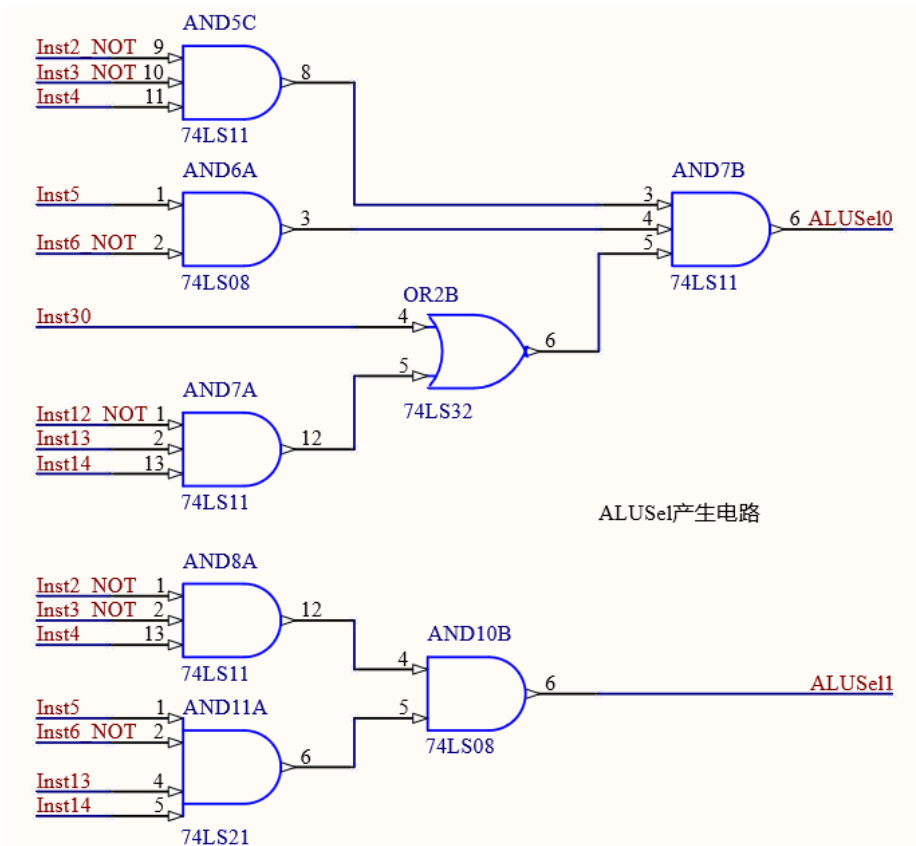


图 17 ALUSel 产生

(10) RegWEn 产生

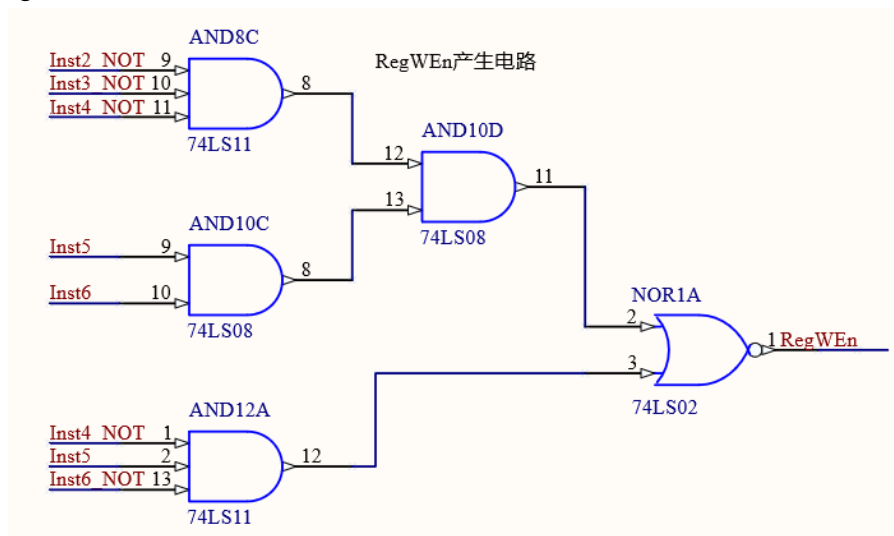


图 18 RegWEn 产生

(11) WBSel 产生

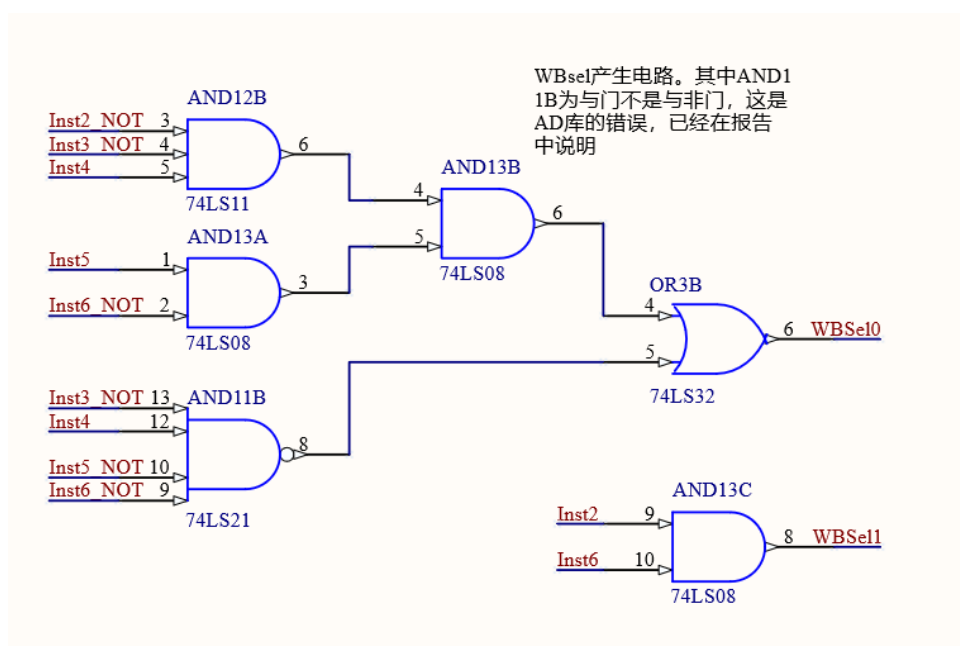


图 19 WBSel 产生

5.总结

本次设计实现了基于 RISC-V 指令集的单周期 CPU 控制逻辑设计，利用组合逻辑电路实现各个控制信号的输出。本次设计过程中的难点是控制逻辑表达式的化简，因为尽可能简单的表达式可以减少逻辑门的使用，既可以减少输出信号的延迟，也可以降低驱动电流，节省功耗。

参考资料

- [1] SN74LS08 数据手册
- [2] SN74LS11 数据手册
- [3] SN74LS21 数据手册
- [4] SN74LS32 数据手册
- [5] SN74LS00 数据手册
- [6] SN74LS02 数据手册
- [7] SN74ALS1034 数据手册
- [8] SN74ALS1004 数据手册