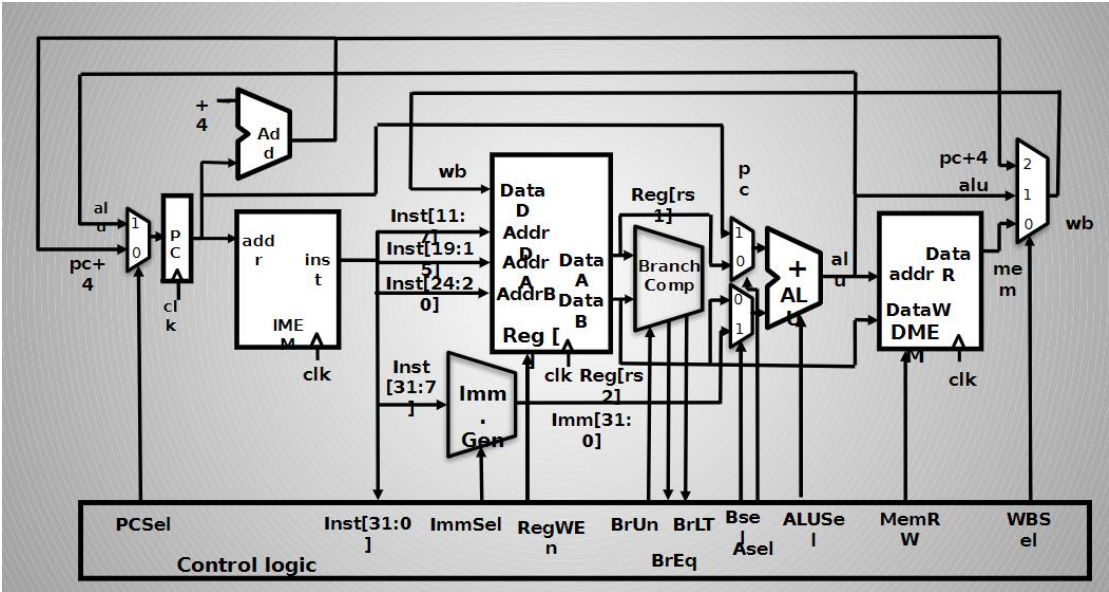


Project1

设计单周期 CPU 控制器电路图，采用组合逻辑电路的方式，自己选择芯片并完成电路图设计，用 Altium Designer (AD) 软件绘制电路图。

单周期 CPU 控制器为以下 Control logic 部分， 需要根据输入信号输出相应信号。



控制器真值表如下（参考 ppt L06-Control(1) 21 页，绿色为输入信号，橙色为输出信号，设计电路需要适配以下指令，R-R Op 指令需要实现 and, or 指令）。

Inst[31:0]	BrEq	BrLT	PCSel	ImmSel	BrUn	ASel	BSe	ALUSE	MemRW	RegWE	WBSel
add	*	*	+4	*	*	Reg	Reg	Add	Read	1	ALU
sub	*	*	+4	*	*	Reg	Reg	Sub	Read	1	ALU
(R-R Op)	*	*	+4	*	*	Reg	Reg	(Op)	Read	1	ALU
addi	*	*	+4	I	*	Reg	Imm	Add	Read	1	ALU
lw	*	*	+4	I	*	Reg	Imm	Add	Read	1	Mem
sw	*	*	+4	S	*	Reg	Imm	Add	Write	0	*
beq	0	*	+4	B	*	PC	Imm	Add	Read	0	*
beq	1	*	ALU	B	*	PC	Imm	Add	Read	0	*
bne	0	*	ALU	B	*	PC	Imm	Add	Read	0	*
bne	1	*	+4	B	*	PC	Imm	Add	Read	0	*
blt	*	1	ALU	B	0	PC	Imm	Add	Read	0	*
bltu	*	1	ALU	B	1	PC	Imm	Add	Read	0	*
jalr	*	*	ALU	I	*	Reg	Imm	Add	Read	1	PC+4
jal	*	*	ALU	J	*	PC	Imm	Add	Read	1	PC+4
auipc	*	*	+4	U	*	PC	Imm	Add	Read	1	ALU

上面真值表中的（R-Rop）指令为 R-type 指令，只需实现其中的 add, sub, and, or 指令，其中 add 和 sub 指令真值表已给出，and 和 or 指令真值表如下：

表 1 and 和 or 真值表

Inst[31:0]	BrEq	BrLT	PCSel	ImmSel	BrUn	ASel	BSel	ALUSel	MemRW	RegWEn	WBSel
and	*	*	+4	*	*	Reg	Reg	And	Read	1	ALU
or	*	*	+4	*	*	Reg	Reg	Or	Read	1	ALU

信号请用二进制表示，如用 0 表示 MemRW 的 Read，用 1 表示 Write，ImmSel，ALUSel 用多位二进制表示，具体信号位数如下表所示。

表 2 信号位数及作用

Input Signal		
Signal	Bit Width	Purpose
Inst[31:0]	32	Instruction.
BrEq	1	Set to 1 if the two values are equal.
BrLT	1	Set to 1 if the value in rs1 is less than the value in rs2.
Output Signal		
Signal	Bit Width	Purpose
PCSel	1	Selects the ALU input for all B-type instructions where the branch is taken (according to the branch comparator output) and all jumps. Selects the PC+4 input for all other instructions.
ImmSel	3	Selects the instruction format so the immediate generator can extract the immediate correctly. The default encoding is [0b000 = I], [0b001 = S], [0b010 = B], [0b011 = U], [0b100 = J], though you're welcome to pick your own.
BrUn	1	1 if the branch instruction is unsigned, and 0 if the branch instruction is signed. Don't care for all other instructions.
ASel	1	Selects whether to send the data in RegReadData1 or the PC to the ALU.
BSel	1	Selects whether to send the data in RegReadData2 or the immediate to the ALU.
ALUSel	4	Selects the correct operation for the ALU.
MemRW	1	1 if the instruction writes to memory, and 0 otherwise.
RegWEn	1	1 if the instruction writes to a register, and 0 otherwise.
WBSel	2	Selects whether to write the memory read from DMEM, the ALU output, or PC+4 to rd.

其中 ImmSel (默认)信号如下，也可以自行设计但需要说明。Imm Gen 根据 ImmSel 信号从指令中产生相应立即数 Immediate。

表 3 ImmSel 信号默认值

Type	ImmSel (default)	Bits 31-20	Bits 19-12	Bit 11	Bits 10-5	Bits 4-1	Bit 0
I	0b000	inst[31]			inst[30:20]		
S	0b001	inst[31]			inst[30:25]	inst[11:7]	
B	0b010	inst[31]		inst[7]	inst[30:25]	inst[11:8]	0
U	0b011	inst[31:12]		0			
J	0b100	inst[31]	inst[19:12]	inst[20]	inst[30:21]		0

ALUSel (默认)信号如下，4 位表示，也可自行设计但需要说明，如本次 Project 中只涉及 Add, Sub, Add, Or，则可以将 ALUSel 设计为只有 2 位的二进制信号(见表 5)。

表 4 ALUSel 信号默认值

ALUSel Value	Instruction
0	add: Result = A + B
1	sll: Result = A << B
2	slt: Result = (A < B (signed)) ? 1 : 0
3	Unused
4	xor: Result = A ^ B
5	srl: Result = (unsigned) A >> B
6	or: Result = A B
7	and: Result = A & B
8	mul: Result = (signed) (A * B)[31:0]
9	mulh: Result = (signed) (A * B)[63:32]
10	Unused
11	mulhu: Result = (A * B)[63:32]
12	sub: Result = A - B
13	sra: Result = (signed) A >> B
14	Unused
15	bsel: Result = B

表 5 ALUSel 信号(自行设计参考)

ALUSel Value	Instruction
0b00	add
0b01	sub
0b10	and
0b11	or

单周期 CPU 控制器可以采用 ROM 和组合逻辑电路这两种方式设计实现。PPT L06-Control(1) 中第 22 页到 26 页已经介绍用 ROM 设计控制器的方法，现在我们需要用组合逻辑电路来设计控制器。

根据输入的指令 `Inst[31:0]` 来输出相应信号，当指令为 `beq` 和 `bne` 时还需考虑输入信号 `BrEq`，当指令为 `blt` 和 `bltu` 时还需考虑输入信号 `BrLT`。

注意事项：

1. 用**组合逻辑电路**设计**单周期 CPU 控制器**，不需要时钟信号，不能用 ROM 实现。
2. 设计的电路图需要**满足真值表中指令要求，根据指令产生相应信号**。
3. 自己选择芯片并完成电路图设计，芯片可自由选择，没有限制。
4. 用 **Altium Designer** 软件绘制电路图。
5. 独立完成 Project1。
6. **Project1 截止时间为 2023 年 12 月 7 日。**

提交

提交文件包括：

1. Altium Designer 软件绘制的电路原理图文件。
2. 设计报告。报告内容需要包括设计方案，选择的芯片（输入，输出及作用），分析（可以包括设计分析，信号分析等），电路图，总结等。

将所有文件打包后以**学号加姓名命名**，上传到学在浙大，并在 2023.12.7 课堂上上交一份**纸质报告**。学在浙大的截止时间是 2023.12.7 日 23:59。有任何问题可以在钉钉上联系助教。

参考

<https://inst.eecs.berkeley.edu/~cs61c/fa22/projects/proj3/control-logic/>