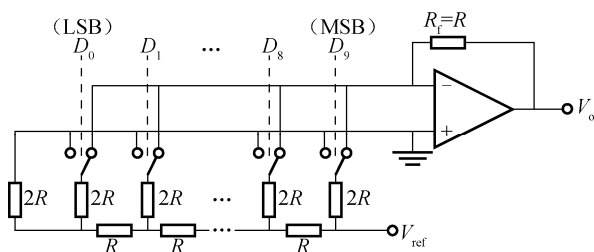


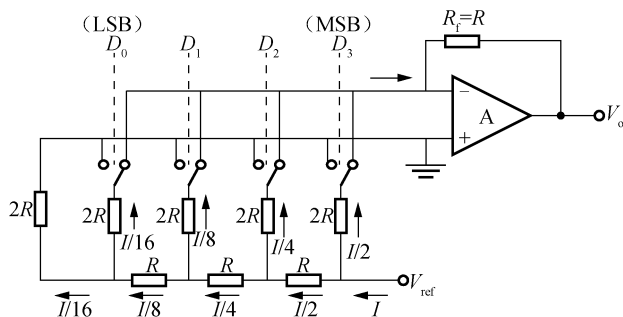
习 题

3.1 已知题图 3.1 所示的 10 位倒 T 形电阻网 DAC，求输出电压的取值范围。



题图 3.1

3.2 在题图 3.2 所示倒 T 形电阻网 DAC 中，设 $R_f=R$ ，外接参考电压 $V_{\text{ref}}=-10\text{V}$ ，为保证 V_{ref} 偏离标准值所引起的误差小于 $\text{LSB}/2$ ，试计算 V_{ref} 的相对稳定度应取多少？



题图 3.2

3.3 ADC 量化位数可根据其分辨率确定。设某 ADC 的满幅值 $\text{FS}=10\text{V}$ ，系统要求分辨率 $M=2\text{mV}$ 。试确定其位数。

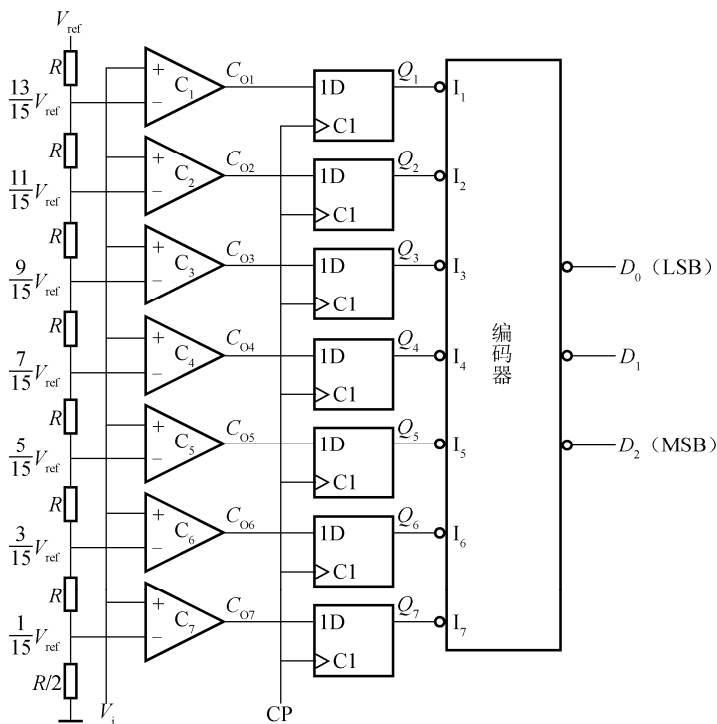
3.4 ADC 能转换输入信号的最大频率取决于转换时间 t_c （其倒数即转换速率）。一个 8 位 ADC 的转换速率为 1Ms/s ，求其能转换输入信号的最大频率。

3.5 4 位逐次比较型 ADC 中，设 $V_{\text{ref}}=10\text{V}$ ， $V_i=8.26\text{V}$ ，试画出在时钟脉冲下 V_o 的波形，并写出转换结果。

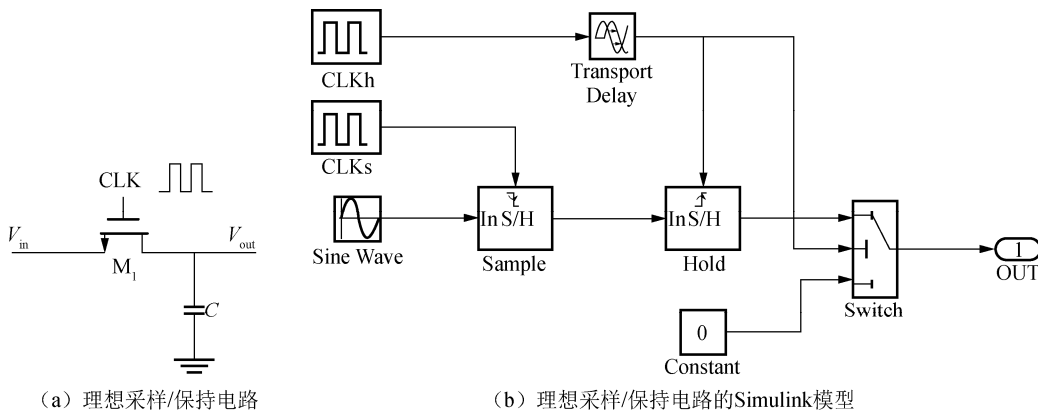
3.6 在题图 3.6 所示 3 位并行 ADC 中， $V_{\text{ref}}=7\text{V}$ ，试问电路的最小量化单位是多少？当 $V_i=2.4\text{V}$ 时，输出数字量 $D_2D_1D_0$ 为多少？误差多大？

3.7 题图 3.7 (a) 所示为理想采样/保持电路，假定 M_1 相当于一个理想开关，导通时其导通电阻 $R_{\text{on}}=0$ ；截止时， $R_{\text{off}}\rightarrow\infty$ ，等效于开路。题图 3.7 (b) 所示是理想采样/保持电路的 Simulink 模型。电路由两个非交叠时钟控制，分别实现采样和保持功能，其中 Switch

是选择开关, 由 $CLKh$ 控制, 当 $CLKh$ 下降沿时, 采样/保持电路工作在保持相; 当 $CLKh$ 上升沿时, 采样/保持电路工作在采样相, 此时输出为 0。试对题图 3.7 (b) 所示模型的可行性作进一步说明, 并仿真验证之。



题图 3.6



(a) 理想采样/保持电路

(b) 理想采样/保持电路的Simulink模型

题图 3.7 理想采样/保持电路及其 Simulink 模型

3.8 实际应用的电荷重分配式采样/保持电路, 或电容翻转式采样/保持电路都增加了运放以提高采样/保持电路驱动负载的能力。实际采样/保持电路并非理想。采样/保持模块开关热噪声和运放噪声是非理想特性的表现形式之一。经分析, 设开关热噪声和运放噪声不相关, 则采样/保持电路的总等效输入噪声可近似为

$$\sigma = \sqrt{\frac{2KT}{C_s\beta}} + \sqrt{\frac{8}{3}\beta\frac{KT}{C_L}} \quad (\text{题 3.8.1})$$

式中, C_s 为采样电容; C_L 为运放负载电容; β 为反馈系数; K 为玻尔兹曼常数; T 为绝对温度。假设 $n(t)$ 为噪声的高斯分布函数, 则采样/保持噪声随机叠加到输入信号的大小如下式所示:

$$V_{\text{out}}(t) = V_{\text{in}}(t) + n(t)\sigma \quad (\text{题 3.8.2})$$

试根据以上两式构建采样/保持模块噪声的 Simulink 模型, 并仿真验证。

3.9 时钟抖动误差与噪声误差性质相同, 也会影响系统的信噪比 (SNR)。假设输入信号为连续变化量 $V_{\text{in}}(t)$, 其瞬时斜率为 $dV_{\text{in}}(t)/dt$, 所产生的采样误差叠加到输入信号为式 (3.5.16) 所示, 并重写如下:

$$V_{\text{in}}(t) = V_{\text{in,ideal}}(t) + \frac{dV_{\text{in}}(t)}{dt} \Delta t$$

试根据上式构建时钟抖动的 Simulink 模型, 并仿真验证。

3.10 运放和采样/保持增益与理想情况下的偏差由式 (3.5.17) ~ 式 (3.5.19) 表示, 并重写如下:

$$V_o = V_i \times \frac{A_v}{1 + \beta A_v} \approx V_i \times \frac{1}{\beta} \left(1 - \frac{1}{\beta A_v} \right)$$

$$\beta|_{\text{电荷重分配型}} = \frac{C_s}{C_s + C_h + C_p}$$

$$\beta|_{\text{电容翻转型}} = \frac{C}{C + C_p}$$

试将以上三式表示的运放和采样/保持增益与理想情况下的偏差, 嵌入题图 3.7 (b) 所示的理想采样/保持电路的 Simulink 模型中, 并仿真验证。

3.11 运放有限的单位增益带宽 GWB 致运放输出信号不完全建立, 是运放非理想特性的又一表现。假设采样/保持电路中的运放在闭环情况下可近似看作单极点系统, 运放单位增益带宽为 GBW , 反馈系数为 β , 输入信号可以看作阶跃信号。则系统的闭环传输函数 $H(s)$ 为

$$H(s) = \frac{V_o(s)}{V_i(s)} = A_c \frac{1}{1 + \frac{s}{\beta \cdot \text{GBW}}}$$

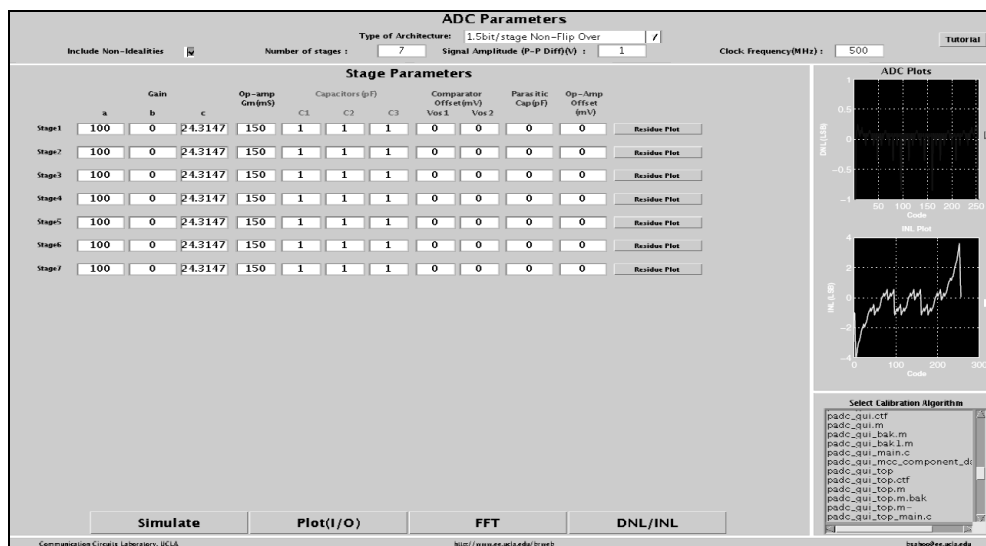
试将上式表示的运放有限单位增益带宽的影响嵌入题图 3.7 (b) 所示的理想采样/保持电路的 Simulink 模型中, 并仿真验证。

3.12 将习题 3.9 ~ 习题 3.11 关于采样/保持模块噪声的 Simulink 模型、时钟抖动误差的 Simulink 模型、带有增益误差的采样/保持 Simulink 模型, 加入信号不完全建立误差的采样/保持模型, 一一嵌入题图 3.7 (b) 所示的理想采样/保持电路的 Simulink 模型中, 并仿真验证。

3.13 解释图 3.4.10 所示的 3bit 全平行 ADC Simulink 模型及其文档说明, 通过仿真说明比较器失调误差对转换结果的影响。

3.14 参考图 3.5.23 所示的 1.5bit/级 MDAC 模型及其文档说明, 构建 2.5bit/级 MDAC 模型, 并仿真验证其特性。

3.15 基于流水线 ADC 仿真软件 U-PAS (题图 3.15), 观测非理想因素对 ADC 转换结果的影响。(软件 U-PAS 下载网站及使用说明见本书电子版参考资料二。)



题图 3.15

- (1) 增益的影响;
- (2) 运放跨导的影响;
- (3) 时钟抖动的的影响;
- (4) 电容的影响;
- (5) 比较器失调的影响;
- (6) 寄生电容的影响;
- (7) 运放失调的影响。

3.16 从系统层面设计 Σ - Δ 结构 ADC (模拟部分), 要求达到 16bit 精度。利用 MATLAB 工具箱 SD toolbox 对其进行建模与仿真。