# 实验室2：设计一个n ALU

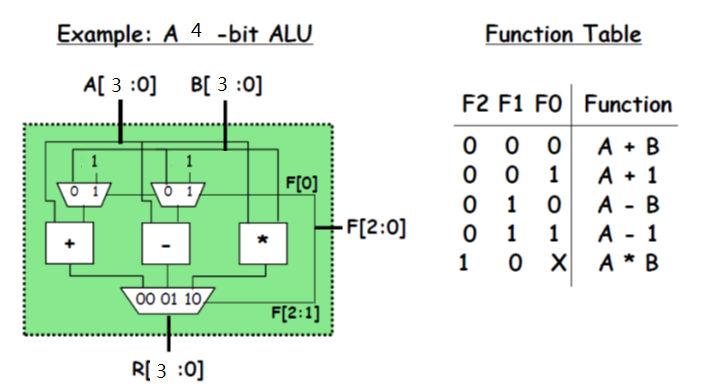
（2~2小时）

## 目标

了解如何使用行为模型 Verilog HDL 描述来设计和实现n ALU。

## 程序

设计具有 以下功能的 ALU。请参阅讲座 3 的幻灯片。



1. 设计 4 位 2-1 Mux、4 位 3-1 Mux、4 位添加器、4 位减法器和 4 位乘数的模块。 您不需要考虑溢出的情况。
2. 设计 ALU 的顶端模块，并具有第 1 步定义的模块的层次结构）。
3. 在 FPGA 中实现设计，数据输入A[3：0]、B[3：0]和控制输入 F[2：0] 连接到 Basys3 板上的开关，以及输出 R[3：0] 到机载LED。
4. （可选）尝试用您自己的方法解决此设计中的溢出问题。
5. （可选） 尝试用新功能扩展函数表。