**实验报告**

姓名： 专业： 电子科学与技术 学号：

课程名称： 数字系统设计 任课老师： 叶德信

实验名称： Simulate an ALU 实验日期： 2020.4.1

**1 实验目的和要求**

**学习如何编写 Verilog 测试台来模拟在实验室 3中设计的ALU 。**

**2 实验原理**

**编写一个测试台，将ALU放入进行行为级仿真，通过设定的输入值观察输入的正确性，以此检查模块代码。**

**3 实验内容**

**通过编写 ALU 测试台来模拟 ALU 模块，然后检查所有功能是否正常工作。**

**对ina、inb、sel做遍历，观察每种情况下outy的输出。**

**4 实验结果和分析**

**当sel = 000时，outy = ina + inb**

**当sel = 001时，outy = ina + 1**

**当sel = 010时，outy = ina - inb**

**当sel = 011时，outy = ina - 1**

**当sel = 100或101时，outy = ina \* inb**

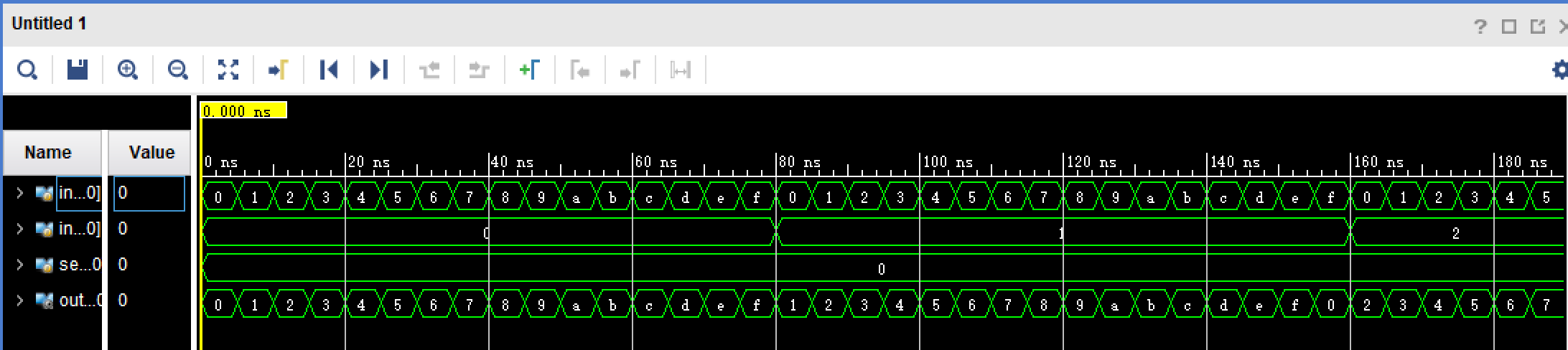


图 1 sel=000

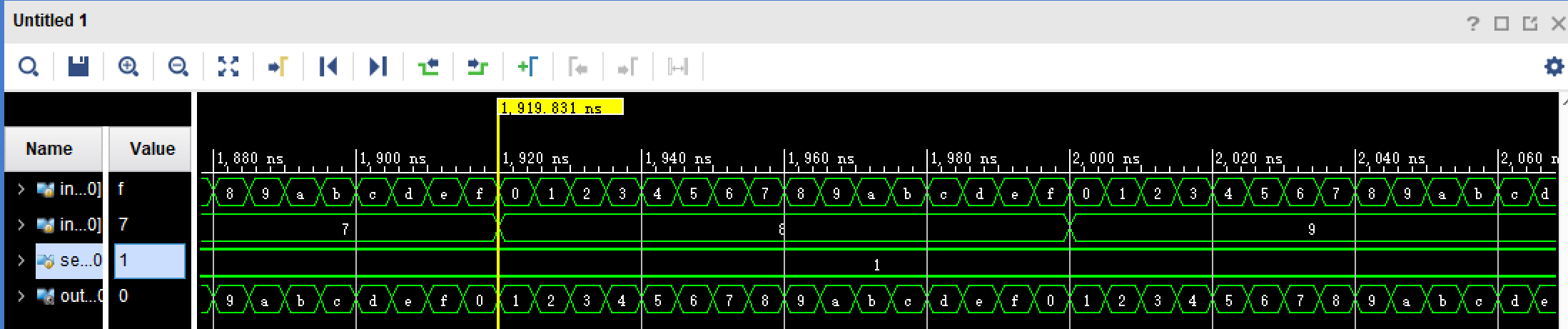


图 2 sel=001

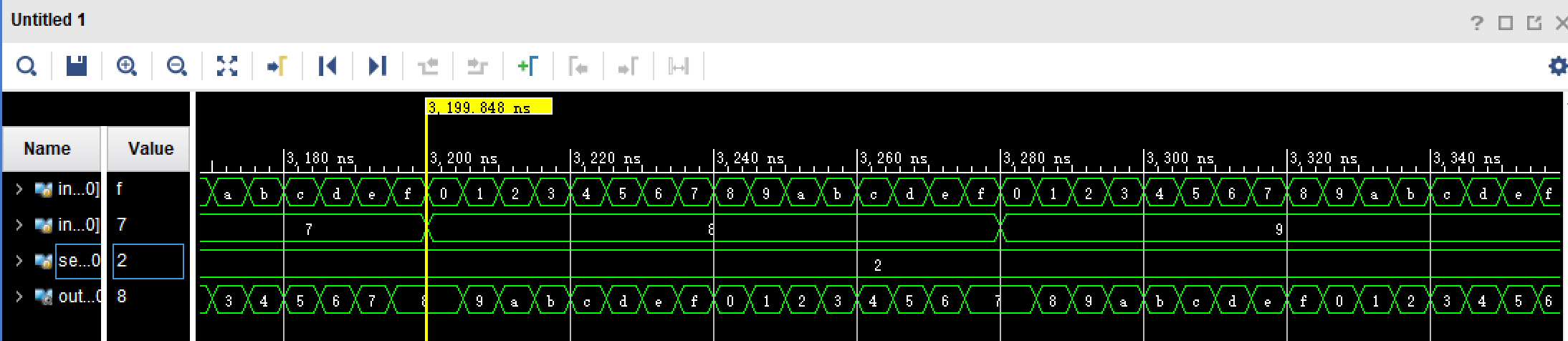


图 3 sel=010

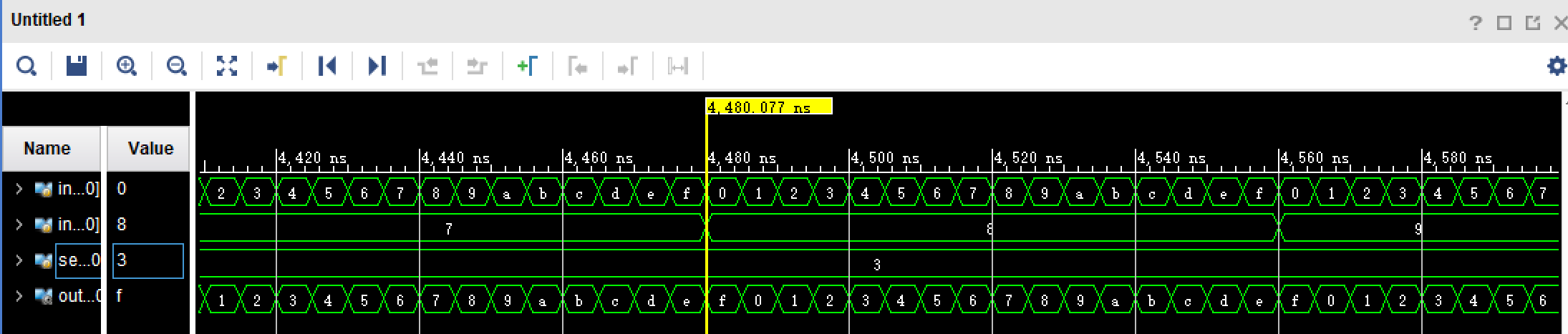


图 4 sel=011

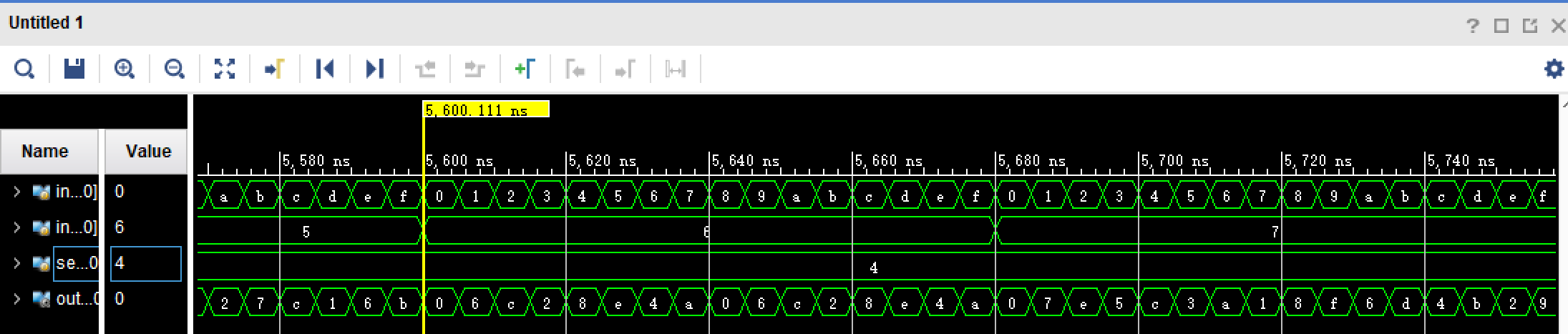


图 5 sel=100

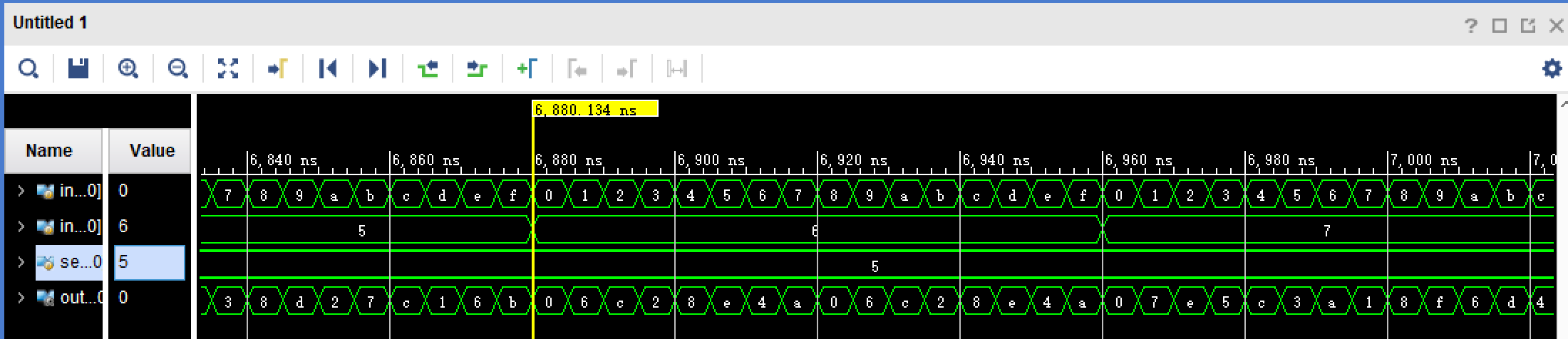


图 6 sel=101

**5 实验结论和讨论**

**仿真得到的结果说明所写的ALU代码实现了其功能，能够正常工作。**

**附件：源代码**

module lab\_2\_sim(

);

reg [3:0] ina;

reg [3:0] inb;

reg [2:0] sel;

wire [3:0] outy;

ALU lab2\_sim(ina,inb,sel,outy);

initial

begin

ina = 4'b0000;

inb = 4'b0000;

sel = 4'b000;

end

always

begin

#5

ina = ina + 1;

end

always

begin

#80

inb = inb + 1;

end

always

begin

#1280

sel = 3'b001;

#1280

sel = 3'b010;

#1280

sel = 3'b011;

#1280

sel = 3'b100;

#1280

sel = 3'b101;

end