

# 浙江大学实验报告

日期: 2023-6-9  
地点: 外经贸楼 203

课程名称: 电子系统设计与综合实验 指导老师: 张昱, 李惠忠, 孙斌, 周绮敏 成绩: \_\_\_\_\_  
实验名称: \_\_\_\_\_ ISP 实验 6: 数字电压表的设计 实验类型: 设计型实验  
本组各位同学在本实验中的分工及参与比例: \_\_\_\_\_

## 一、实验目的和要求

### 1. 实验目的

使用扩展实验板与基本 ISP 实验板（即 MAGIC3100 CPLD 实验板）实现一个具有数字电压表等功能的数模混合的测控电子系统。

### 2. 实验要求

能测量显示扩展实验板上运放输出端 J4 的直流电压值，然后仿真验证、下载调试和操作演示。注意：要求显示电压值至少保留小数点后两位有效数字，并且显示电压值与万用表实测电压值之间的误差不大于 0.02V。

具体要求：

电压表实现（对照万用表测量运放输出值即 ADC 的输入值；用按键来切换 4051 的通道，调节电位器，显示三位有效数字的电压）；同时加上切换 4051 通道号的按键消抖，并用一个数码管显示其通道号。

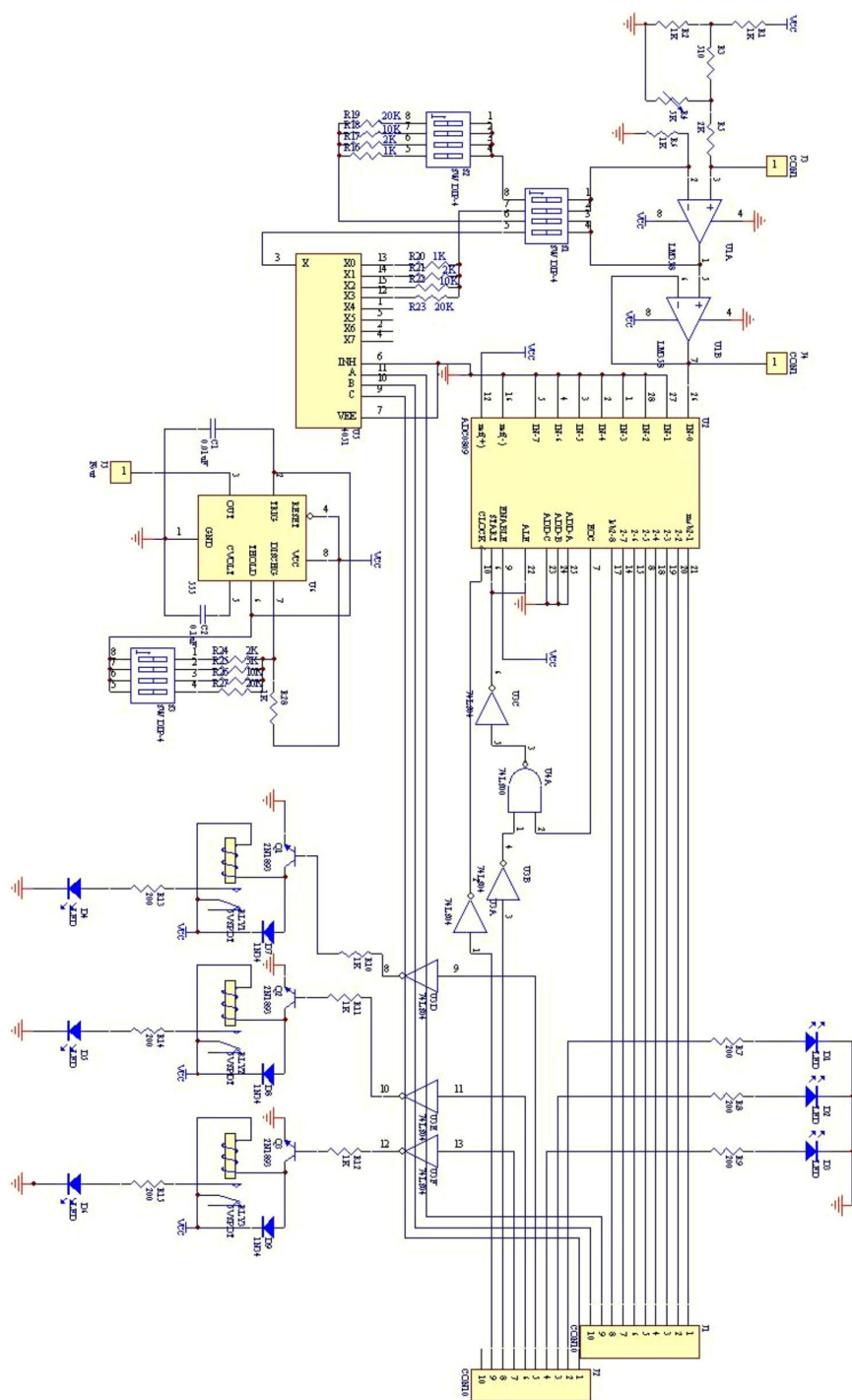
## 二、实验内容和原理

### 1. 基本原理

扩展板是受控对象，基本板上的 ISP 芯片是数字控制器，二者连成一个数模测控系统。

### 2. 扩展板构成

扩展实验板的电路原理图如下图所示，其中 J1 和 J2 是这块扩展实验板与 CPLD 实验板的接口。这块板子的设计思路很简单，就是按照一般的测控系统来设计电路格局，包括：外部信号采集、模数接口、主控制电路接口和一些辅助电路，所有的电路设计和芯片的选择都是本着安全实用的原则。以下将详细介绍各个电路部分以及所使用的芯片的管脚功能。



扩展实验板的电原理图

从原理图上可以看到, 该实验板包括了运算放大器应用电路、模拟多路开关应用电路、A/D 模数变换电路、555 脉冲发生电路和继电器驱动控制电路等五大部分 (划分标准按照主要模块的功能)。运算放大器的增益可以用手动的 DIP 拨码开关控制, 也可以用模拟多路开关来控制。其中, 运算放大器和模拟多路开关电路共同完成信号的采集和放大; A/D 模数转换用 ADC0809 来完成; 555 电路不属于这个模拟测控系统的一部分, 是单独的一块电路; 这个电路的受控部分是 6 个 LED, 其中的 3 个 LED 由继电器驱动, 而另外 3 个 LED 是直接点亮的; 对于受控部分的控制则通过 CPLD 实验板来完成。下面就分别介绍这几个模块电路。

## (1) 信号采集和放大电路

从真正的意义上讲，这块板子上并没有信号采集，仅仅是一个简单的放大电路而已。这里只是把可调的电压信号看成是采集进来的电压信号。这部分单元电路的原理如图 8-2，这个电路采用了运放最基本的两个用法：同相放大和跟随器接法。

为什么没用更常用的反相放大呢？这里有几点原因：首先，放大器没有要求严格的放大系数，所以，放大倍数可以任意设定。其次，和扩展板的前期调试板的电阻选用有关。扩展板的前期调试板上，图中 5 K 的电位器采用的是 100K。而 LM358 反相接入时的输入电阻和 100 K 相比，不能算完全的无穷大（这是经过实验证明的），因而采用同相放大（具有更高的输入阻抗）以减少这个并联电位器影响，测试证明是合理的。但是采用 100K 的电位器改变电压时，在运放输出端的信号变化过快，所以，最后在扩展板上改用 5 K 的电位器调节电压变化。

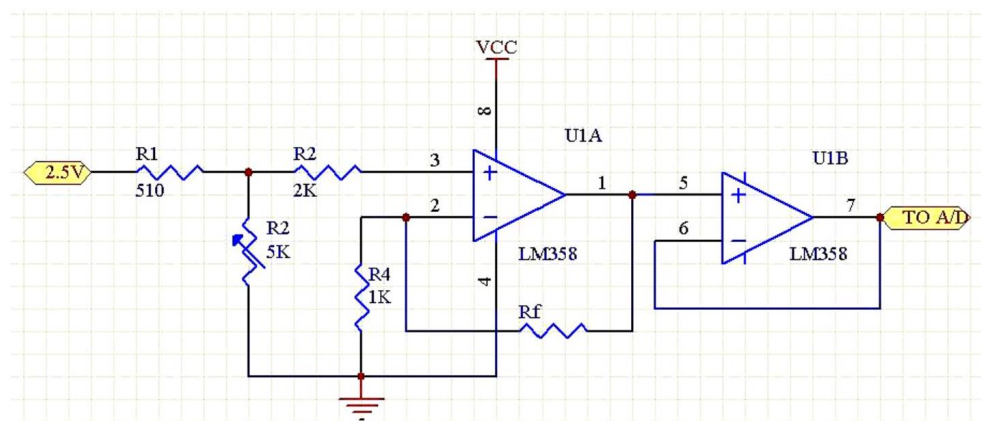


图 8-2 运放原理电路

运放采用了 LM358，这是可单电源供电的双运放芯片，管脚封装图见图 8-3。它的那些具体的参数，这里就不再做详细说明。

在该实验板中，图 8-2 中的  $R_f$  有 4 种取值：1 K、2 K、10 K、20 K，对应的放大倍数分别为：2、3、11、21。调试过程中，除了 1 K、2 K 的外，其他的都因为放大倍数太大，调试效果不是很好，不过运放在它的线性变化范围中具有很好的线性。

但是当输出达到一定值后，就有一个饱和状态，2 K 时，输出最大能够达到 3.70 V，运放输入要  $\geq 1.25$  V；

10 K 时，输出最大能够达到 3.76 V，输入要  $\geq 0.37$  V；20 K 时，能达到 3.79 V，输入要  $\geq 0.21$  V。

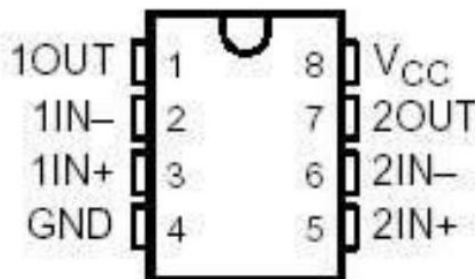


图 8-3 358 管脚图

输出随输入的变化有一个线性范围，超过这个范围，饱和效应就很明显了。比如  $R_f = 2$  K 时，线性范围是：输入电压范围在 0 V ~ 1.20 V。

## (2) A/D 转换电路

这个电路是将采集放大后的信号进行模/数转换以便于数字控制系统对采样信号进行相关的处理。这部分电路的原理图见图 8-4, 这里采用的 A/D 转换芯片是 ADC0809, 它是 8 位单片 CMOS 逐次比较型器件, 有 8 路输入通道, 信号的控制逻辑和微处理器完全兼容。ADC0809 的特点是具有一个稳定的高阻抗斩波比较器, 一个带有 256 个电阻分压器的模拟开关树, 一个控制逻辑环节和 8 位逐次逼近数码寄存器, 在输出级有一个 8 位三态输出锁存器。输入的 8 个通道可以被任何单独的 8 路模拟信号直接使用。这里选择这块芯片的理由, 主要是它很容易实现和单片机等 TTL 电平的微处理器的接口电路, 其中也包括 ISP 器件。不但如此, ADC0809 还具有高速、高精度、低温度系数、低功耗和可长时间保持精度的优点。

它在使用上也是很方便的, 它不需要进行 0 刻度和满刻度的电压校正, 输入信号只要在 0~5V 这个范围内 (正好满足 TTL 电平) 就可以了, 而且它的工作电源是最常用的 +5V, 该芯片被普遍应用于单片机和外围模拟电路的接口电路上。它的管脚和封装结构如图 8-5 所示, 其中一些关键管脚必须作一些说明:

- ALE (地址锁存输入脚), 该信号的上升沿, 可将地址选择信号 ABC 锁入地址寄存器内。
- START (启动转换输入脚), 其上升沿用以清除 ADC 内部寄存器; 其下降沿用以启动内部控制逻辑, 使之 A/D 转换器工作。
- EOC (转换完毕输出脚), 其上升沿表示 A/D 转换器内部已转换完毕。
- (OUTPUT) ENABLE (允许输出控制脚), 高电平有效, 有效时三态门打开, 8 位转换后的数据可输出。
- CLOCK (转换定时时钟脉冲输入脚), 它的频率决定了 A/D 的转换速度。

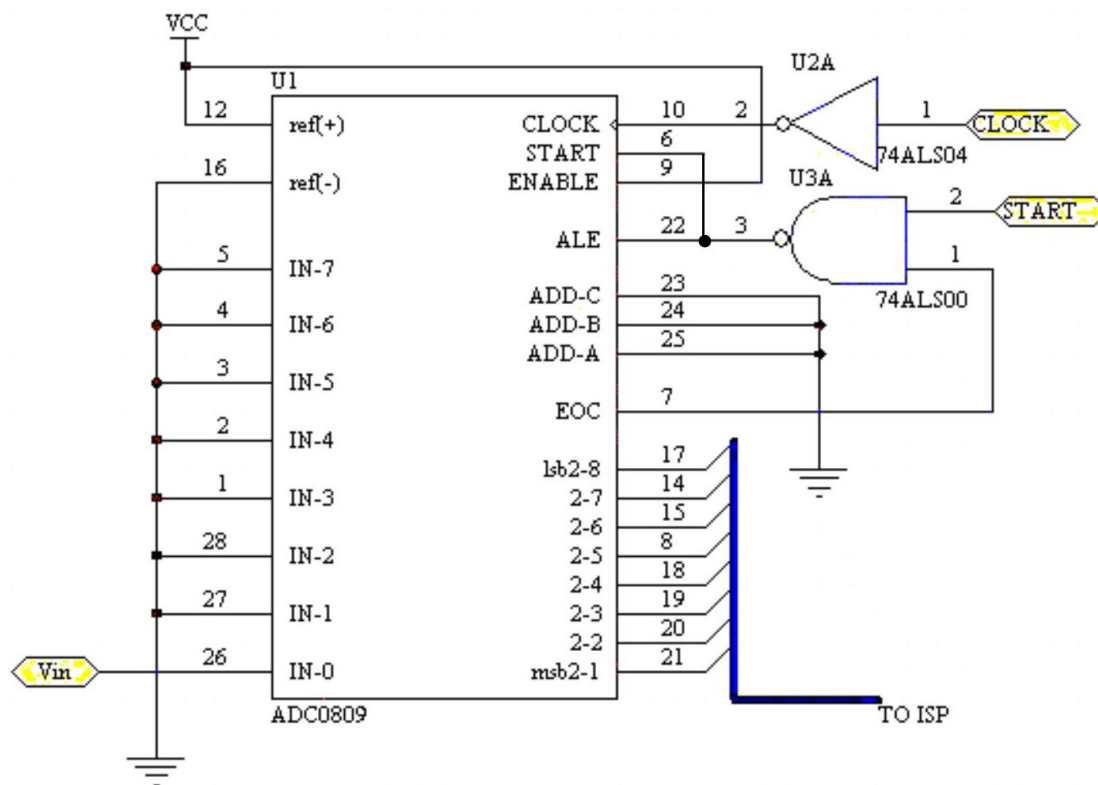


图 8-4 A/D 转换原理图

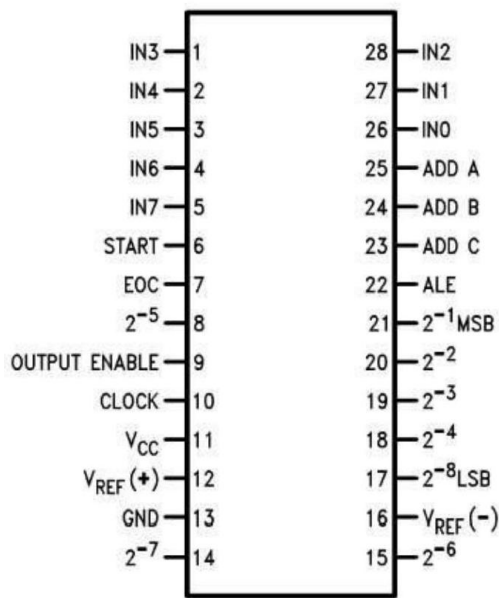


图 8-5 ADC0809 管脚图

ADC0809 的转换速度在 CLOCK 为 640KHz 时的转换速度为  $100\mu s$ , 因此, 按照这里选择的 CLOCK 是 1024 Hz, 那么转换速度将比  $100\mu s$  慢许多。在微机接口中, EOC 一般是接单片机的中断口, 这个目的是向单片机发出转换完毕的信号。而根据这块扩展实验板的设计要求, 我们无需向控制系统发出转换是否结束的信号, 所以, 在图 8-1 和图 8-4 的电原理图中, 将 EOC 和外部 START 信号逻辑与 (或与非) 一下, 送到 START 脚。这样, 只有在一次 A/D 转换完毕以后, 才可进行下一次转换任务, 同样达到了预期的效果。

为了保证 A/D 的可靠工作, 0809 的 CLOCK 采用 CPLD 实验板上可选低频时钟频率的最大值 32768 Hz 的二分频。它的 START 信号由 CLOCK 的 4 分频信号给出。可以看到采用的频率远远小于 640KHz, 因此 CLOCK 也可以由 CPLD 实验板上的 6MHz 信号分频得到。鉴于该实验板对采集速度要求不高, 所以采用 32768 Hz 的二分频就可以了。

### (3) 模拟多路开关电路

模拟多路开关采用的芯片是 CD4051, 电原理图如图 8-6, 其管脚图如图 8-7, 它是一个 8 选 1 的 CMOS 多路开关。它的特点是导通电阻小

(小于  $100\Omega$ ), 其值随信号电压波动小, 而且接通时间短 (小于 100 ns), 易于和驱动电路集成。A、B、C 是选通信号, 它们和选通通道的关系如表 8-1 所示。当 INH 为 “0” 时, 开关可用, 为 “1” 时, 开关关闭。

表 8-1 CD4051 选通信号和通道的选通关系

INH	C	B	A	选通通道数
0	0	0	0	通道 0
0	0	0	1	通道 1
0	.....	.....	.....	.....
0	1	1	1	通道 7

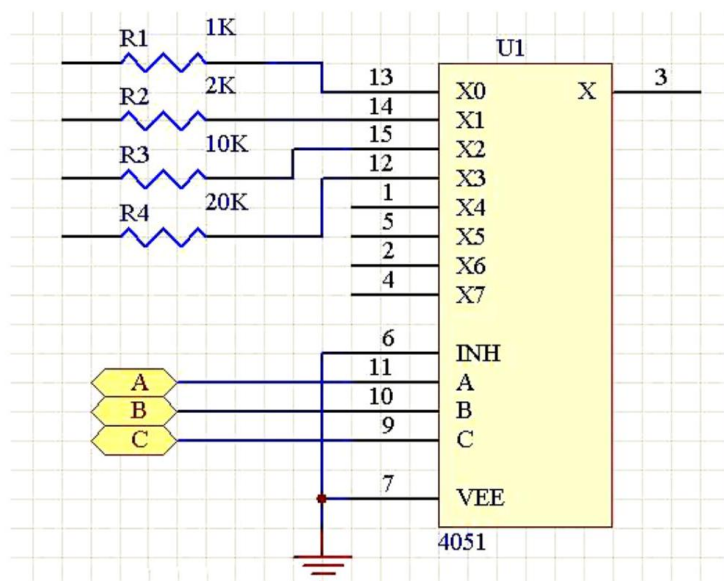


图 8-6 4051 电路原理图

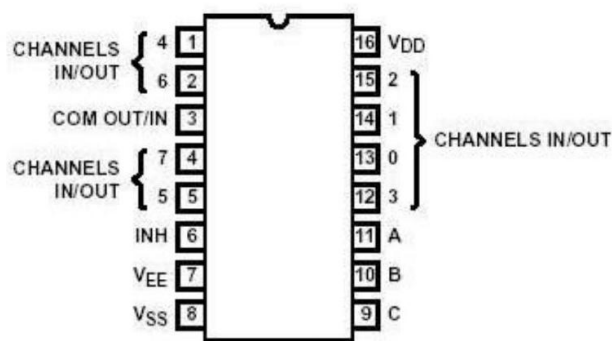


图 8-7 CD4051 管脚图

使用 CD4051 时, 需要注意的是 VEE、VDD、VSS 和 INH 的接法, 其他管脚都顾名思义, 容易理解。VDD 和 VEE 分别表示, CD4051 所能传递的电压信号的上限和下限, 并且输入信号的电压也要在这个范围之内。在这里, 我们只需要将 VEE、VSS、INH 同时接地, VDD 接 +5V。

在调试 CD4051 电路时, 如果三路控制信号端 (C、B、A) 悬空, 用万用表测这三个管脚都是低电平, 但是 4051 的工作就是不正常, 按照理论应该是 0 通道导通。不过在这三路控制端都有信号接入时 (比如都接地), 4051 就工作正常, 这与它是 CMOS 器件有关, 因为 CMOS 器件的管脚的逻辑是不能通过悬空来缺省给出的。在一般情况下, VDD 接正电源, VSS 接地, VEE 接负电源。

#### (4) 555 多谐振荡器电路

扩展实验板上还有一个用 555 搭的相对独立的多谐振荡器电路, 555 的应用非常多, 多谐振荡器是它最典型的两种应用之一 (如图 8-8 所示)。555 是一数字混合式模拟电路, 它的特点是稳定、精确、容易实现。根据 555 的工作特点, 555 多谐振荡器的周期和频率公式分别为:

$$T = 0.693 (R_1 + 2R_2) C_2, \quad f = \frac{1.44}{(R_1 + 2R_2) C_2}$$

在扩展实验板中, 选择的  $R_1 = 1 \text{ K}$ ,  $R_2$  有 4 个取值, 分别为: 2 K、5 K、10 K 和 20 K。根据 555 的



频率公式, 可以计算得到, 555 产生的信号频率分别为: 28.8KHz、13.1KHz、6857 Hz、3512 Hz。经过调试实测可以看到频率数据和理论值很接近。

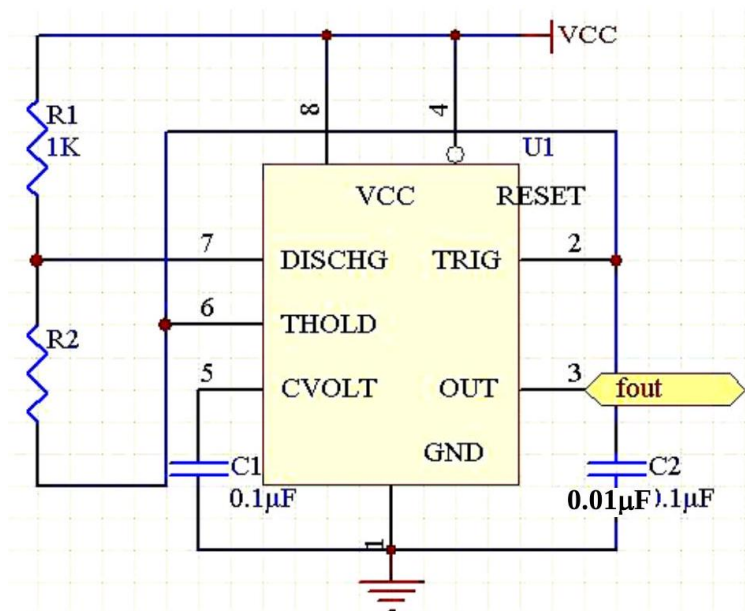


图 8-8 多谐振荡器电路

#### (5) 继电器驱动电路

继电器的驱动电路的原理如图 8-9 所示, 所用的继电器是 5 V、0.5 A 的六脚小型继电器。在图中, R1 是限流用的, Q1 是驱动用的 NPN 三极管, RLY1 是继电器, D1 是二极管保护电路, R2 和 LED1 是继电器控制负载。注意, 这么一个简单的电路中, 限流电阻的选择还有三极管的选择都有一定的原则, 器件选择不好, 接法正确也没法工作。

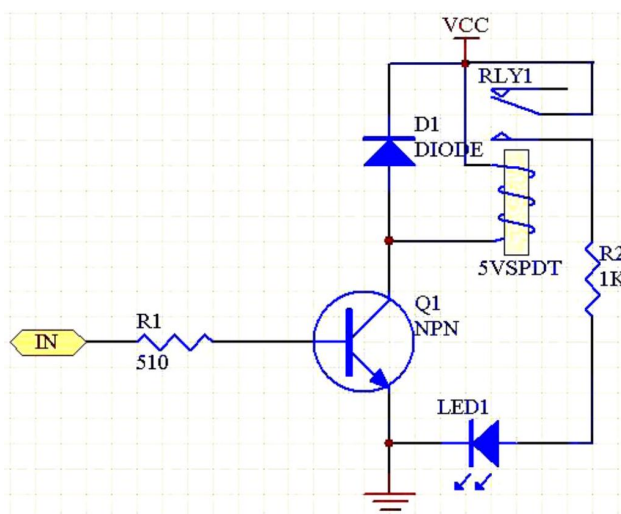


图 8-9 继电器驱动电路

因为所使用继电器要有一定的导通电压和导通电流才能正常工作, 因而选择三极管时, 要注意三极管的驱动能力。9013H 是一种中功率的三极管, 可以提供实验所需的电流, 它的放大倍数大概为 150 左右, 因此为了保证有 500 mA 的驱动电流, 三极管的基极镇流电阻采用 510Ω。图 8-9 中的二极管是保护用的, 用来释放继电器断电时, 自身电感产生的大电流。

### 3. ISP 软件编程设计原理

对扩展实验板进行数字控制的 CPLD 实验板上的 ISP 器件 Lattice ispMACH LC4256V 的编程, 采用的是 Lattice 的 ispLEVER Classic 设计开发套件。

在编写 ISP 器件的功能之前, 要先弄清楚两块实验板构成的数模电子系统要达到的目的。该扩展实验板在功能上并不复杂, 它的要求是要将采集的模拟电压信号, 根据不同范围让不同的灯做出反应。例如: 我们要求, 输入信号在 0~1V 时, LED1 亮; 在 1~2V 时, LED2 亮; 其他情况, LED3 亮, 这个有点类似于温度预警电路。同时, 信号放大的运放电路, 其放大倍数还要能够通过多路模拟开关进行选择。控制灯的亮暗, 有两种方式, 一种是直接驱动, 另一种是通过继电器驱动。另外, 实验板还包括一个相对独立的 555 多谐振荡电路, 振荡频率可以有 4 种选择。本节以下的内容都是以上述功能为例来进行介绍和说明的。当然, 采集的电压信号经过 A/D 转换后的数字量还可以送回 CPLD 实验板上的数字控制系统中去, 以进行电压值的数值显示, 这是两块实验板可以实现的另外一个功能。

根据以上的要求, 设计思路就很简单了, 就是 ISP 器件根据外部 8 位 A/D 的输入信号, 做出判断, 再根据不同的电压范围决定信号的输出。这样简单的思路必须要以外围电路的正常作为前提, 其中最主要的就是 A/D 的运行情况。

A/D 的工作是在有外部时钟激励下进行的, 所以, ISP 在进行控制的同时还要为 A/D 提供转换时钟。

这样, 整个 ISP 一共用到了 19 个 I/O 口, 其中 8 个输入信号, 11 个输出信号。这 8 个输入信号是由 A/D 提供的转换后数字量信号; 11 个输出信号包括: 3 个直接驱动 LED 的信号、3 个驱动继电器的信号 (这两组信号要达到的目的是一样的)、三个选择模拟多路开关 4051 通道的信号和两个给 A/D 提供时钟的信号, 这两个时钟一个是给 ADC0809 提供系统时钟, 另一个是启动 ADC0809 工作的时钟。

注意: 由于 MAGIC3100 CPLD 实验板的扩展 I/O 口引脚数量有限, 只有 14 个, 而且其中还得留出 2 个给电源及接地, 这样就只有 12 个了, 因此如后面所述, 这里实际上只用到了 12 个 I/O 口, 其中 8 个输入信号 (即由 A/D 转换输出提供的数字量信号), 4 个输出信号 (两个选择模拟多路开关 4051 通道的低两位信号以及两个给 A/D 提供时钟的信号)。

根据如图 8-1 所示的外围电路图和设计要求, ISP 器件的设计将包括三个部分: 一个是 8 路信号比较模块, 一个是时钟发生模块, 最后一个是 4051 的选通信号产生模块。

对于这三个模块电路, 这里的设计思路是:

1) 8 路信号比较模块因为输入输出的信号量大, 采用原理图输入法较困难, 所以, 采用 ABEL 或其他 HDL 语言编写其硬件特性。

2) 时钟发生模块, 由于有 CPLD 实验板上的低频时钟电路板的存在, 这部分相对就容易实现一些, 这里是采用一个 8 进制的计数器, ADC0809 的系统时钟通过计数器的 Q0 脚得到, 而 ADC0809 的 START 信号是由将 Q0 脚的信号经过 4 分频后, 即从计数器的 Q2 脚得到。

3) 对于 4051 的选通信号产生, 这里的做法是, 因为只需要 8 路中的 4 路 (如选第 0 到第 3 路), 所以 4051 的 C 脚固定接为低电平。所用的 4 路信号的选择是用一个按键 KEY2 来控制, 按一下递进选择一路, 即依次为 0 通道、1 通道、2 通道、3 通道再返回 0 通道并依此类推, 这就相当于一个 4 进制计数器, 另外, 这里又设定了一个复位键 KEY1, 作为选择 4051 的默认通道 (即 0 通道)。根据这样的思路, 图 8-10 所示的就是 ISP 器件所要实现功能的设计图 (注意: 其中尚未包括必要的按键消抖电路, 需根据实际设计功能自行改进更新)。

为了保证输出信号的正确, 8 路输入信号用 8 个 D 触发器同步后进入一个名为 “BIJIAO” 的模块, 这个模块在这里是用 ABEL 语言描述的。整个原理图中还有 “COUNT8” 和 “COUNT4” 两个 HDL 语言模块也是用 ABEL 语言描述的。注: ABEL 语言的使用介绍请参见附录 1、2。

如何确保用 ABEL 描述的模块就是正确的呢? ispLEVER 软件提供的编译和仿真功能可以解决这个问题。编译是要确保你的原理图或者 ABEL 语言在格式和语法上没有错误, 仿真则是通过测试向量的编写或测



试波形的绘制, 然后仿真出输入输出信号波形来, 借此检验你所描述的模块的正确性。这里所描述的这些模块都是分别经过测试仿真证明是正确的。

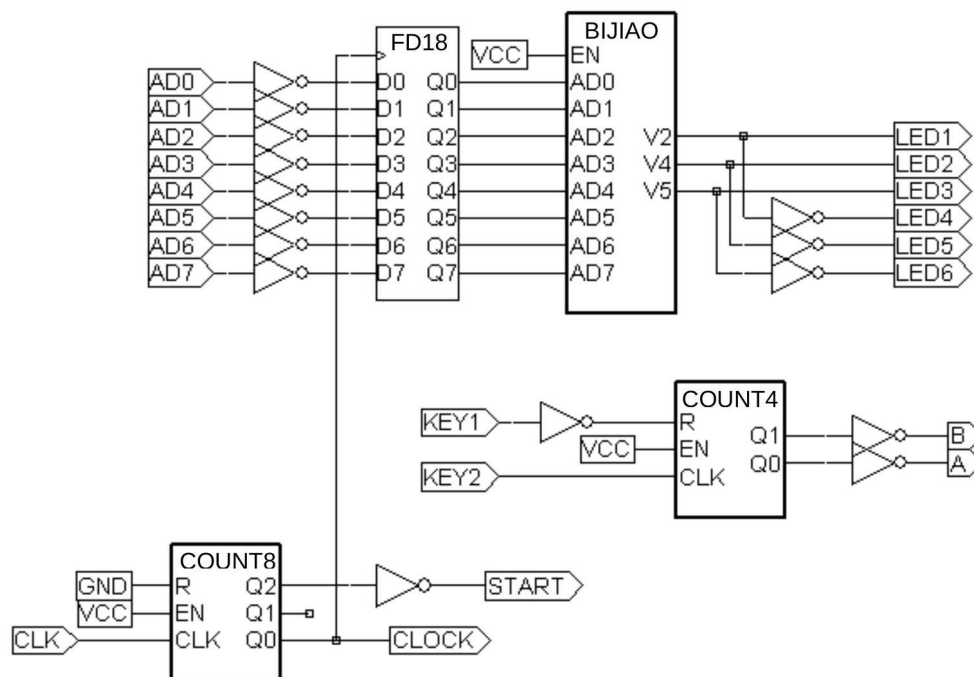


图 8-10 ISP 设计原理图

(注 1: 如只实现直流数字电压表的功能, 则上图中的 LED1 6 信号可以略去)

(注 2: CD4051 选通信号的高位 C 已在硬件上接地, 故无需再画出)

这些模块的建立要遵守 ispLEVER 软件的一些默认规范, 否则可能无法通过编译。用 ABEL 语言描述模块的电路逻辑有很多种方式, 这些方式和传统的数字电路或数字系统设计是一样的, 即可以通过逻辑方程、真值表和状态图描述。

用逻辑方程描述时, 源文件的逻辑方程段的前面应有一个关键字 EQUATIONS 作为块首, 逻辑方程段持续到关键字 END 为止。写方程时要对电路的每个细节都仔细考虑, 要写出每个输出管脚或节点 (包括时钟、复位等控制端) 的方程, 但不要求这些方程都是最简, 因为软件编译时会自动对方程作最简处理。使用方程的好处就是方便、直观。

真值表描述方式, 不但可以描述组合逻辑电路的真值表, 而且可以描述时序电路的状态转换真值表。和逻辑方程描述相似, 它也要有一个块首即 TRUTH\_TABLE, 接下来是真值表头, 然后是真值表部分。组合电路输入和输出之间用 “->”, 而时序电路用 “:>”。最后也要有 END 作为结束标志。

描述时序电路工作情况的另一种逻辑工具就是状态图。状态图是以 STATE\_DIAGRAM 关键字为块首, 然后是状态转换描述, 最后以 END 结束。

本设计所涉及的模块编写都是用逻辑方程描述的, “BIJIAO” 模块因为输入位数很多, 用真值表或者状态图描述很复杂, 比如, 用真值表的话要有 256 行之多。而两个计数器模块倒是三种方式都可以用。

对扩展实验板进行控制的 ISP 器件的电路设计原理图中所用到的三个自定义模块的源代码参见本章第五节。从源代码的编写规模来看, 确实比较简单, 但是, 怎样编写简单正确的源文件, 还是要有一个熟悉的过程。

在整个 ISP 器件的工程设计完毕后, 经过 Fit Design (适配设计) 流程, 生成可以下载烧录到 ISP 器件中去的二进制的熔丝图 Fusemap 文件即 JEDEC 文件 (\*.jed 文件)。

然后利用 ispVM System 编程软件将这一 JEDEC 文件下载烧录到 ISP 器件中去。

至此，软件编程部分就全部完成了。这一部分，看似比较简单，但是对软件的熟悉以及对编程语言语法的熟悉还是挺麻烦的。有了软件的支持接下来就要看硬件电路的设计和调试了。所以，接下来介绍硬件电路的设计和调试过程。

### 三、 主要仪器设备

MAGIC3100 CPLD 实验板；

扩展实验板；

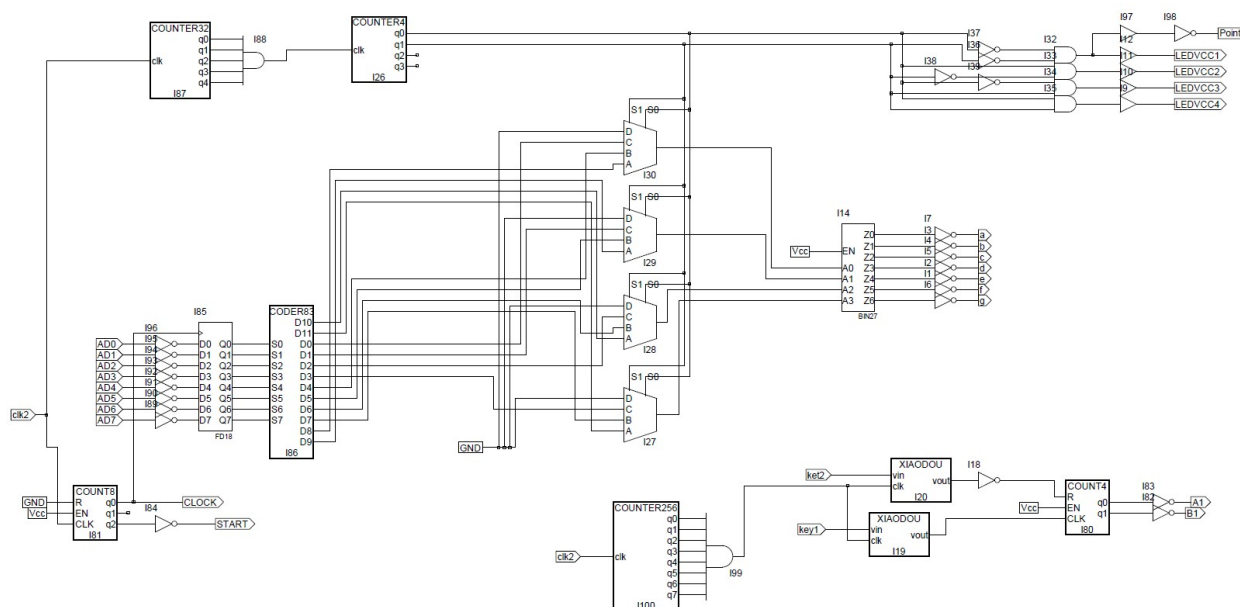
ispLEVER 软件；

DiamondProgrammer 软件；

### 四、 操作方法和实验步骤

我们使用电原理图 + Verilog 混合输入的方法来实现该项目

#### 1. 顶层电原理图绘制



## 2. 内部模块设计

### (1) 按键消抖模块设计

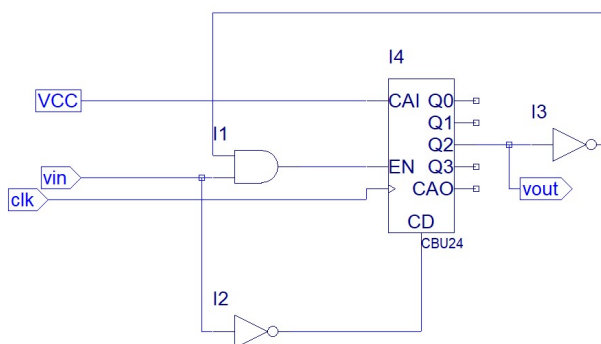


图 4-2 按键消抖模块电原理图

按键消抖模块主要利用四位二进制加法计数器 CBU24，当输入保持高电平时，计数器输出也会保持高电平；仅当连续 4 个消抖时钟按键输入都为低电平时，才输出一个按键低电平脉冲。

### (2) 8 路信号比较模块设计

8 路信号比较模块的 ABL 模块代码如下，

输入是 8bit 的来自 AD 转换芯片的二进制相对电压值，输出是以 3 位 bcd 码表示的电压值。计算公式中的参考电压需要根据实际情况调整，经调整我们的参考电压设为 5.09V。

关键方法是通过生成真值表 bin2vol，将 binary 值（8 位二进制相对电压值）一一对应到 [bcd3,bcd2,bcd1]，完成进制转换。在真值表的生成过程中需要计算  $voltage = binary * 509 / 256$ ，509 即为参考电压值，应灵活调整。

```

MODULE coder83
TITLE 'coder83'

S7..S0 pin;
score=[S7..S0];
D11..D0 pin;
bcd3=[D11..D8];
bcd2=[D7..D4];
bcd1=[D3..D0];

x=.x.;

binary=0;
voltage=0;
clear macro(a){@const ?a=0;};
inc macro(a){@const ?a=?a+1;};
bin2vol macro(a,b){@const ?b=(?a*509)/256;};
truth_table(score->[bcd3,bcd2,bcd1])
clear(binary);

```

```

@repeat 256{
  bin2vol(binary,voltage);
  binary->[voltage/100,(voltage\%100)/10,voltage\%10];
  inc(binary);
}

test_vectors(score->[bcd3,bcd2,bcd1])
clear(binary);
@repeat 256{
  binary->[x,x,x];inc(binary);}

END

```

### (3) 时钟发生模块与数据输入设计

如前原理部分所述, 此处 0809 的 CLOCK 采用 CPLD 实验板上低频时钟频率的最大值 32768Hz 的二分频, 而其 START 信号由 CLOCK 的 4 分频给出。

因此采用一个 8 进制的计数器, ADC0809 的系统时钟通过计数器的 Q0 脚得到, 而 ADC0809 的 START 信号是由将 Q0 脚的信号经过 4 分频后, 即从计数器的 Q2 脚得到。下图中的 clk2 即为 CPLD 实验板的低频时钟。

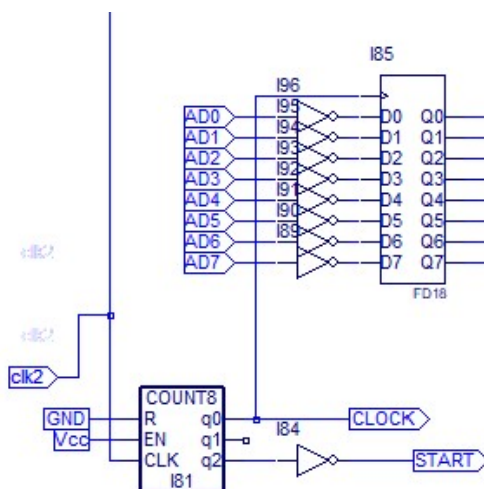


图 4-3 时钟发生模块与数据输入

对于 AD 芯片传来的数据, 通过一个 8bit D 触发器接受, 再传输至 8 路信号比较模块。

### (4) 4051 选通信号的产生

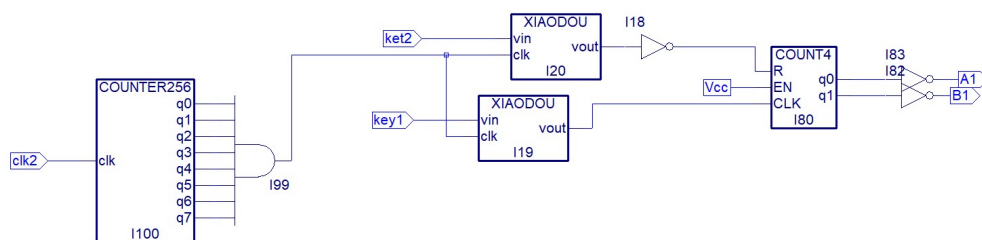


图 4-4 4051 选通信号的产生

低频时钟经过分频作为按键消抖模块的时钟。使用一个计数器的输出作为选通信号，使用切换通道按键的输出作为计数器的触发信号，使用 reset 按键的输出所谓计数器的置零信号。

### (5) 数码管扫描模块

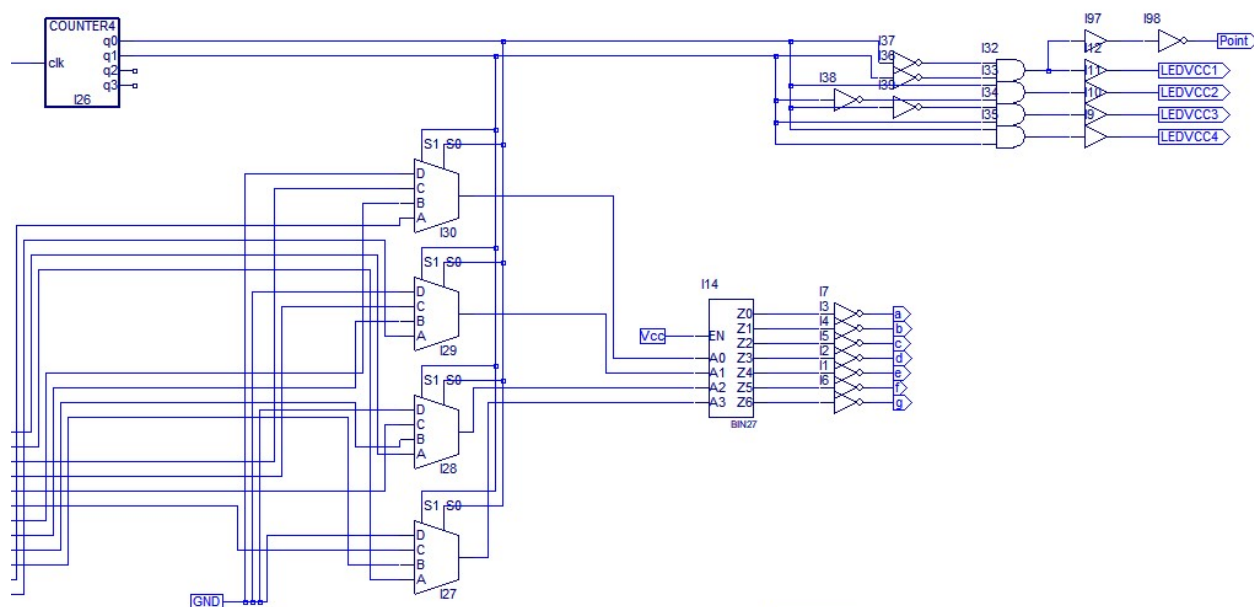


图 4-5 数码管扫描模块

与之前的实验的数码管扫描相同，不再赘述

### 3. 测试与验证

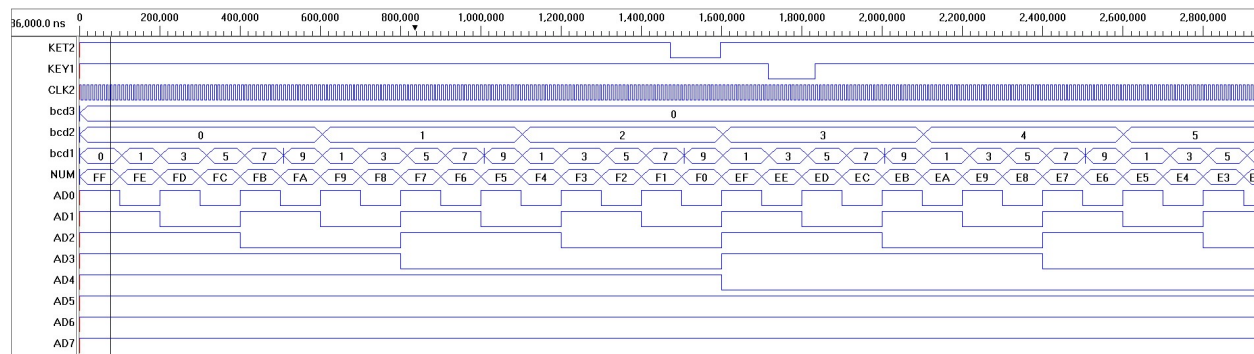


图 4-18 路信号比较模块的仿真波形

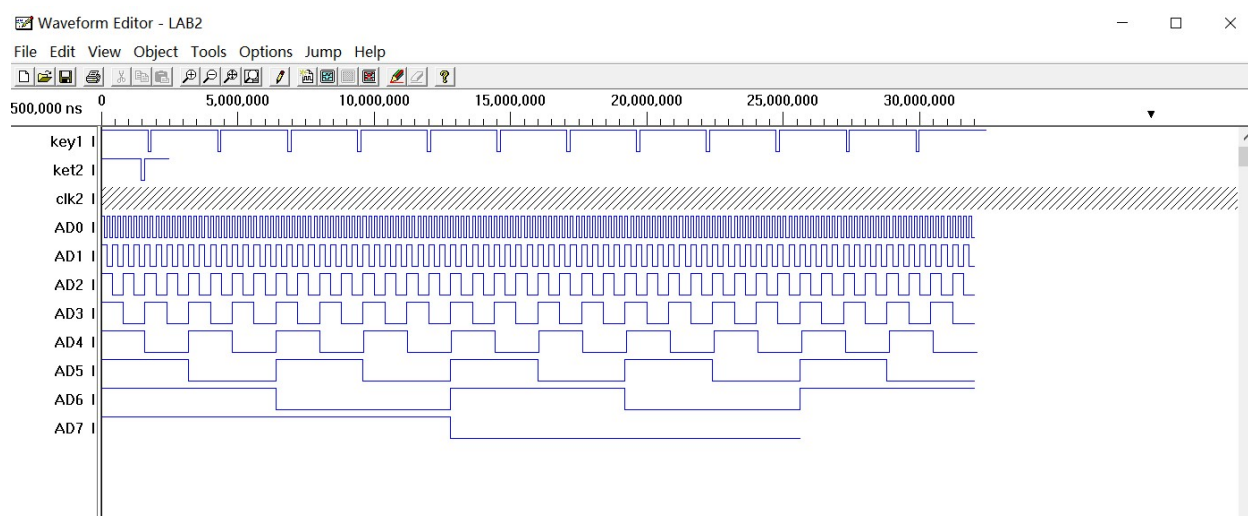


图 4-2 激励波形

当 AD 芯片数据输入为 FD(11111101), 即实际上为 (00000010) 时, 按照公示算出  $2 \times 5.09/256 = 0.003977$ , 而由于数码管只显示到百分位, 因此 bcd3, bcd2, bcd1 分别为 0,0,3。对照上图仿真波形可知正确。检查其它数据, 亦转换无误。

## 五、 实验数据记录和处理

下面是实验数据：

电压表电压	通道	运放增益		实际值2 (数码管)	误差1	误差2	最大运放输出电压		
		理论值	实际值1 (电压表)				电压表	数码管	误差
5.0928V	0	2	2.25	2.236842105	12.50%	11.84%	3.77	3.77	0.00%
	1	3	3.256613757	3.253968254	8.55%	8.47%	3.72	3.71	0.27%
	2	11	11.2195122	11.14982578	2.00%	1.36%	3.78	3.77	0.26%
	3	21	21.70046802	21.68486739	3.34%	3.26%	3.86	3.85	0.26%

表 5-1 分别使用万用表和数字电压表测量的运放增益与最大运放输出电压

## 六、 实验结果与分析

由上图的实验数据可见, 本实验实现的数字电压表满足显示小数点后两位数字, 且与万用表实测电压值绝对误差小于 0.02V, 符合实验要求, 完成了实验目标。

## 七、 讨论、心得

这次实验让我们对数字电路与模拟电路的结合有了更深入的理解。通过了解并使用 ADC0809 模数转换芯片和可编程逻辑器件, 我们学习了如何将模拟电路的输入信号转换为数字信号, 并进行相应的处理和控制在。这也启示我们在实际应用中结合数字电路和模拟电路的优势实现更复杂的功能。

其次, 在本实验中我们进一步熟悉了 ispELEVER 软件的使用, 体会到了 ABEL 语言编程与电原理图绘制结合的方便性。编写 ABEL 语言程序来描构成模块, 并将其与电原理图相结合, 形成一个完整的设计。这种综合展现了软件在电路设计中的重要性和便利性。

总的来说, 这次数模混合测控系统的设计实验通过详尽的资料讲解与例程, 让我们学到了很多关于数字电路和模拟电路结合的知识, 更加深入地理解了实际应用中电路设计的过程和要求, 提高了我们在电路设计和编程方面的能力, 并让我们积累了宝贵的实践经验。