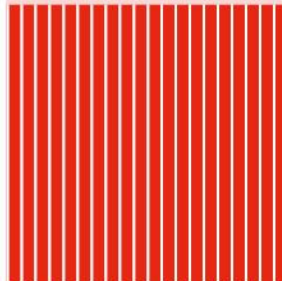
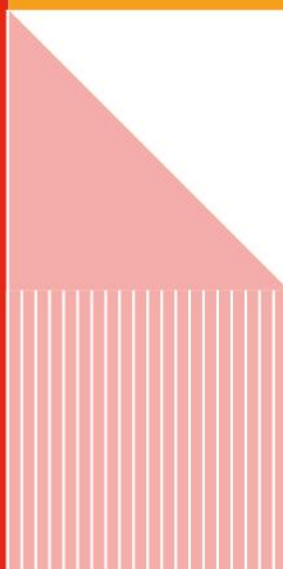
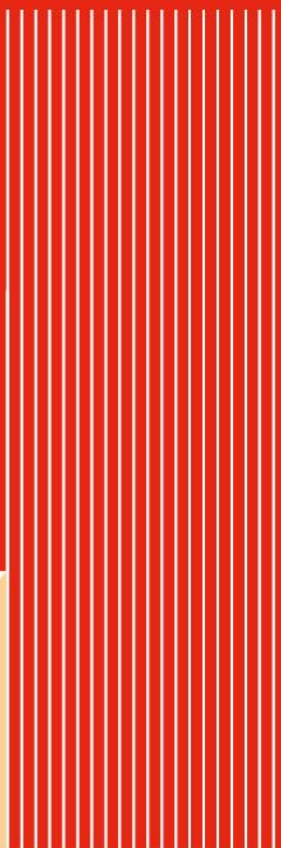


BE contrôle d'accès au medium

2022-2023, 4IR-SC

Stratis Karagiorgos, Romain Moulin, Aude Jean-Baptiste

10 avril 2023



BE contrôle d'accès au medium

2022-2023, 4IR-SC

Stratis Karagiorgos, Romain Moulin, Aude Jean-Baptiste

10 avril 2023

Sommaire

I.	Remarque sur les tests	4
II.	Implémentation	4
1.	Réception.....	4
i.	Test avec envoi d'une frame valide.....	4
ii.	Test avec envoi d'une frame invalide.....	5
iii.	Test en mettant renabp à 0 lors de la réception	6
2.	Transmission.....	6
i.	Test de la transmission d'une trame valide	7
ii.	Abort d'une transmisison.....	8
3.	Collision	8
III.	Fonctionnalités supplémentaires	9
IV.	Synthèse	10
1.	Taille du circuit	10
2.	Fréquence de fonctionnement	10

I. Remarque sur les tests

Tous nos tests ont été réalisés sur un temps de 1ms avec un fonctionnement à 100MHz afin de pouvoir observer suffisamment d'évènements. Le contrôleur réalisé est cependant voué à fonctionner à 10MHz. Le signal de reset a été activé au début de chaque test afin d'initialiser les valeurs.

Les bits de poids faibles sont placés en premier (little-endian).

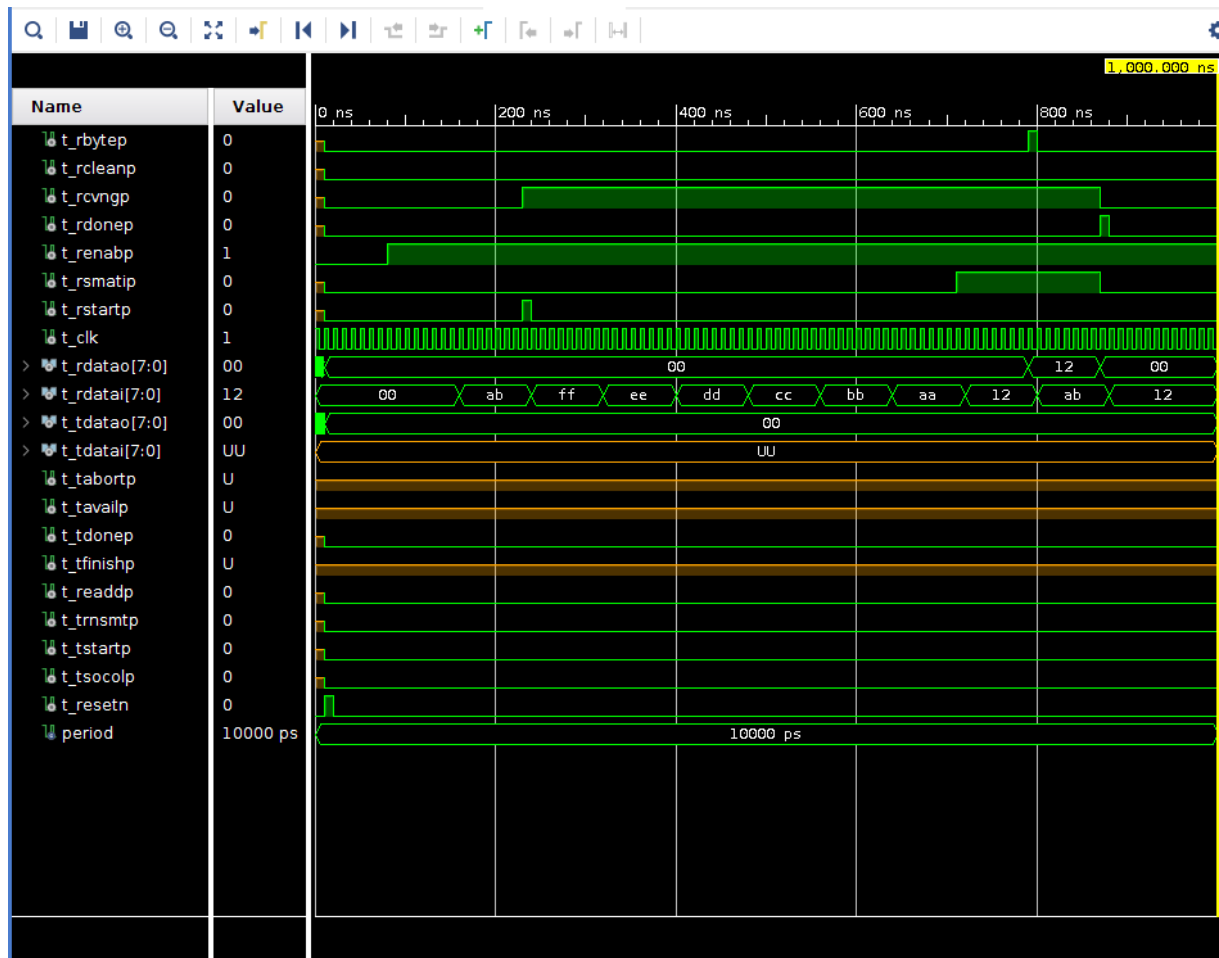
La node address de notre contrôleur est AA:BB:CC:DD:EE:FF.

II. Implémentation

1. Réception

Nous avons implémenté une réception fonctionnelle: lorsque le caractère de début de frame est détecté, on commence par vérifier que l'adresse est bien celle de la carte (node address), puis on transmet les octets à l'host. On arrête de transmettre les octets à l'host lorsque le caractère de fin de frame est détecté.

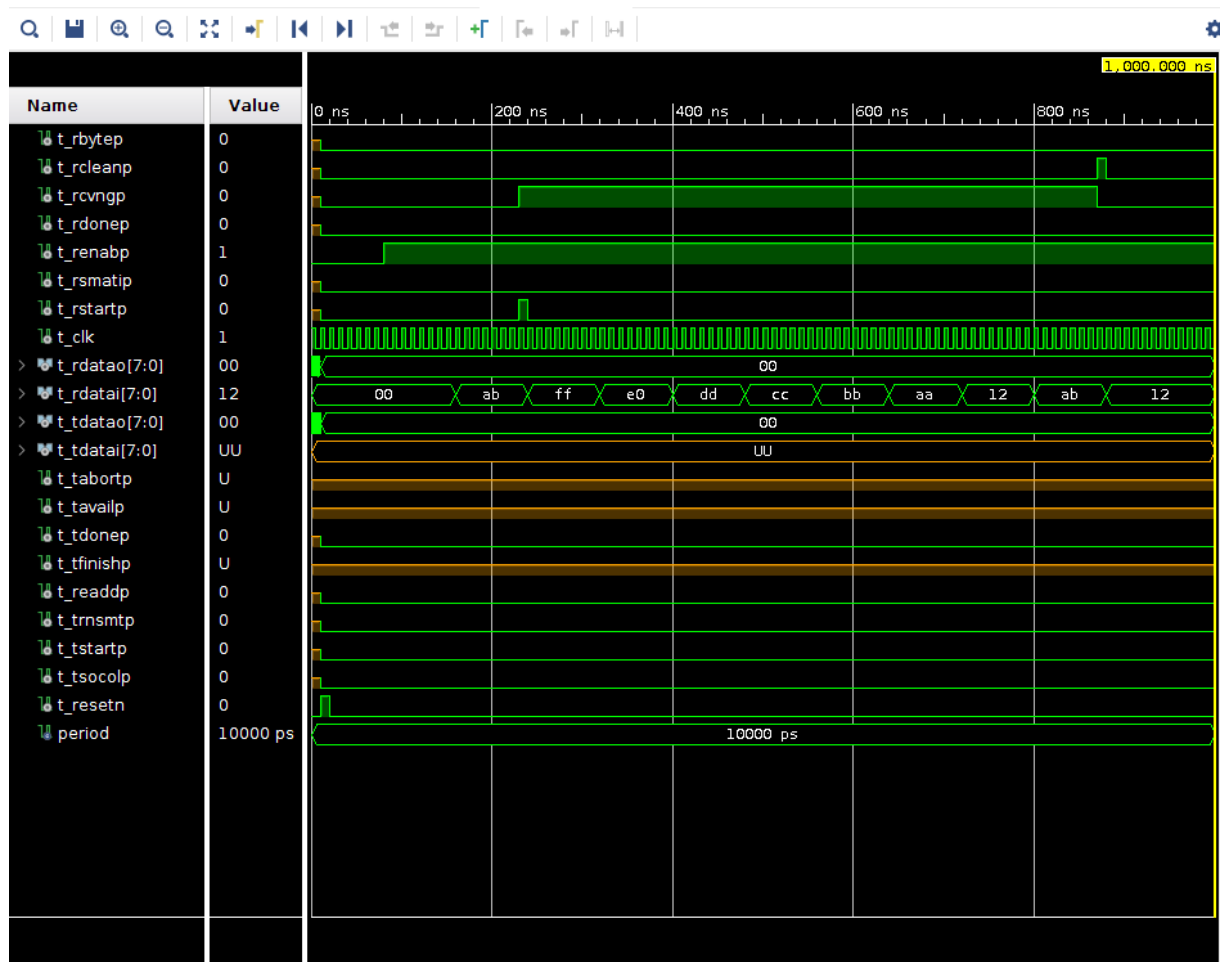
i. Test avec envoi d'une frame valide



On observe la levée de rstartp après réception du SFD (start of frame délimiter), la transmission de l'octet 0x12 sur rdatao après la fin de la vérification de l'adresse, et

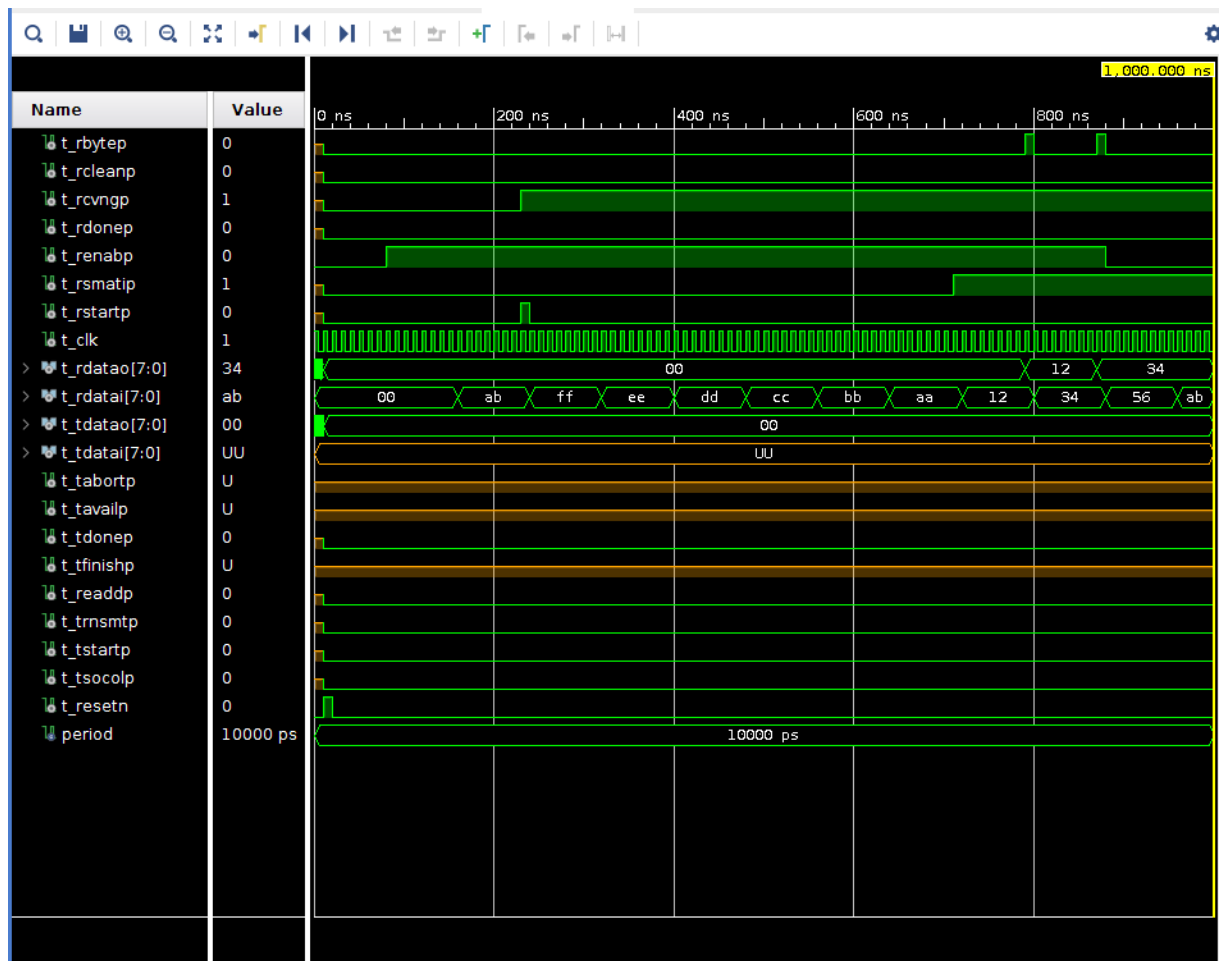
l'arrêt de la transmission sur rdatao après réception du EFD (end of frame delimiter).

ii. Test avec envoi d'une frame invalide



On observe la levée du signal rcleanp après fin de la réception de la trame invalide et l'absence de transmission des octets à l'host.

iii. Test en mettant renabp à 0 lors de la réception

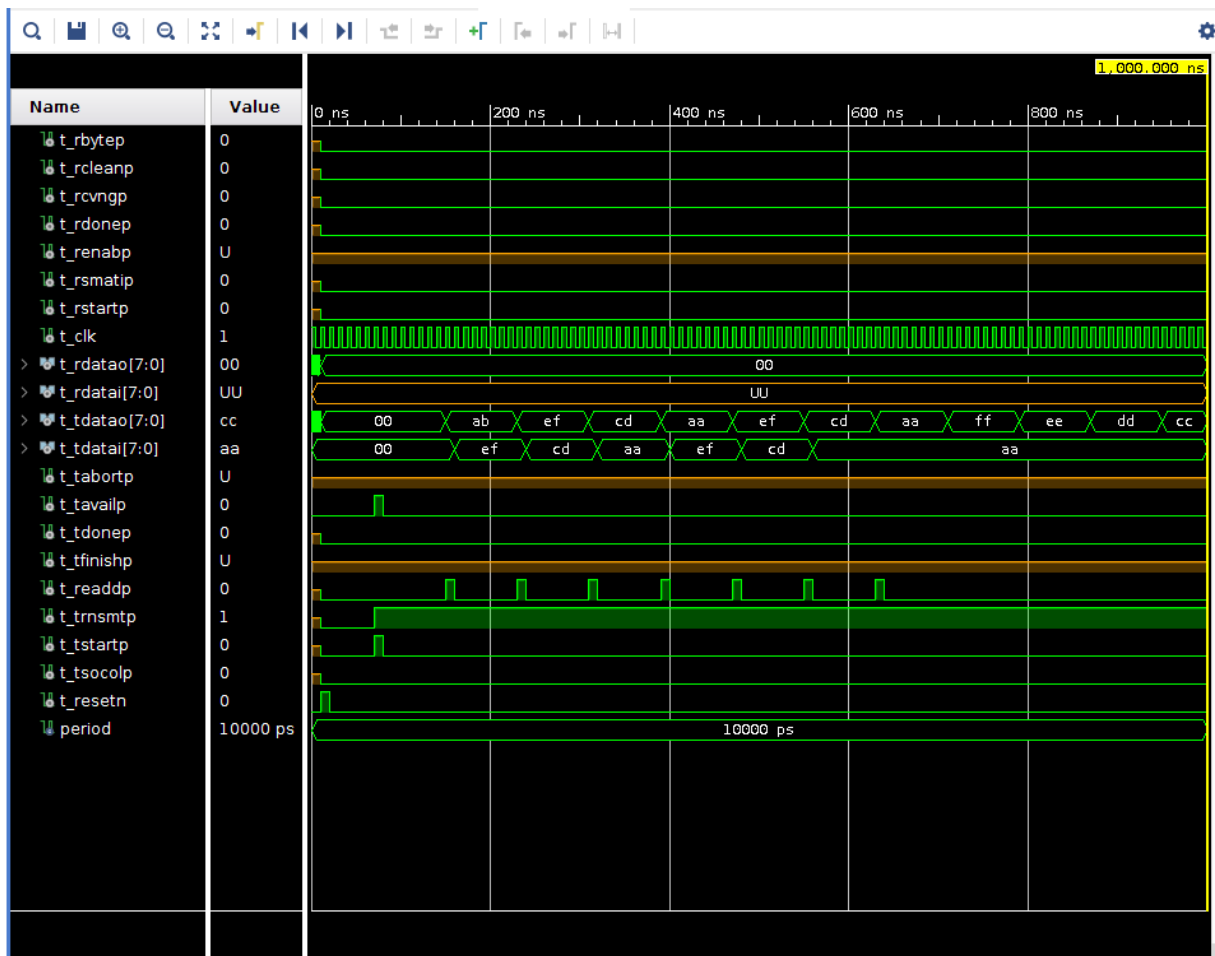


On observe l'interruption de la transmission des octets reçus à l'host lorsque renabp passe à 0.

2. Transmission

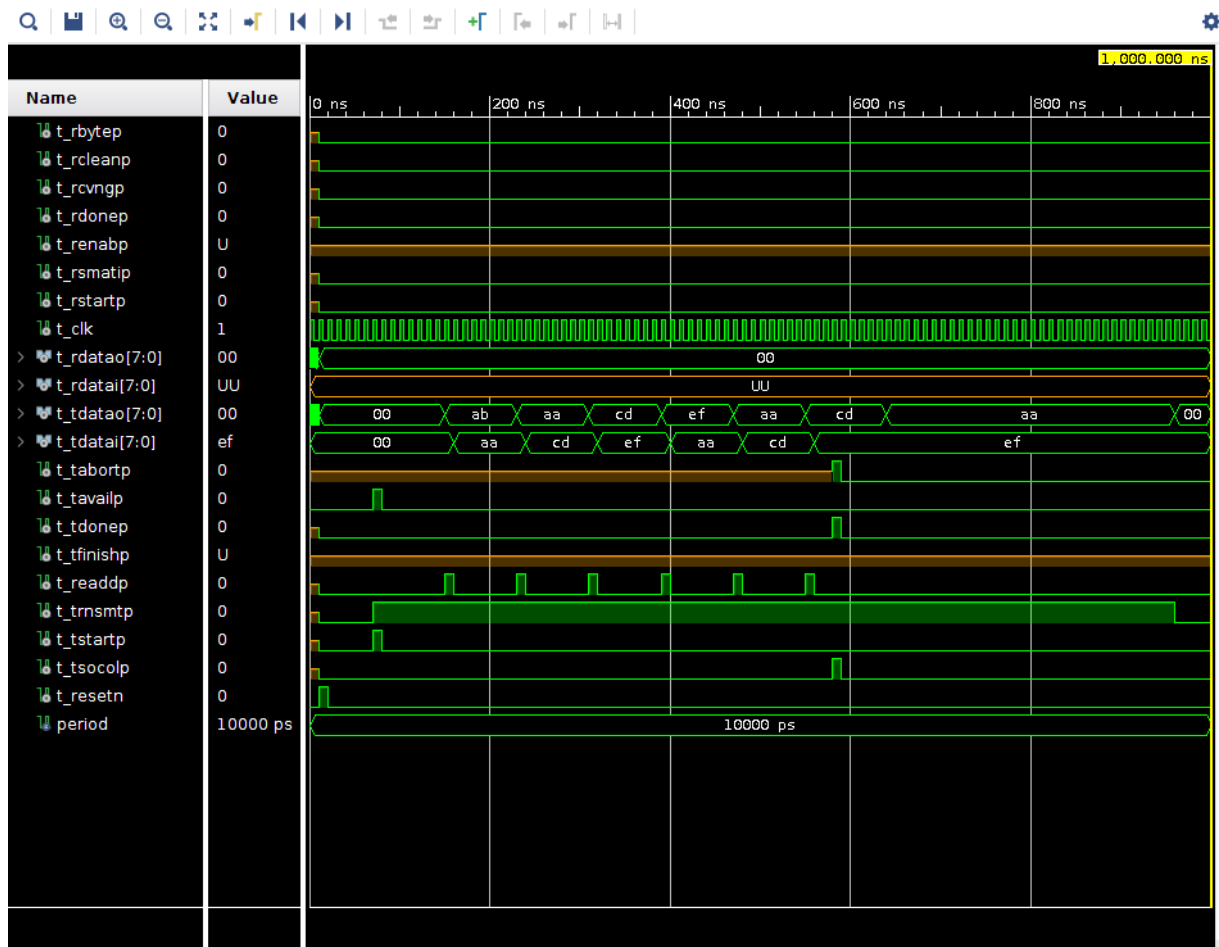
Nous avons implémenté une transmission fonctionnelle : on transmet d'abord le SFD, puis l'adresse destination donnée par le host, puis la node address.

i. Test de la transmission d'une trame valide



On observe le début de la transmission après la mise à 1 de availp. Le contrôleur envoie bien la node address après avoir terminé d'envoyer l'adresse de destination, ici AA:CD:EF:AA:CD:EF. On ne peut malheureusement pas observer la fin de la transmission car la simulation est trop courte.

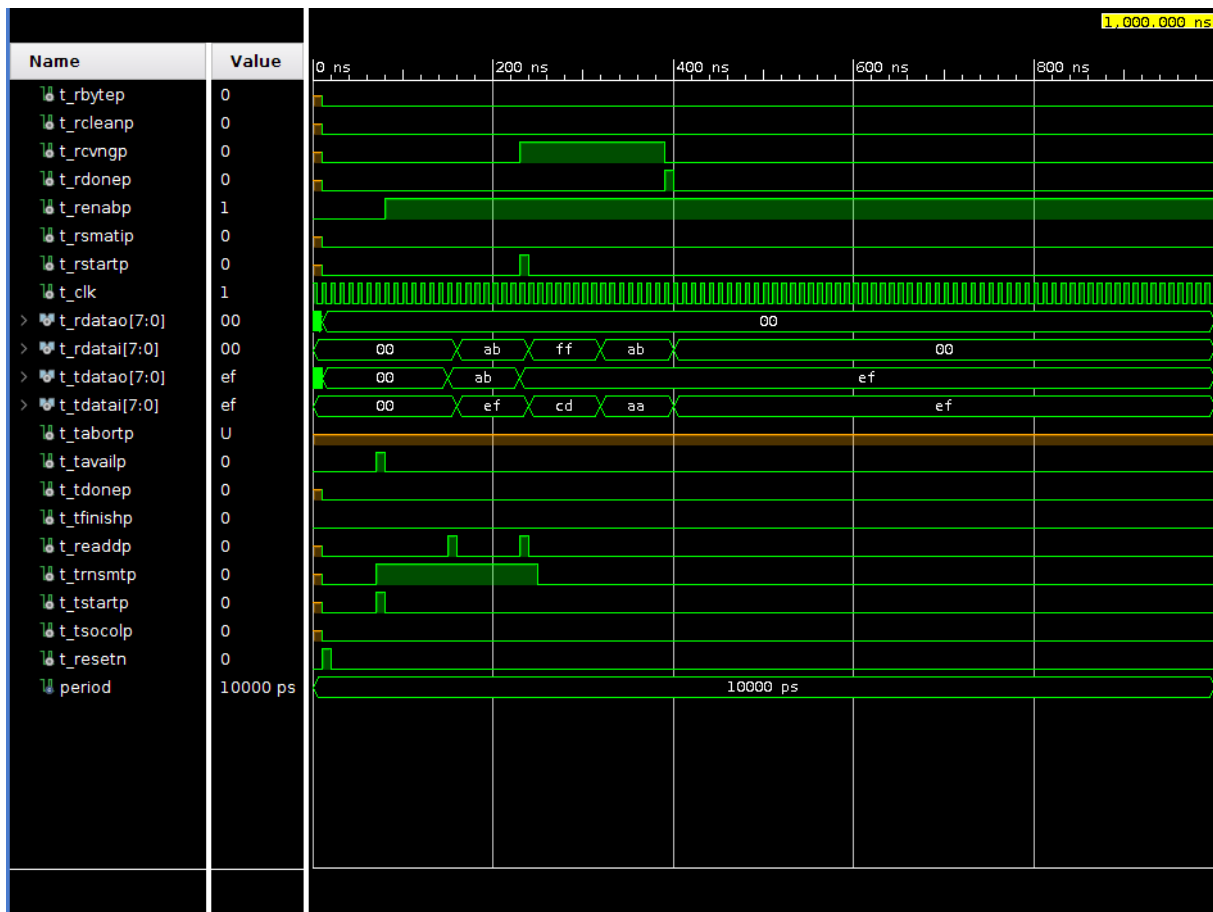
ii. Abort d'une transmission



On observe bien l'interruption de la transmission sur **tdatao** après la levée du signal **tabortp**.

3. Collision

Nous avons implémenté un process gérant les collisions qui arrête la transmission si une réception et une transmission ont lieu en même temps.



On observe bien que le signal trnsmtmp passe à 0 après détection de la collision et que l'on arrête de transmettre.

III. Fonctionnalités supplémentaires

Nous avons également implémenté la génération de nombres pseudo aléatoires mais n'avons pas eu le temps de l'utiliser pour programmer une retransmission après détection d'une collision.

```
collision: process
  variable NbShift : integer := 0;
  begin
    wait until rising_edge(CLK10I);
    if AuxRCVNGP='1' and isTransmitting='1' then -- collision : on arrête de transmettre
      collisionDetected<='1';
    elsif collisionDetected = '1' then
      auxCollision <= randomNumberGenerator(0) xor randomNumberGenerator(1);
      randomNumberGenerator(1 downto 0)<= auxCollision & randomNumberGenerator(1 downto 1);
      NbShift := NbShift + 1;
    elsif NbShift = 2 then
      BackOffTime <= '1';
      collisionDetected<='0';
    end if;
  end process collision;
```

IV. Synthèse

1. Taille du circuit

La synthèse nous donne une taille de 254 bascules D pour notre circuit.

2. Fréquence de fonctionnement

Nous avons obtenu un WNS (worst negative slack : temps entre deux bascules) minimal pour une clock en contrainte à 16ns.

On a alors $WNS = 0.128ns$ soit une fréquence de fonctionnement maximale $f = 7,8GHz$.