```
tb behave
+ clk0 period
+ clk1 period
+ inst0 mode
+ inst0 trxiqpulse
+ inst0 ddr en
+ inst0 mimo en
+ inst1 ch en
+ inst0 fidm
+ inst0 DIQ
+ inst0 fsync
+ inst1 fifo wrreq
+ inst1 fifo wdata
+ clk0
+ clk1
+ reset n
+ clock0()
+ clock()
+ res()
```