

计算机组成原理实验

2023

同济大学 软件学院

黄杰；张晶

济事楼 514；456

huangjie@tongji.edu.cn

jzhang@tongji.edu.cn

实验2:

译码器和选择器实验

- 实验目的
 - 掌握译码器的逻辑功能
 - 掌握数据选择器的逻辑功能
- 主要实验设备
 - 数字逻辑实验系统
 - 74LS138 3线-8线译码器
 - 74LS153 双四选一数据选择器

关于组合逻辑电路

- 组合逻辑电路的特点：任意时刻的输出仅仅取决于当前时刻的输入，即输出仅与输入有关。
- 对于一个特定的逻辑问题，其对应的真值表是惟一的，但实现它的逻辑电路可以是多种多样的。
- 设计组合电路就是用电路形式来实现逻辑表达式，电路设计原则是简单、经济、可靠，可以用门电路搭建，也可以采用各种集成器件。
- 常见的组合逻辑电路有：编码器、译码器、选择器、分配器、比较器、加法器等。

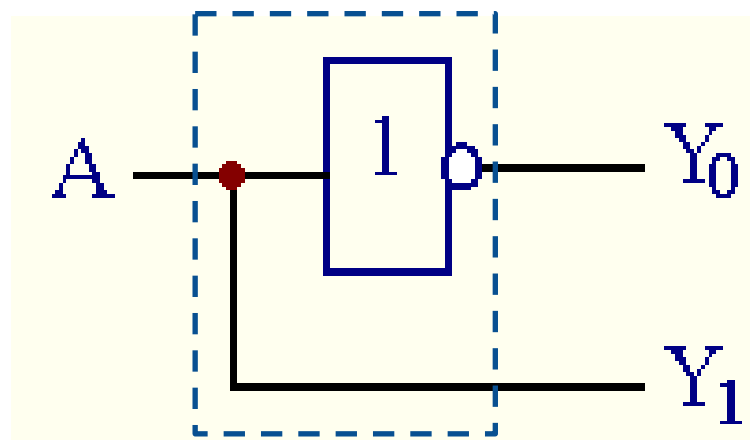
译码器工作原理

- 译码器(decoder)是一种具有“翻译”功能的多输入多输出的组合逻辑电路器件。
- 译码器的功能：将每一组编码序列信号转换为一个特定的输出信号
 - 译码器的输入：一组编码序列信号
 - 译码器的输出：一条特定的译码信号（与每组输入信号对应）
- 译码器的工作原理：当某组编码进入输入端时，相应的译码线输出为低电平，与此同时，其他所有译码线输出保持为高电平。
- 通常，译码器的输出端与输入端的数量关系为 (2^n)

译码器示例 (1)

- 从最简单的开始:
- 用一个非门来实现1线-2线译码 ($2^1=2$)

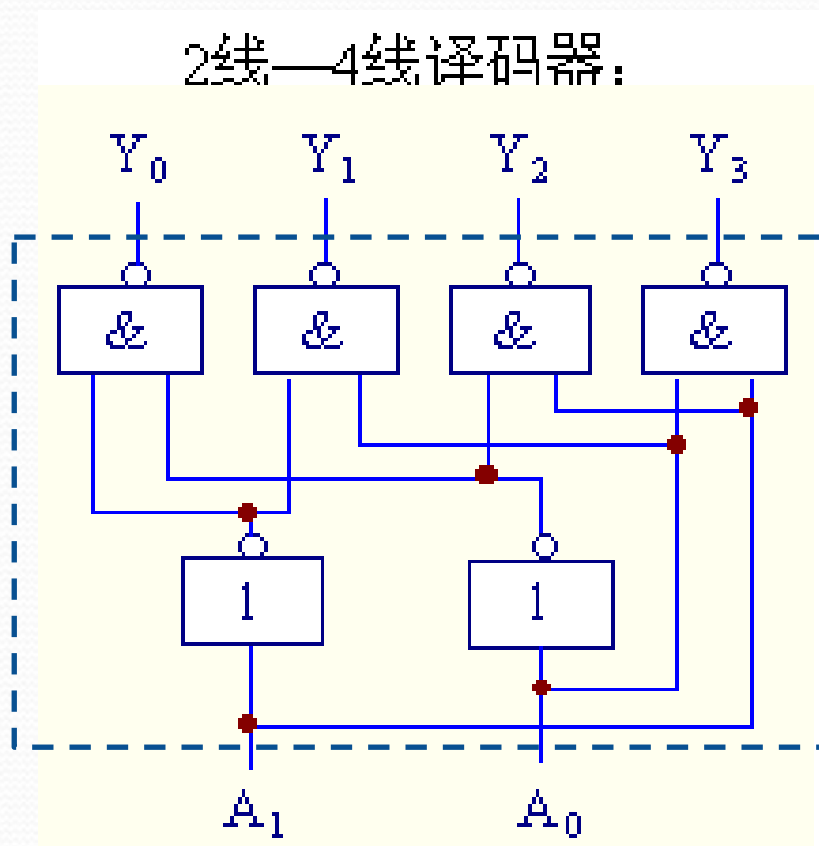
1线—2线译码器:



表达式: $Y_0 = \bar{A}$ $Y_1 = A$

译码器示例 (2)

- 2线-4线译码器($2^2=4$)



表达式：

$$Y_0 = \overline{\overline{A_1} \overline{A_0}}$$

$$Y_1 = \overline{\overline{A_1} A_0}$$

$$Y_2 = \overline{A_1 \overline{A_0}}$$

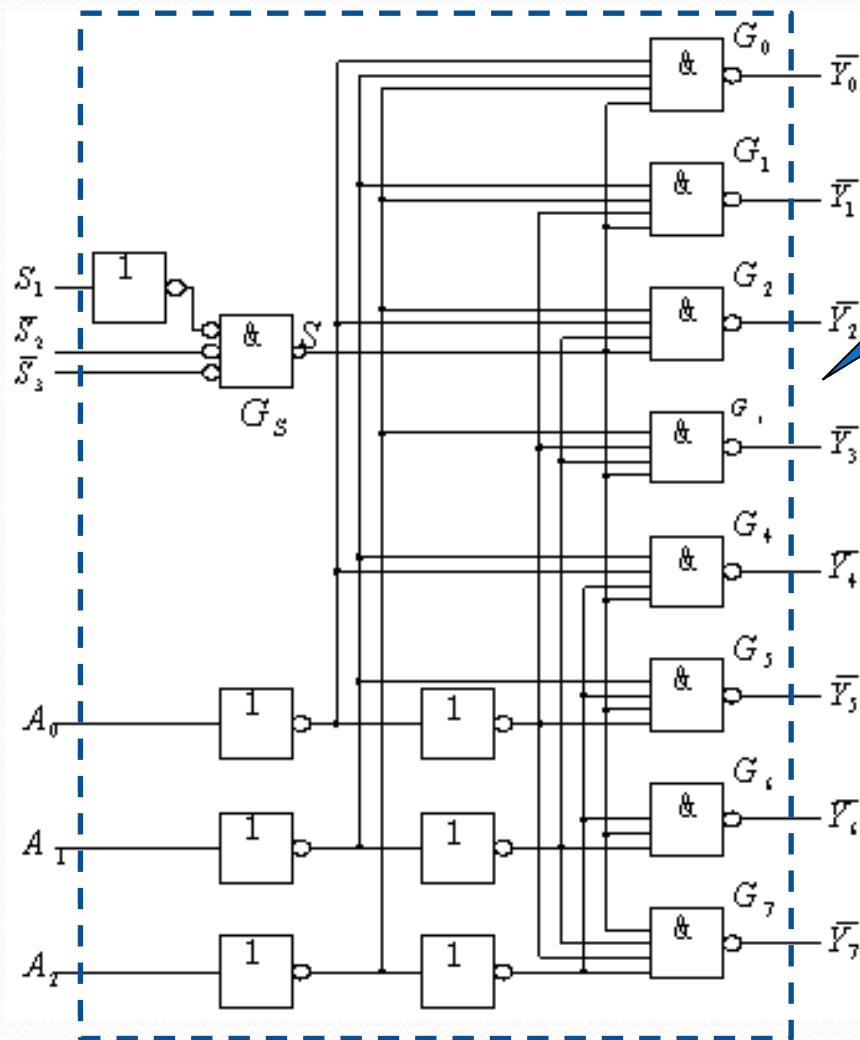
$$Y_3 = \overline{A_1 A_0}$$

译码器示例 (3)

- 3线-8线译码器逻辑原理图

控制信号

编码信号



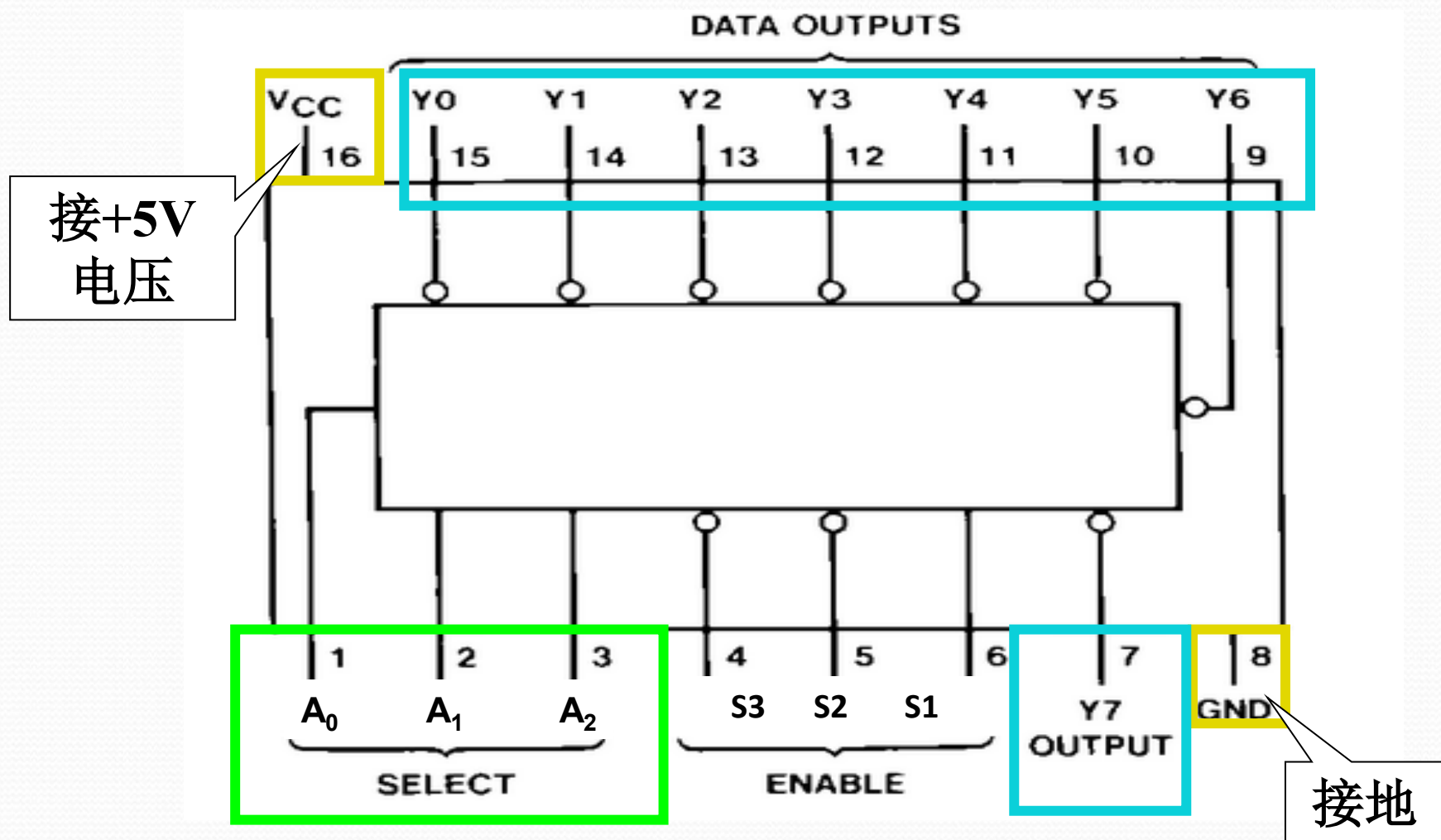
3线-8线译码器
逻辑表达式?

■ 关于控制信号:

集成电路除了输入和输出，通常还配置一些控制端，用来实现使能（enable）、级联、控制等操作

实验内容1:

74LS138 (3线-8线译码器) 功能验证



74LS138的控制端

- 74LS138有三个控制输入端 S_1 、 S_2 和 S_3 。
- 仅当 $S_1=1$ 、 $S_2+S_3=0$ 时，译码器处于工作状态。
- 否则译码器不工作，此时，所有的输出端被封锁在高电平（译码功能被禁止）。
- 这三个控制端也叫做“片选”输入端，利用片选的作用可以将多片连接起来以扩展译码器的功能。

74LS138逻辑功能表

| 输 入 | | | | | 输 出 | | | | | | | |
|-------|-----------------------------------|-------|-------|-------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|
| S_1 | $\overline{S_2} + \overline{S_3}$ | A_2 | A_1 | A_0 | $\overline{Y_0}$ | $\overline{Y_1}$ | $\overline{Y_2}$ | $\overline{Y_3}$ | $\overline{Y_4}$ | $\overline{Y_5}$ | $\overline{Y_6}$ | $\overline{Y_7}$ |
| 0 | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| X | 1 | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

- 注意：编码序列的下标应保持高位在左边

74LS138的工作方式

- 当74LS138的八个输出引脚 $Y_0 \sim Y_7$ 全为高电平1，表示芯片处于不工作状态；
- 当74LS138的输出有且仅有一个为低电平0，其余7个输出引脚全为高电平1，表示芯片处于正常工作状态，我们也可以根据呈现低电平的输出引脚编号找到对应输入的编码序列。
- 如果出现多个输出引脚同时为0的情况，说明该芯片输出异常，译码逻辑失效。

思考题1:

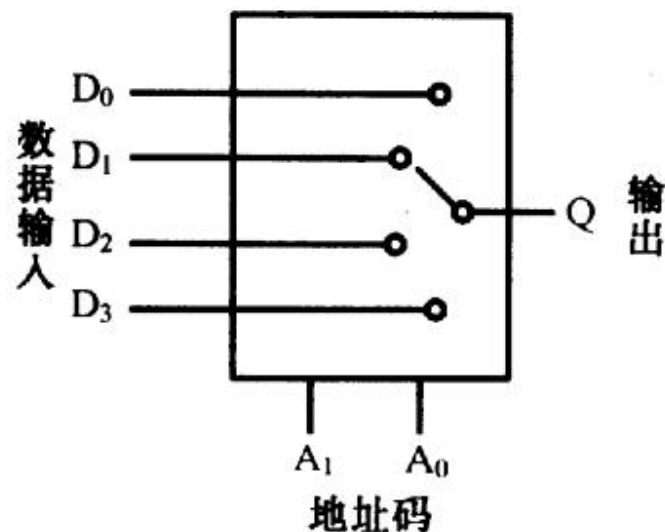
- 能否用两个三变量译码器（138芯片）构成一个四变量译码器？试画出接线原理图并在实验箱进行验证。
- 提示：需选择合适的门电路配合工作。

数据选择器工作原理

- 数据选择器是一个多输入、单输出的组合逻辑电路。
- 基本功能：在**选择信号**的控制下，从多路输入数据中选择其中的一路数据作为输出。
- 选择信号是一组编码序列，也称为地址编码信号。
- 用数据选择器可以实现数据的多路分时传送。

数据选择器原理图

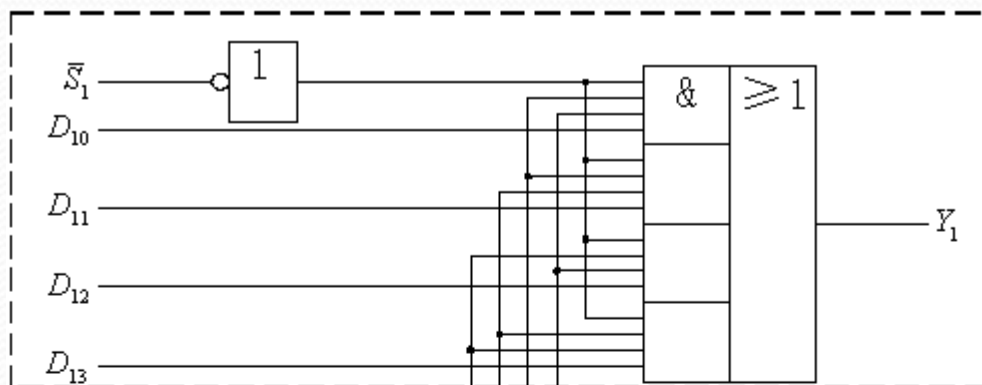
- 通常，一个数据选择器包含有：
 - n 个地址选择端
 - 2^n 个数据输入端
 - 一个数据输出端
 - 还有选通功能端（控制端）



四选一数据选择器原理图

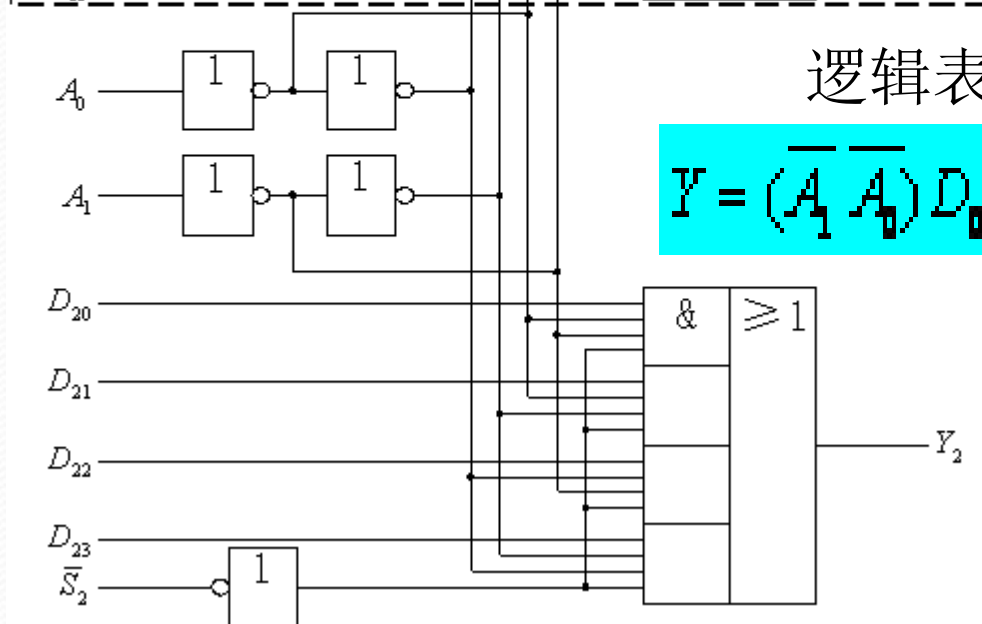
74LS153

• 双四选一数据选择器逻辑原理图



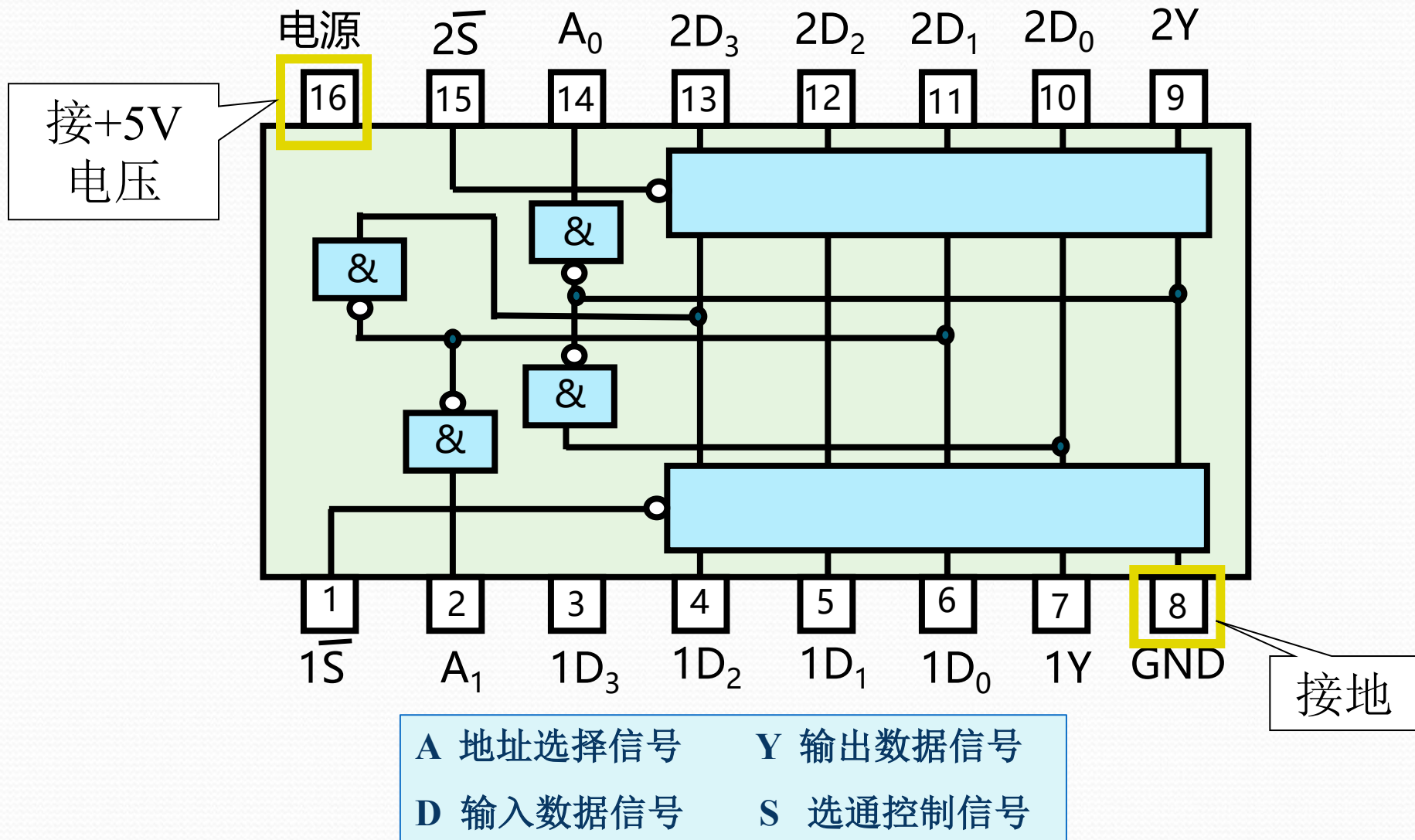
逻辑表达式（其中一个四选一）

$$Y = (\bar{A}_1 \bar{A}_0) D_0 + (\bar{A}_1 A_0) D_1 + (A_1 \bar{A}_0) D_2 + (A_1 A_0) D_3$$



实验内容2:

74LS153 (双四选一数据选择器) 功能验证



74LS153

- 双四选一数据选择器逻辑功能表

| 选通端 | 地址端 | | 输出端 |
|------------------------|-------|-------|------------|
| $\bar{S}_1(\bar{S}_2)$ | A_1 | A_0 | $Y_1(Y_2)$ |
| 1 | X | X | 0 |
| 0 | 0 | 0 | D_0 |
| 0 | 0 | 1 | D_1 |
| 0 | 1 | 0 | D_2 |
| 0 | 1 | 1 | D_3 |

选通控制端S为低电平有效，
S=0时芯片被选中，处于工作状态；
S=1时芯片被禁止，输出Y=0。

由地址编码 A_1A_0 决定从4路
输入 $D_0\sim D_3$ 中选择哪1路输出

思考题2:

- 用两个四选一数据选择器能否构成八选一选择器？试画出接线原理图并在实验箱进行验证。
- 提示：需选择合适的门电路配合工作。

译码器和选择器实验

- 本期实验报告要点
 - 3线-8线译码器的逻辑表达式
 - 74LS138芯片逻辑功能表
 - 四选一数据选择器的原理图、逻辑表达式和功能表
 - 思考题1和思考题2
 - 实验小结