

# 计算机组成原理实验

## 2023

同济大学 软件学院

黄杰；张晶

济事楼 514；456

[huangjie@tongji.edu.cn](mailto:huangjie@tongji.edu.cn)

[jzhang@tongji.edu.cn](mailto:jzhang@tongji.edu.cn)

# 实验4:

## 触发器实验

- 实验目的
  - 用与非门构成基本R-S触发器
  - 集成J-K触发器功能测试
  - 集成D触发器功能测试
  - 用D触发器构成分频器
- 主要实验设备
  - 数字逻辑实验系统
  - 74LS00 - 2输入端四与非门
  - 74LS112 - 双J-K触发器
  - 74LS74 - 双D触发器

# 时序电路

- 前几个实验学习的芯片，都是常规的组合逻辑电路，即电路输出仅与当前输入有关。当输入信号确定，则输出状态确定。
- 本实验学习触发器，是一种时序电路。
- 时序电路的输出不仅与当前的输入信号有关，还和电路的先前状态有关。
- 可以认为，时序电路是一种具有“记忆功能”的电路。



# 时序电路

- 从电路的组成上来看，时序逻辑电路一定包含有触发器。
  - 时序逻辑电路的基本单元是触发器
  - 组合逻辑电路的基本单元是门电路

# 触发器

- 触发器是一种具有存储和记忆功能的单元电路，可用于接收、存储、输出二进制代码0和1
- 从时序关系来看，触发器的次态不仅与输入信号状态有关，而且与触发器的现态有关
  - 触发器接受输入信号之前的状态叫做现态
  - 触发器接受输入信号之后的状态叫做次态
  - 现态和次态是两个相邻离散时间里触发器的输出端的状态
  - 现态和次态是一组相对的关系



# 触发器

- 触发器分为双稳态、单稳态和无稳态触发器（多谐振荡器）
- 双稳态触发器输出有两个稳定状态0和1
- 本实验所涉及的几种触发器都是双稳态触发器
  - 基本R-S触发器
  - JK触发器
  - D触发器

# 基本R-S触发器

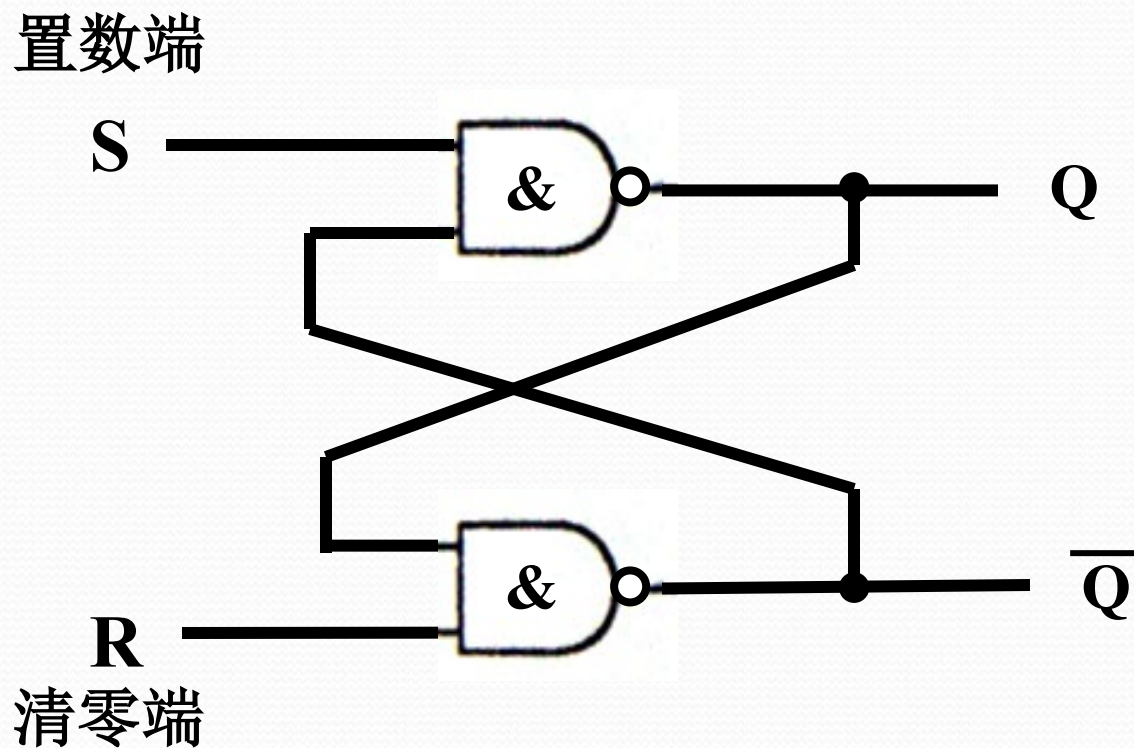
- 基本RS触发器是一种最简单的触发器，是构成其他各种触发器的基础
- 其电路具有两个稳定状态，在无外来触发信号作用时，电路将保持原状态不变
- 在外加有效触发信号时，电路会触发翻转，实现置0或置1
- 基本R-S触发器的约束条件：
  - 在稳定状态下，两个输出端的状态必须是互补关系



# 实验内容1:

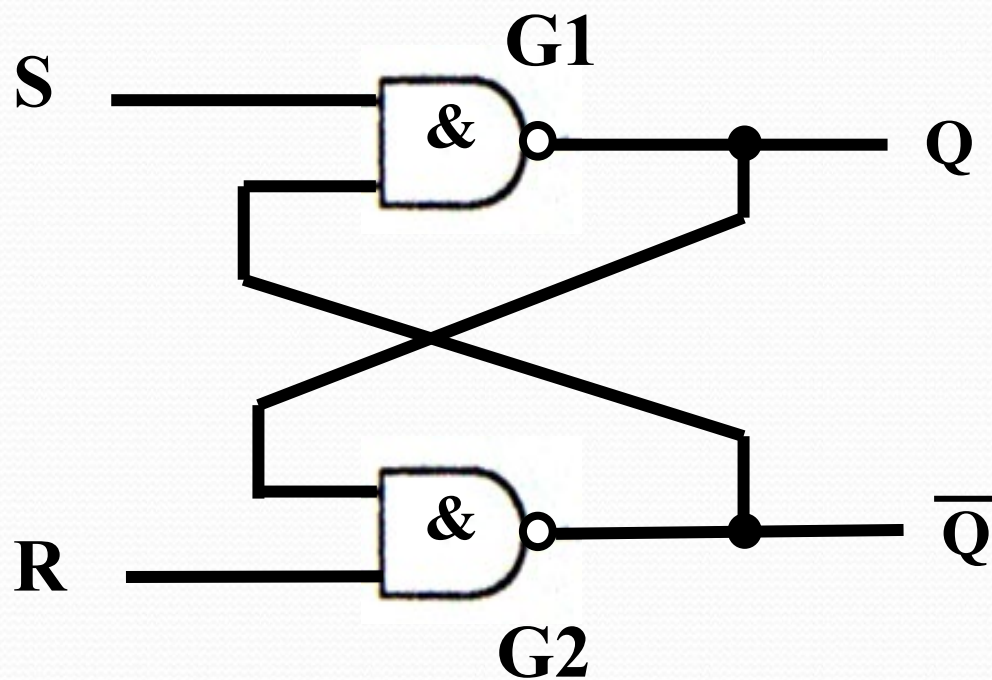
## 用门电路构建基本R-S触发器

- 两个与非门构成基本R-S触发器





# 基本R-S触发器工作原理



违反了基本R-S  
触发器的约束条件

$$S = 0, R = 0: \quad Q^{n+1} = \overline{S \bullet \overline{Q}} = \overline{0 \bullet \overline{Q}} = 1$$

$$\overline{Q}^{n+1} = \overline{R \bullet Q} = \overline{0 \bullet Q} = 1$$

状态不定

# 基本R-S触发器工作原理

- 分四种情况来讨论触发器的逻辑功能。
- 1、  $RD=0$ ,  $SD=1$  (置0)
  - 当  $RD=0$  时, 无论触发器原来的状态如何, 都有  $Q\sim=1$ ; 这时门  $G_1$  的两输入端都为1, 则有  $Q=0$ , 所以触发器置为0态。
  - 触发器置0后, 无论  $RD$  变为1或为0, 只要  $SD$  保持高电平 ( $SD=1$ ), 触发器保持0态, 因而  $RD$  端称为置0端或复位端。
- 2、  $RD=1$ ,  $SD=0$  (置1)
  - 因  $SD=0$ , 无论  $Q\sim$  的状态如何, 都有  $Q=1$ ; 所以, 触发器被置为1态。一旦触发器被置为1态之后, 只要保持  $RD=1$  不变, 即使  $SD$  由0跳变为1, 触发器仍保持1态。  $SD$  端称为置1端或置位端。

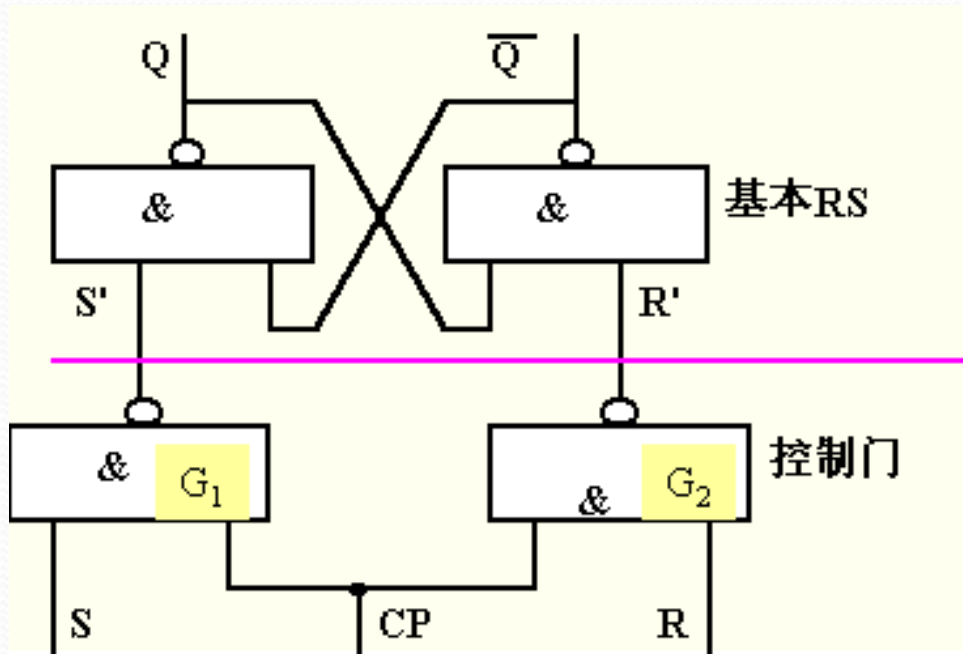


# 基本R-S触发器工作原理

- 3、 $RD=1$ ,  $SD=1$ （保持）
  - 设触发器处于0态，即 $Q=0$ ,  $Q\sim=1$ 。根据触发器的逻辑电路图，此时 $Q=0$ 反馈到门 $G_2$ 的输入端，从而保证了 $Q\sim=1$ ；而 $Q\sim=1$ 反馈到门 $G_1$ 的输入端，与 $SD=1$ 共同作用，又保证了 $Q=0$ 。因此触发器仍保持了原来的0态。
  - 设触发器处于1态，即 $Q=1$ 、 $Q\sim=0$ 。 $Q\sim=0$ 反馈到门 $G_1$ 的输入端，从而保证了 $Q=1$ ；而 $Q=1$ 反馈到门 $G_2$ 的输入端，与 $RD=1$ 共同作用，又保证了 $Q\sim=0$ 。因此触发器仍保持了原来的1态。
  - 可见，无论原状态为0还是为1，当 $RD$ 和 $SD$ 均为高电平时，触发器具有保持原状态的功能，也说明触发器具有记忆0或1的功能。
- 4、 $RD=0$ ,  $SD=0$ （不定）
  - 无论触发器原来状态如何，只要 $RD$ 、 $SD$ 同时为0，都有 $Q=Q\sim=1$ ，不符合 $Q$ 和 $Q\sim$ 互反的逻辑状态要求。
  - 一旦 $RD$ 和 $SD$ 由低电平同时跳变为高电平，由于门的传输延迟时间存在差异，使得触发器的状态不确定。因此在使用中应该禁止这种情况的发生。

# 同步R-S触发器（了解）

- 4个与非门构成同步R-S触发器



时钟信号

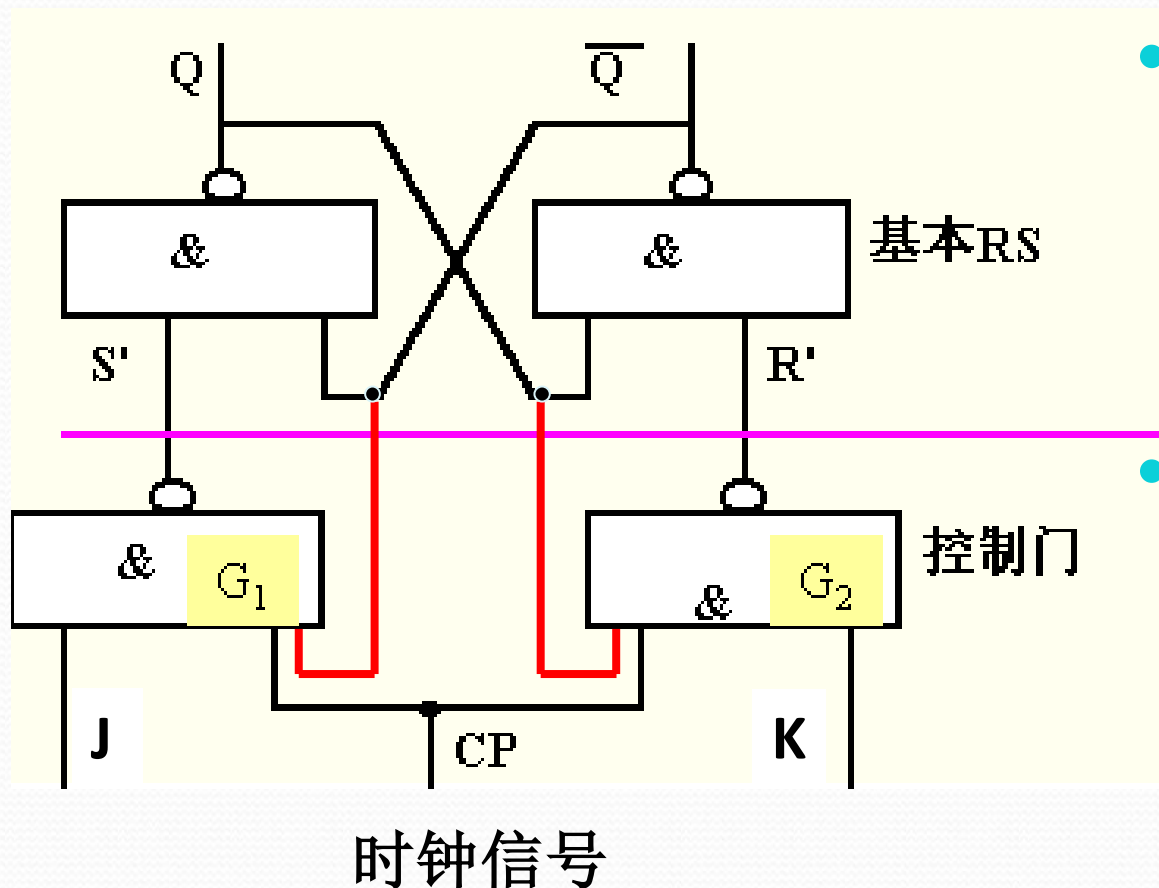
脉冲信号

- 当 $CP=0$ 时， $G_1$ 、 $G_2$ 门被封锁， $S'=R'=1$ ，触发器处于保持状态（输出不变）
- 当 $CP=1$ 时， $G_1$ 、 $G_2$ 门打开， $Q$ 随 $S$ 、 $R$ 变化，触发器处于工作状态（电路状态分析与基本RS触发器正好相反）
- 同步触发器仅仅是引入了时钟控制信号，但是仍然存在不定状态的问题



# JK触发器

- 同步R-S触发器转换成JK触发器



- 当 $CP=0$ ,  $G_1$ 、 $G_2$ 门被封锁,  $S'=R'=1$ ,  $Q$ 不变, 触发器处于保持状态
- 当 $CP=1$ ,  $G_1$ 、 $G_2$ 门打开,  $Q$ 随 $J$ 、 $K$ 变化, 触发器在工作状态

# 实验内容2:

## JK触发器逻辑功能验证

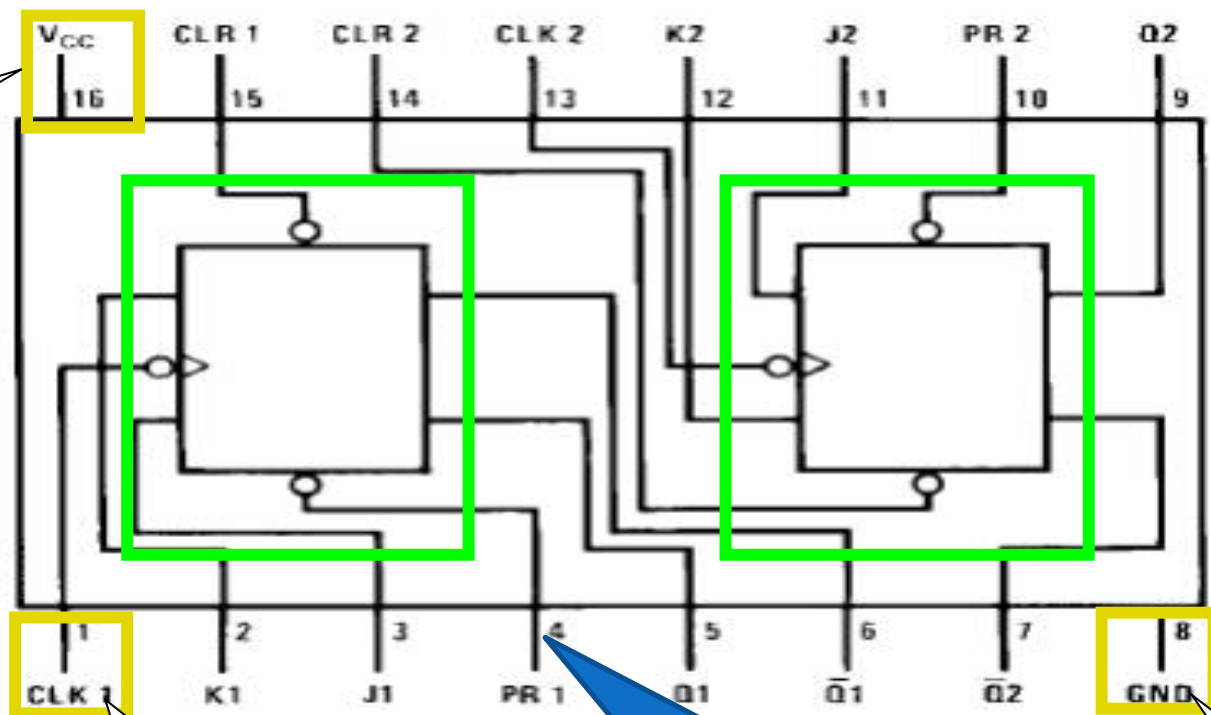
$CP$	$J$	$K$	$Q^n$	$Q^{n+1}$	功能
0	×	×	×	$Q^n$	$Q^{n+1} = Q^n$ 保持
1	0	0	0	0	$Q^{n+1} = Q^n$ 保持
1	0	0	1	1	
1	0	1	0	0	$Q^{n+1} = 0$ 置 0
1	0	1	1	0	
1	1	0	0	1	$Q^{n+1} = 1$ 置 1
1	1	0	1	1	
1	1	1	0	1	$Q^{n+1} = \overline{Q}^n$ 翻转
1	1	1	1	0	

- 注意：实验所用的 112 芯片为下降沿触发



# 74LS112

- 集成双J-K触发器



接+5V  
电压

接单次脉冲

注意4、15引脚的作用

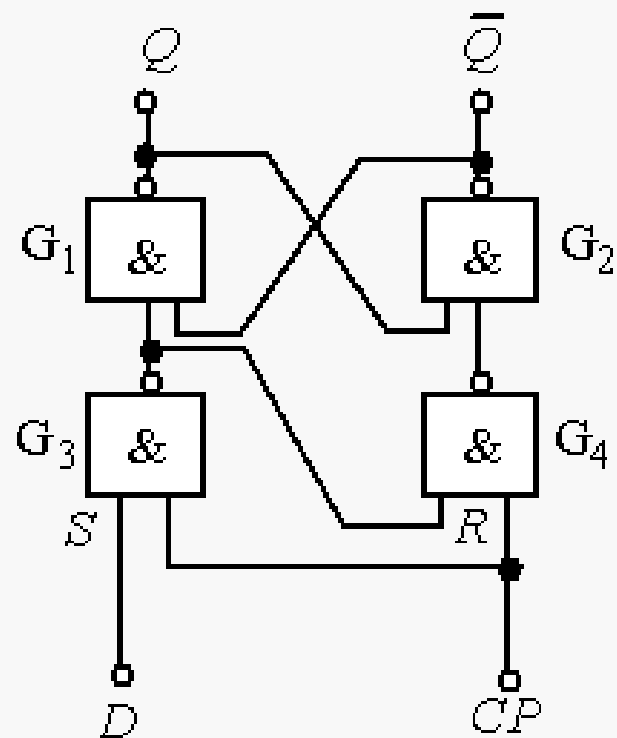
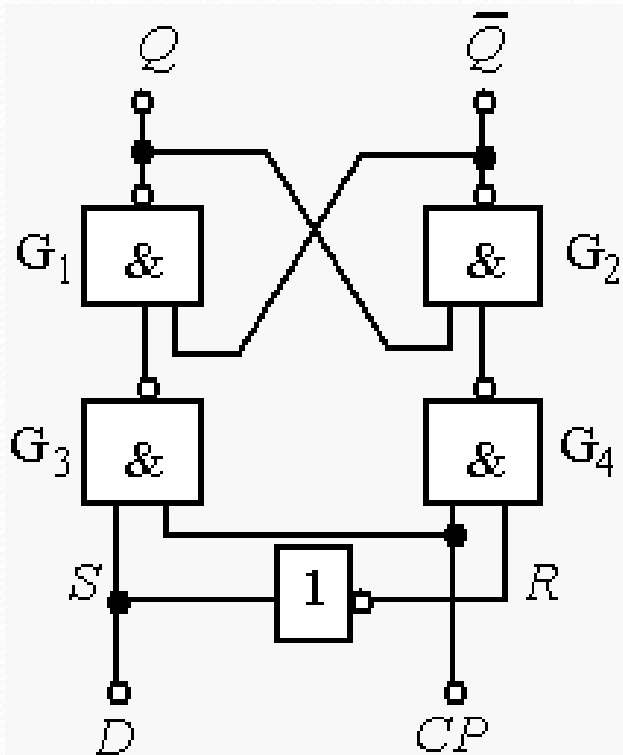
接地

# D触发器

- RS触发器存在不定状态，JK触发器存在空翻和振荡，D触发器避免了这些问题
- D触发器是利用触发器翻转时内部产生的反馈信号使触发器翻转后的状态 $Q^{n+1}$ 得以维持，并阻止其向下一个状态转换（即空翻）而实现克服空翻和振荡



# D触发器的两种接线方法



# 实验内容3:

## D触发器功能验证

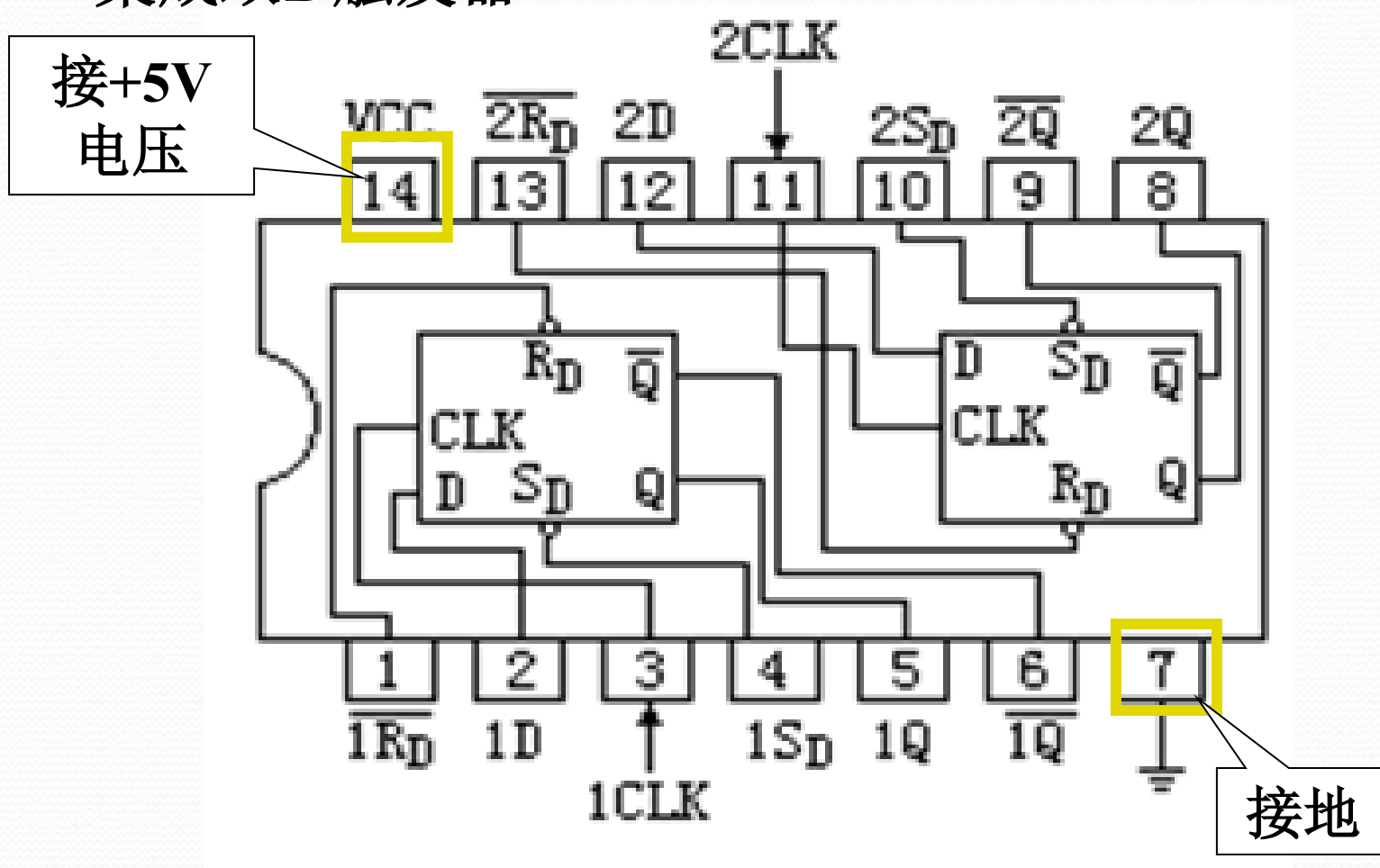
- 当CP=0时，D触发器不工作，处于保持状态
- 当CP产生上升沿时，触发器在工作状态

CP	D	$Q^n$	$Q^{n+1}$	功能
↑	0	0	0	清
↑	0	1	0	零
↑	1	0	1	置
↑	1	1	1	位

- 注意：实验所用的 74 芯片为上升沿触发
- 在上升沿到来时，D触发器的次态与输入D保持一致

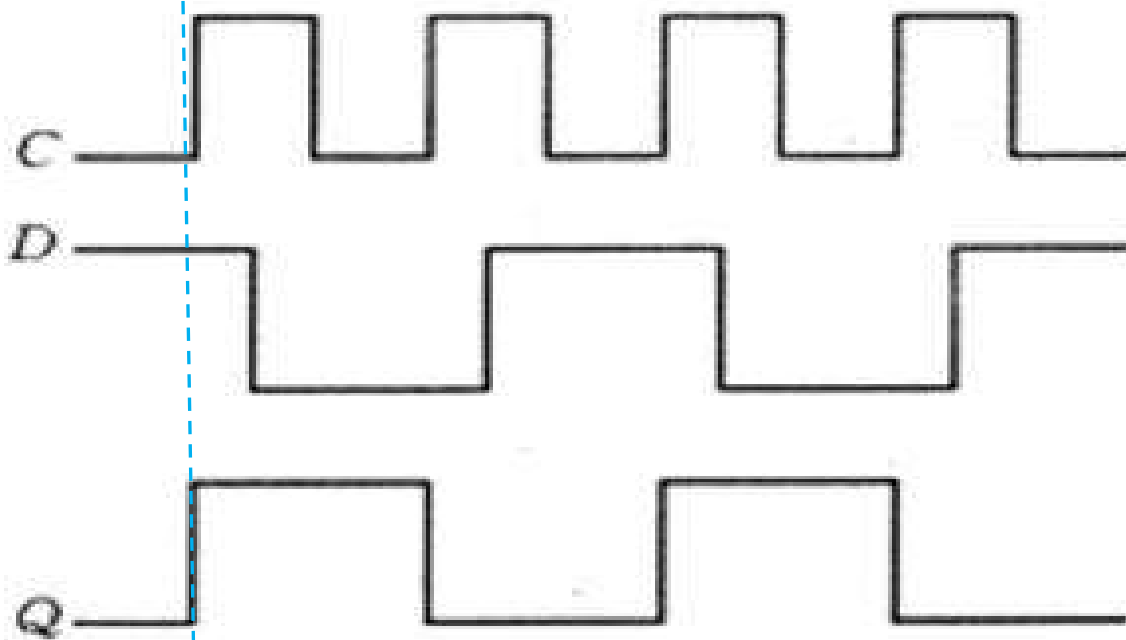
# 74LS74

- 集成双D触发器



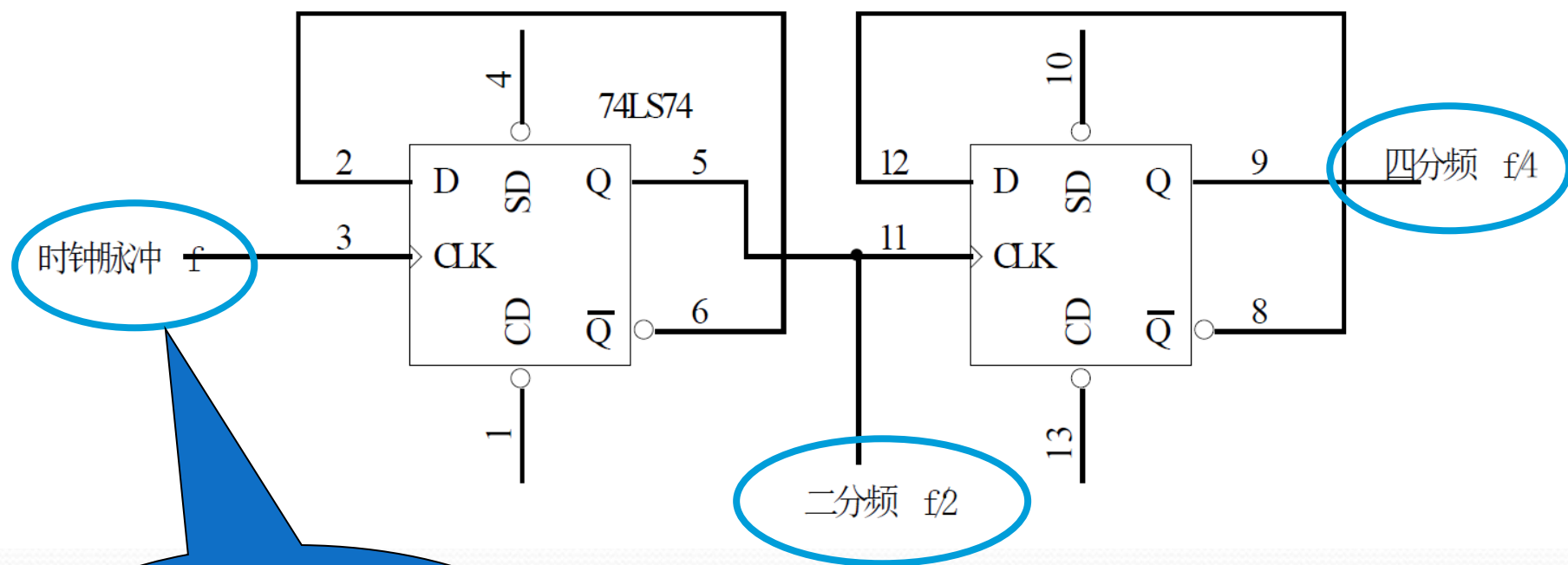


# D触发器工作波形示意



# 实验内容4:

## 用74LS74构成二、四分频电路



- 先接低频段连续脉冲观看现象
- 再改接到手动单次脉冲观察并记录波形

- 观察 $f$ 、 $f/2$ 、 $f/4$ 之间的频率关系
- 根据单次脉冲画出频率关系波形图，注意上升沿和下降沿的区别



# 触发器

- 本次实验报告要点
  - 三种类型触发器：基本RS触发器、JK触发器和D触发器的逻辑原理图和逻辑功能表，并分别简述各自的工作原理
  - 用74LS74芯片构成二、四分频电路的逻辑原理图，画出 $f$ 、 $f/2$ 、 $f/4$ 频率波形图，并分析其工作原理（三个波形的初始状态都设为低电平，画满至少一个周期）
  - 实验小结