

总线基本实验

- **实验目的**

- 理解系统总线工作方式
- 掌握控制总线的功能和应用

- **实验原理**

- 寄存器、存储器和I/O部件挂接到总线
- 各部件由三态门信号控制
- 实验数据主要流程：输入→寄存器→存储器→寄存器→输出LED指示

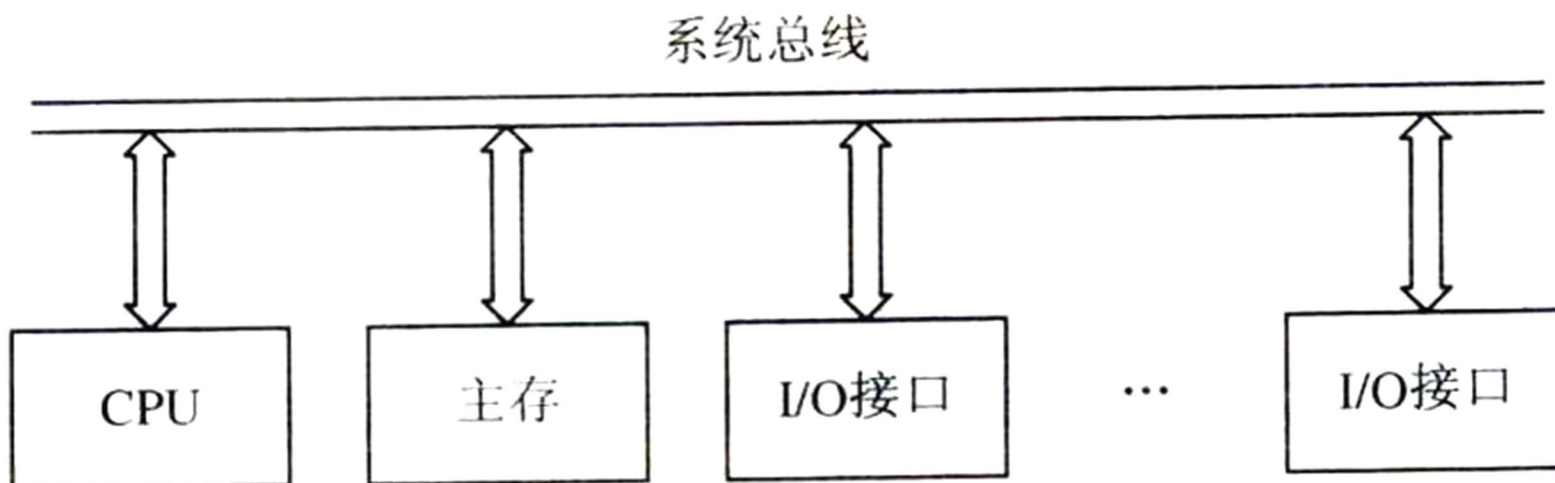
总线基本概念

- **总线是计算机各部件之间进行数据传输的公共通路，是一组导线和相关的控制、驱动电路的集合**
 - 数据总线、地址总线、控制总线
- **计算机各部件挂接在外部总线上，通过三态门控制**
- **外部总线和 CPU 内总线之间通过三态门连接，实现了内外总线的分离和数据流向的控制。**
- **同一时刻只能有一个部件占用总线发送信息，但可以有多个部件通过总线接收信息**

总线连接方式

- 单总线连接方式

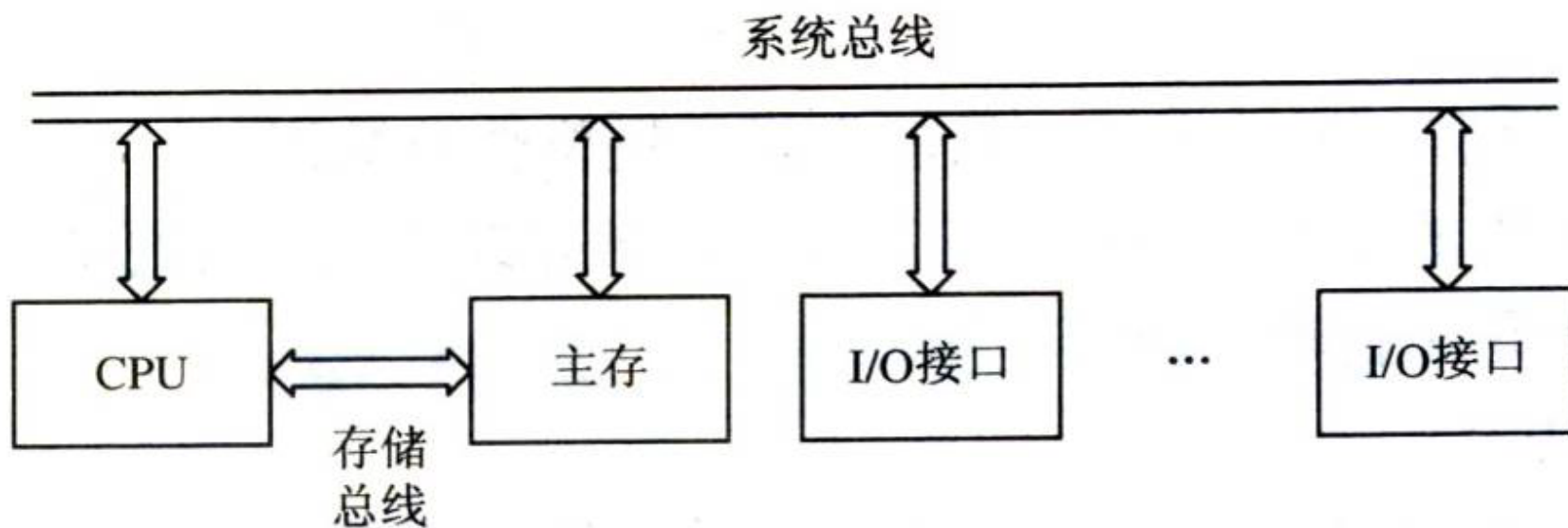
- CPU、主存和I/O设备同挂接在一条总线上
- 结构简单，易于扩展
- 高速的存储器与低速的I/O接口竞争总线，影响存储器的读写速度，数据传输效率受限制



总线连接方式

- 双总线连接方式

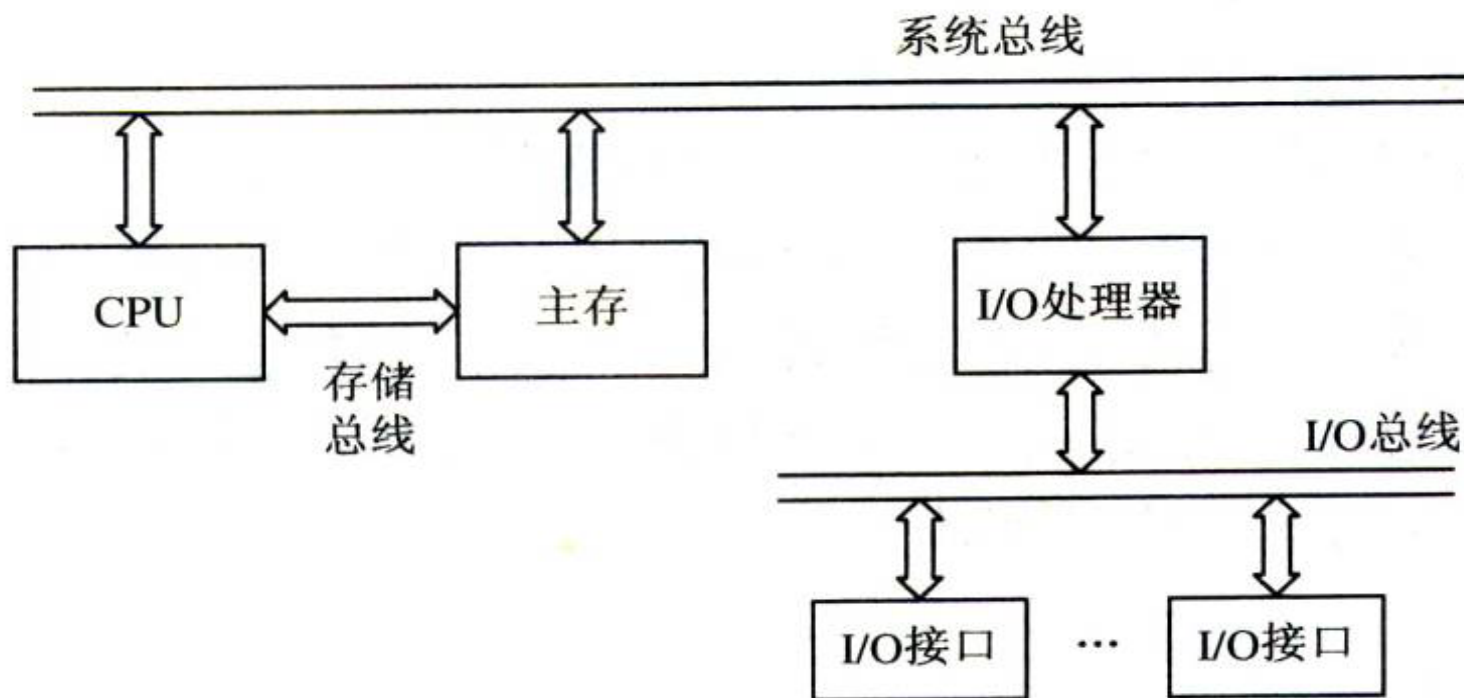
- 在单总线结构基础上，增加一条CPU和主存之间的高速存储总线，减轻系统总线的负担
- 内存和外设之间仍然通过系统总线实现DMA操作，无须经过CPU



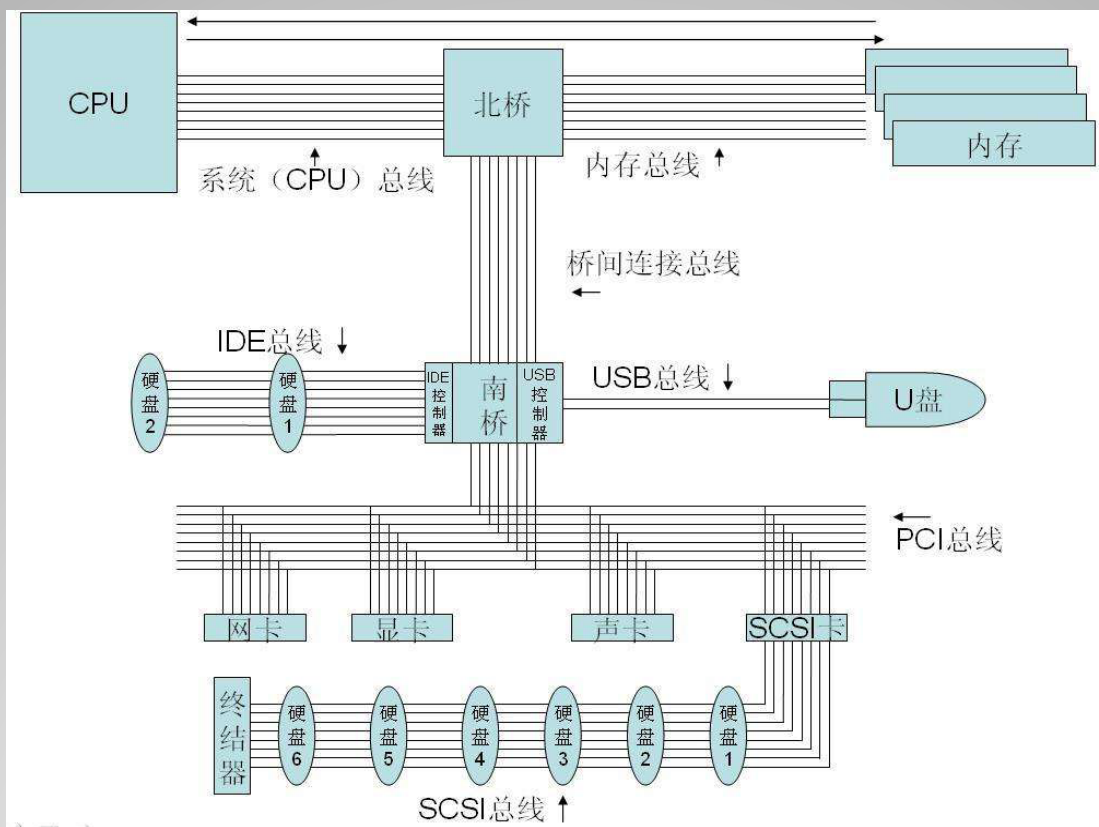
总线连接方式

- 三总线连接方式

- 在双总线结构基础上，增加I/O处理器
- 统一管理多个I/O接口，大大提高传输效率



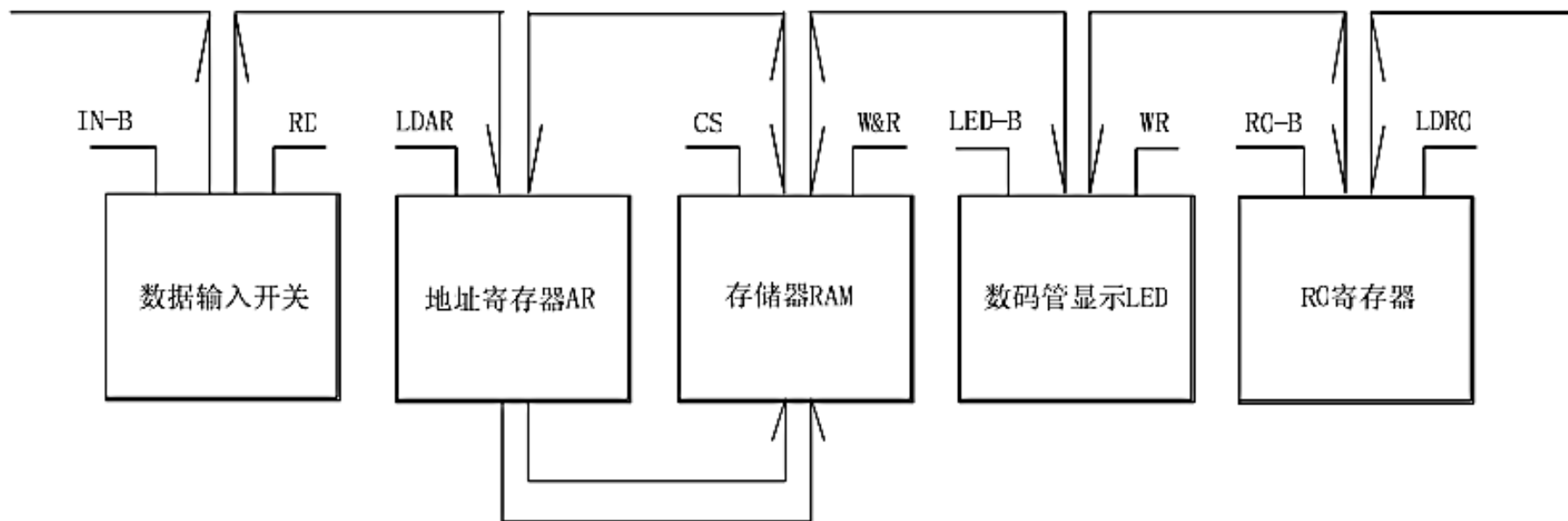
现代计算机总线结构示例



- 北桥：处理高速信号，包括CPU，RAM（存储器），AGP端口或PCI-E，以及与南桥芯片之间的通信。
- 南桥：主要处理I/O总线之间的通信，

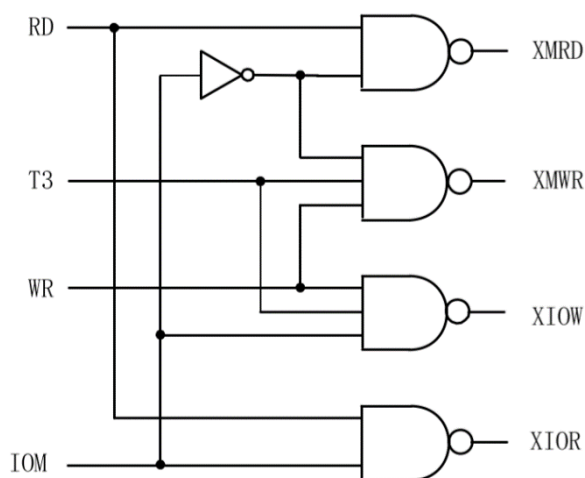
总线基本实验

- 总线传输实验原理图



总线基本实验

- 读写控制逻辑：WR、RD、IOM控制信号

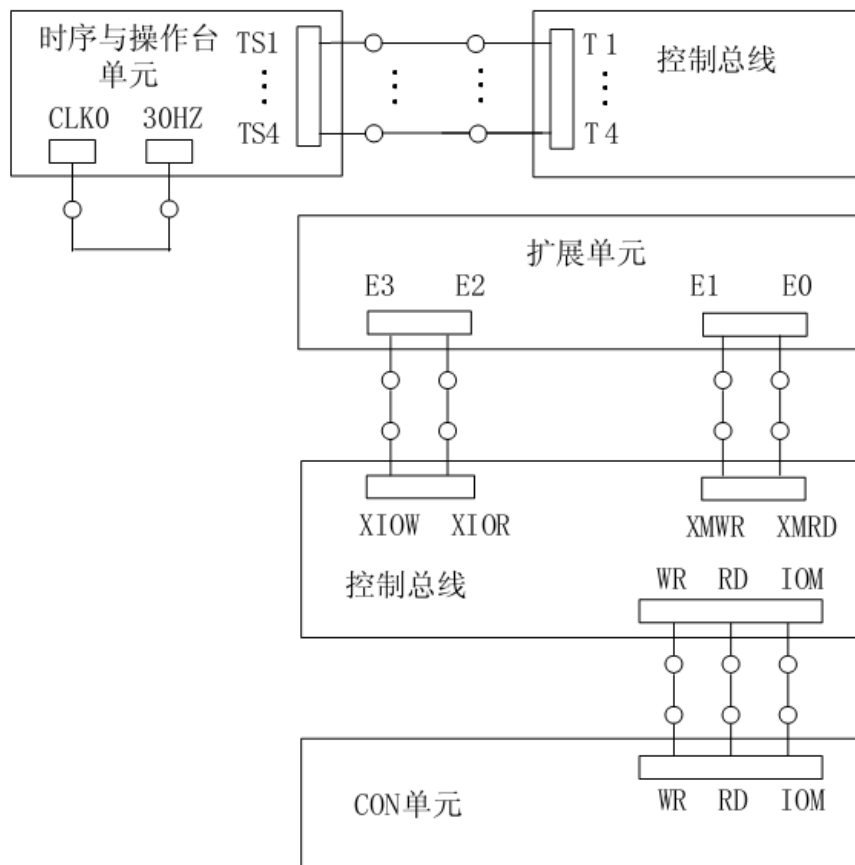


WR	RD	IOM	功能
0	1	0	读存储器
1	0	0	写存储器
0	1	1	读I/O
1	0	1	写I/O

- IOM用来选择是对 I/O 设备还是对 MEM进行读写操作
- IOM=1 时对 I/O 设备进行读写操作，IOM=0 时对 MEM 进行读写操作。
- RD=1 时为读，WR=1 时为写。

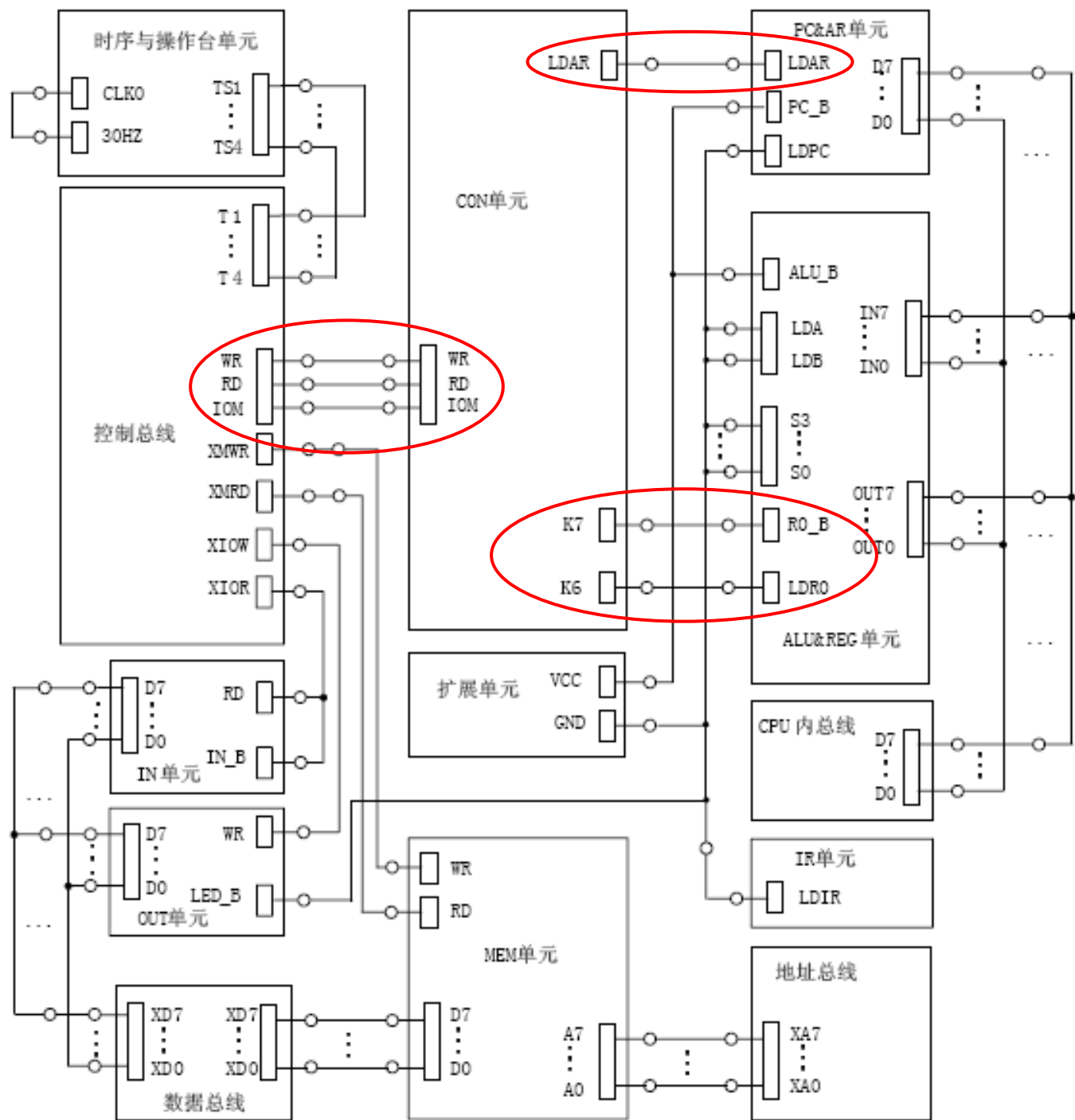
总线基本实验

• 读写控制逻辑接线图



总线基

实验接



总线基本实验

- **关于R0-B、LDR0、LDAR控制信号**
 - **R0-B (接CON单元K7)**
 - 置1时, R0寄存器输出关闭
 - 置0时, R0寄存器输出打开
 - **LDR0 (接CON单元K6)**
 - 置1时, R0寄存器输入打开
 - 置0时, R0寄存器输入关闭
 - **LDAR**
 - 置1时, 允许访问地址寄存器
 - 置0时, 不允许访问地址寄存器

总线基本实验

- **基本总线 实验内容**

- 输入设备将一个数打入R0寄存器
- 输入设备将另一个数打入地址寄存器AR
- 将R0寄存器中的数写入存储器
- 将存储器中的数显示在LED数码管 (**可否直接显示?**)

总线基本实验

操作步骤	IN单元	R0-B (K7)	LDR0 (K6)	WR	RD	IOM	LDAR
INPUT 11H → R0	0001 0001	1	1	0	1	1	0
INPUT 01H → AR	0000 0001	1	0	0	1	1	1
R0寄存器 → 存储器		0	0	1	0	0	0
INPUT 01H → AR	0000 0001	1	0	0	1	1	1
存储器 → R0寄存器		1	1	0	1	0	0
R0寄存器 → LED		0	0	1	0	1	0

总线基本实验

- **实验步骤**

- **连接实验线路（P39图）**
- **联机软件【实验】 - 【简单模型机】**
- **建议单拍运行，观察节拍信号的变化**

实验报告要点

- **读写控制逻辑原理图**
- **总线实验原理图及文字叙述**
- **R0-B、LDR0、LDAR控制信号的作用**
- **思考题：存储器中的数据能不能和IO部件直接进行数据交换？**
- **实验小结**