

计算机组成原理实验

2023

同济大学 软件学院

黄杰；张晶

济事楼 514；456

huangjie@tongji.edu.cn

jzhang@tongji.edu.cn

实验3:

数码显示管和加法器实验

- 实验目的
 - 掌握数码显示管的工作方式
 - 学习使用门电路组成半加器和全加器
 - 掌握集成全加器的逻辑功能
- 主要实验设备
 - TD-DS实验系统
 - 74LS00 - 2输入端四与非门
 - 74LS86 - 2输入端四异或门
 - 74LS47 BCD - 7段译码器/驱动器
 - 74LS83 - 4位二进制全加器

译码器的分类

- 上节课所学的译码器一般被称为**变量译码**
- 还有一种**显示译码**，用来将一组二进制编码转换成对应的七段码。
- 此类译码器型号有**74LS47**（共阳），**74LS48**（共阴），**CC4511**（共阴）等，本实验箱采用**74LS47**芯片
 - **共阴极**：是把所有led的阴极连接到共同接点COM，而每个led的阳极分别为a、b、c、d、e、f、g及dp（小数点）**显示亮度低，能耗低。**
 - **共阳极**：将公共极COM接到+5V，当某一字段发光二极管的阴极为低电平时，相应字段就点亮，当某一字段的阴极为高电平时，相应字段就不亮。**显示亮度高，耗电高，耐用性较差。**

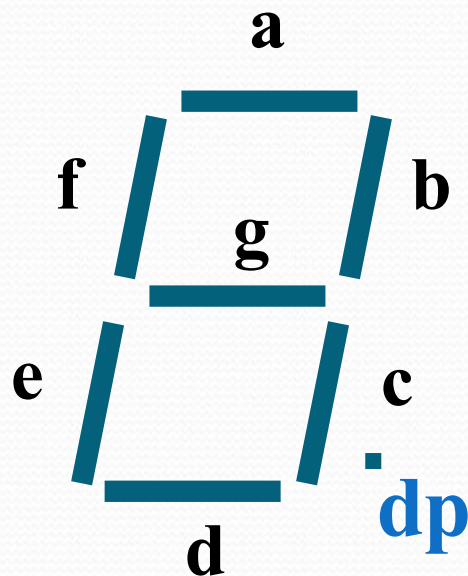
二进制编码

BCD码 (Binary-Coded Decimal)

- 把十进制数的每一位分别写成二进制形式的编码
- 在计算机中使用BCD格式可以保存数值的精确度，又可免去使计算机作浮点运算时所耗费的时间，也用于简化对使用十进制数字的设备（比如时钟和计时器）的处理。
- 8421编码是最常用的一种BCD码，是一种**有权码**
- 使用四位二进制数表示一位十进制数，从左到右每一位对应的权分别是 2^3 、 2^2 、 2^1 、 2^0 （8421）
- 例：1975 (D) = 0001 1001 0111 0101 (BCD)
- 用四位二进制表示一位十进制，会多出6种状态（1010~1111），一般被称为**非法码**

数码显示管（7段码）

- 7段数码管是通过对其不同的管脚输入相应的电平，使其发光亮显，从而显示出数字的器件。
- 除常见的7段数码管外，还有其他具有斜向笔划的更多段的显示器。如：15段码米字管



- 由于点阵显示器（Dot-matrix）的普及，这些“多划管”已基本上被后者取代。（成本、制造工艺、性价比等因素）

实验内容1:

74LS47 BCD 码-七段译码器功能验证

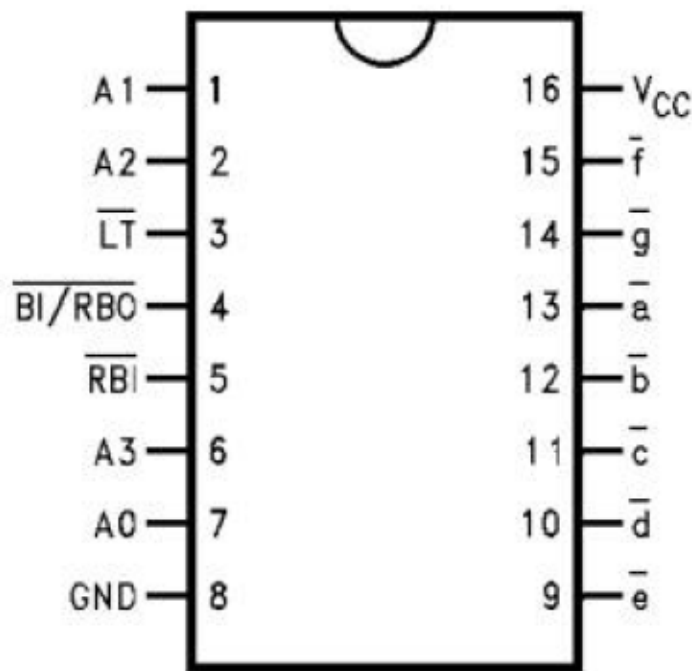


图 4—6 74LS47 引脚排列

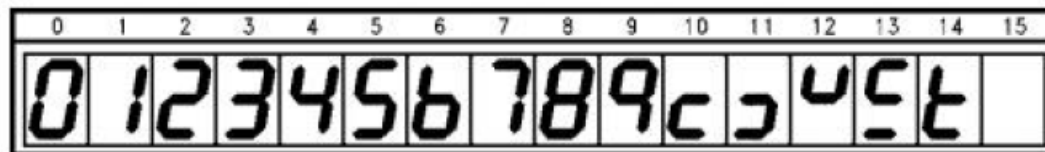
- A₃、A₂、A₁、A₀ — BCD 码输入端
- a、b、c、d、e、f、g — 译码输出端，输出“0”有效，用来驱动共阳极LED 数码管（本实验箱已内部接好）

74LS47 控制引脚说明

- 3号引脚 **LT 试灯输入**
 - 是为了检查数码管各段是否能正常发光而设置的。当LT = 0 时，无论输入A₃，A₂，A₁，A₀ 为何种状态，译码器输出均为低电平，若驱动的数码管正常则显示8；
- 5号引脚 **RBI 灭零输入**
 - 是为使不希望显示的0 熄灭而设定的。当A₃= A₂ =A₁ =A₀=0时，本应显示0，但是在RBI =0 作用下，使译码器输出全1。其结果和加入灭灯信号的结果一样，将0 熄灭；
- 4号引脚 **BI 灭灯输入**
 - 是为控制多位数码显示的灭灯所设置的。BI =0 时。不论LT 和输入A₃，A₂，A₁，A₀ 为何种状态，译码器输出均为高电平，使共阳极7段数码管熄灭。
- 4号引脚 **RBO 灭零输出**
 - 和灭灯输入BI 共用一端，两者配合使用，可以实现多位数码显示的灭零控制。

74LS47逻辑功能表和显示图形

| Decimal or Function | Inputs | | | | | | | Outputs | | | | | | | Note |
|---------------------------|------------------------|-------------------------|----|----|----|----|----------------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|----------|
| | $\overline{\text{LT}}$ | $\overline{\text{RBI}}$ | A3 | A2 | A1 | A0 | $\overline{\text{BI/RBO}}$ | $\overline{\text{a}}$ | $\overline{\text{b}}$ | $\overline{\text{c}}$ | $\overline{\text{d}}$ | $\overline{\text{e}}$ | $\overline{\text{f}}$ | $\overline{\text{g}}$ | |
| 0 | H | H | L | L | L | L | H | L | L | L | L | L | L | H | (Note 2) |
| 1 | H | X | L | L | L | H | H | H | L | L | H | H | H | H | (Note 2) |
| 2 | H | X | L | L | H | L | H | L | L | H | L | L | H | L | |
| 3 | H | X | L | L | H | H | H | L | L | L | L | H | H | L | |
| 4 | H | X | L | H | L | L | H | H | L | L | H | H | L | L | |
| 5 | H | X | L | H | L | H | H | L | H | L | L | H | L | L | |
| 6 | H | X | L | H | H | L | H | H | H | L | L | L | L | L | |
| 7 | H | X | L | H | H | H | H | L | L | L | H | H | H | H | |
| 8 | H | X | H | L | L | L | H | L | L | L | L | L | L | L | |
| 9 | H | X | H | L | L | H | H | L | L | L | H | H | L | L | |
| 10 | H | X | H | L | H | L | H | H | H | H | L | L | H | L | |
| 11 | H | X | H | L | H | H | H | H | H | L | L | H | H | L | |
| 12 | H | X | H | H | L | L | H | H | L | H | H | H | L | L | |
| 13 | H | X | H | H | L | H | H | L | H | H | L | H | L | L | |
| 14 | H | X | H | H | H | L | H | H | H | H | L | L | L | L | |
| 15 | H | X | H | H | H | H | H | H | H | H | H | H | H | H | |
| $\overline{\text{BI}}$ | X | X | X | X | X | X | L | H | H | H | H | H | H | H | (Note 3) |
| $\overline{\text{RBI}}$ | H | L | L | L | L | L | L | H | H | H | H | H | H | H | (Note 4) |
| $\overline{\text{LT}}$ | L | X | X | X | X | X | H | L | L | L | L | L | L | L | (Note 5) |



半加器

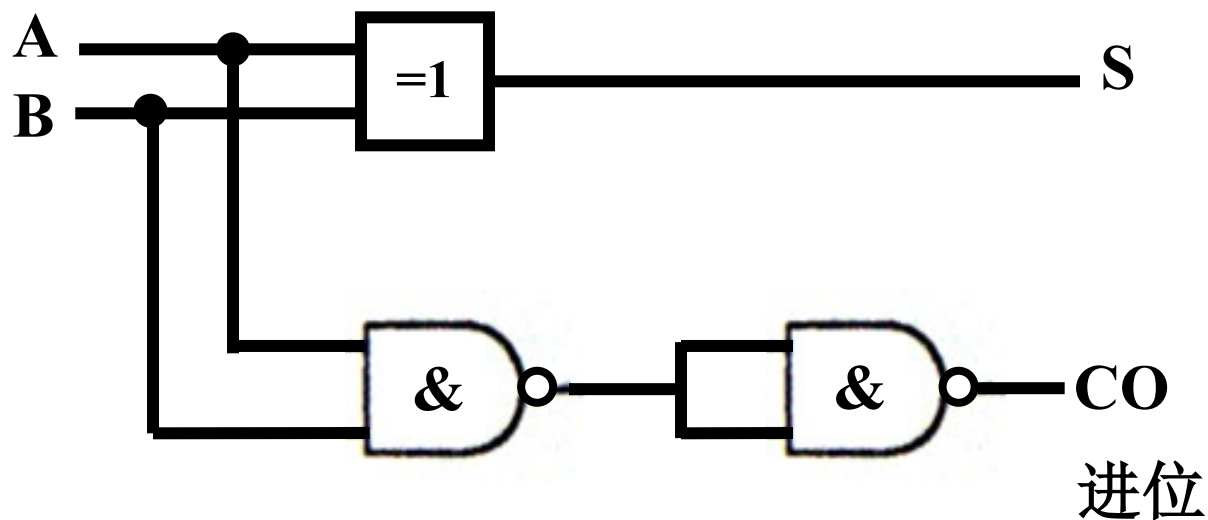
- 两个1位二进制数相加，求和及进位的逻辑电路
 - 不考虑来自低位的进位
- 半加器逻辑功能表及逻辑表达式

| A | B | S | $C O$ |
|-----|-----|-----|-------|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

$$\begin{cases} S = \bar{A}B + A\bar{B} \\ C = AB \end{cases} \quad \begin{array}{l} \text{异或} \\ \text{与} \end{array}$$

用门电路实现半加器

- 异或门 / 与非门



全加器

- 两个1位二进制数进行相加，并考虑来自低位的进位，求和及进位的逻辑电路
 - 相当于三个1位二进制数相加
- 全加器逻辑表达式

$$s_i = A_i \oplus B_i \oplus C_{i-1}$$

$$C_i = (A_i \oplus B_i) C_{i-1} + A_i B_i$$

- 反演律（德·摩根定律）

非(P 且 Q)=(非 P)或(非 Q)

非(P 或 Q)=(非 P)且(非 Q)

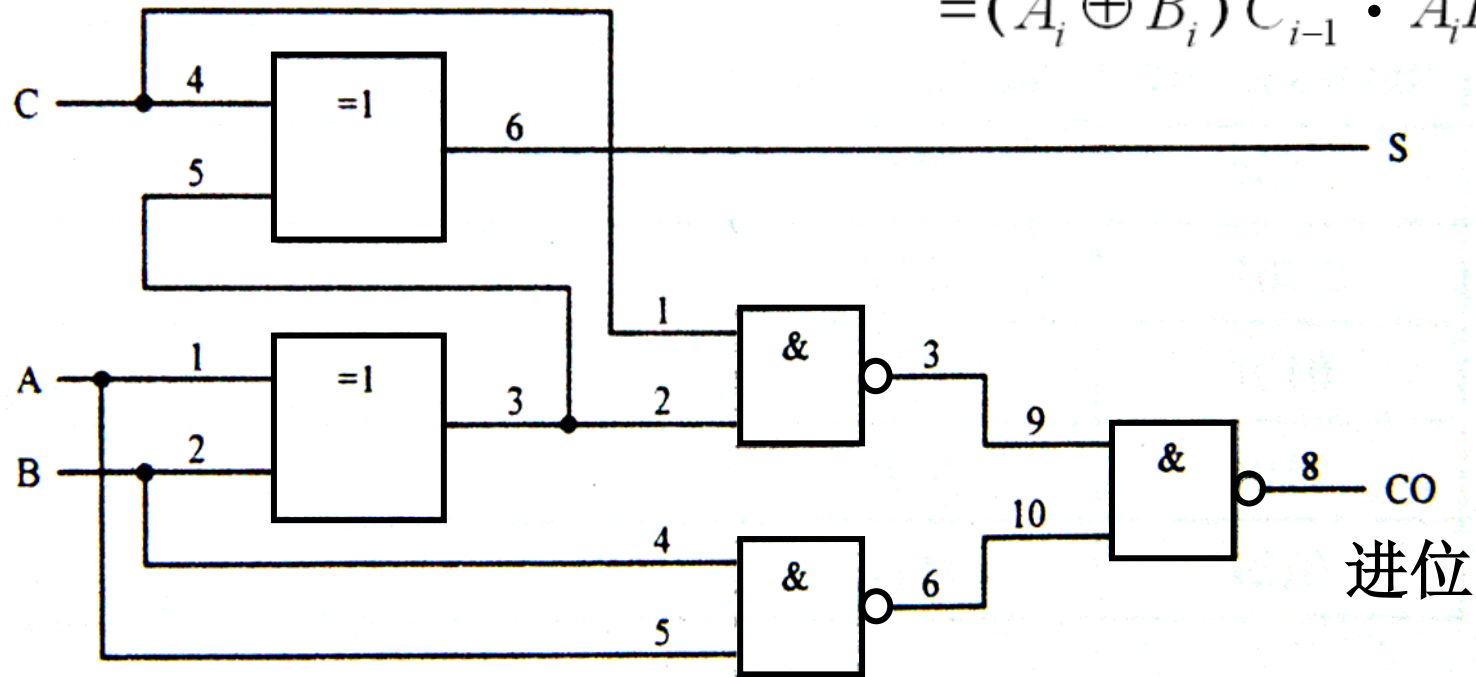
用门电路实现全加器

- 异或门 / 与非门

$$s_i = A_i \oplus B_i \oplus C_{i-1}$$

$$C_i = (A_i \oplus B_i) C_{i-1} + A_i B_i$$

$$= \overline{(A_i \oplus B_i) C_{i-1}} \cdot \overline{A_i B_i}$$

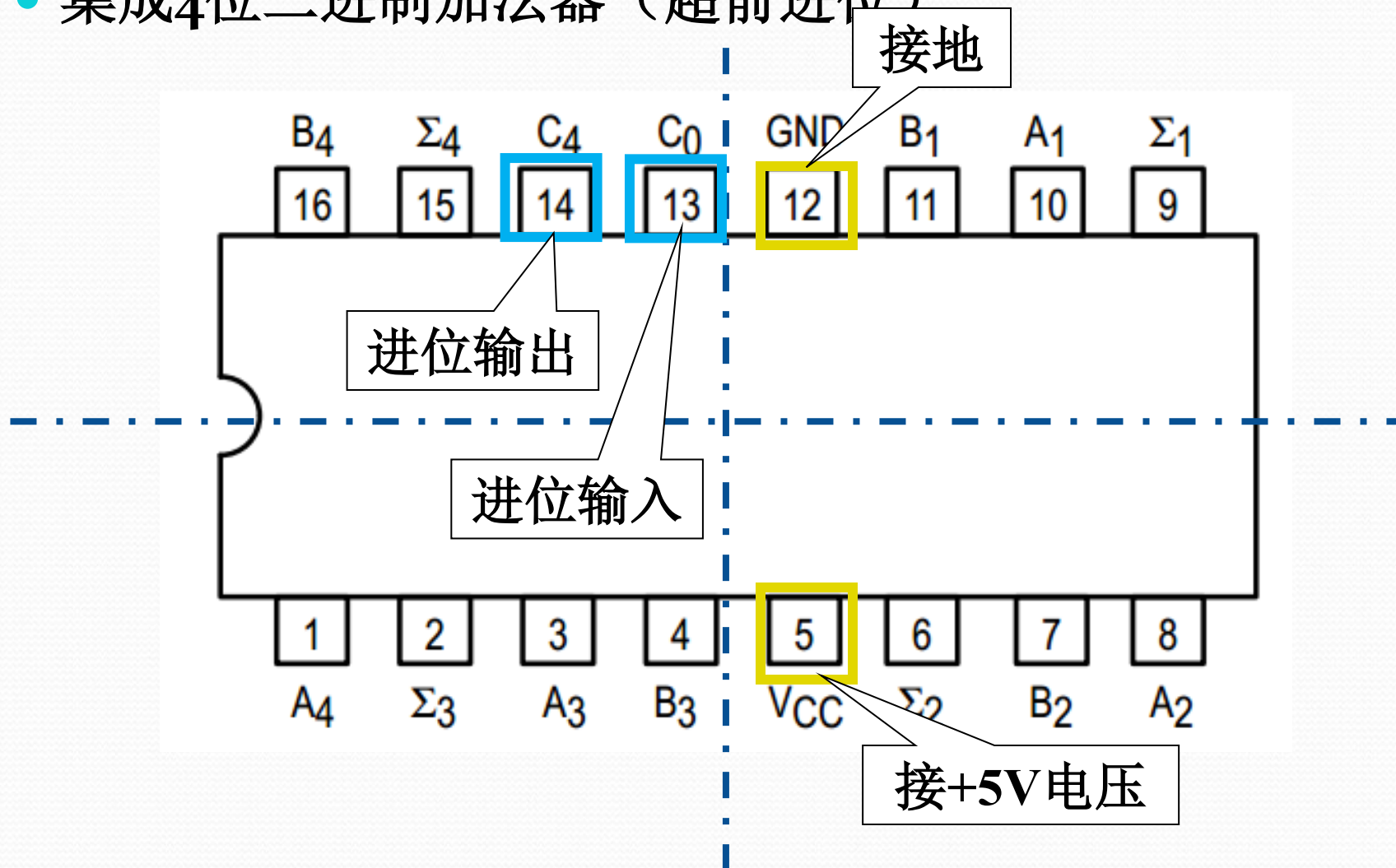


全加器逻辑功能表

| 输 入 | | | 输 出 | |
|-----------|-----|-----|-----|-------|
| C_{i-1} | A | B | S | C_i |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

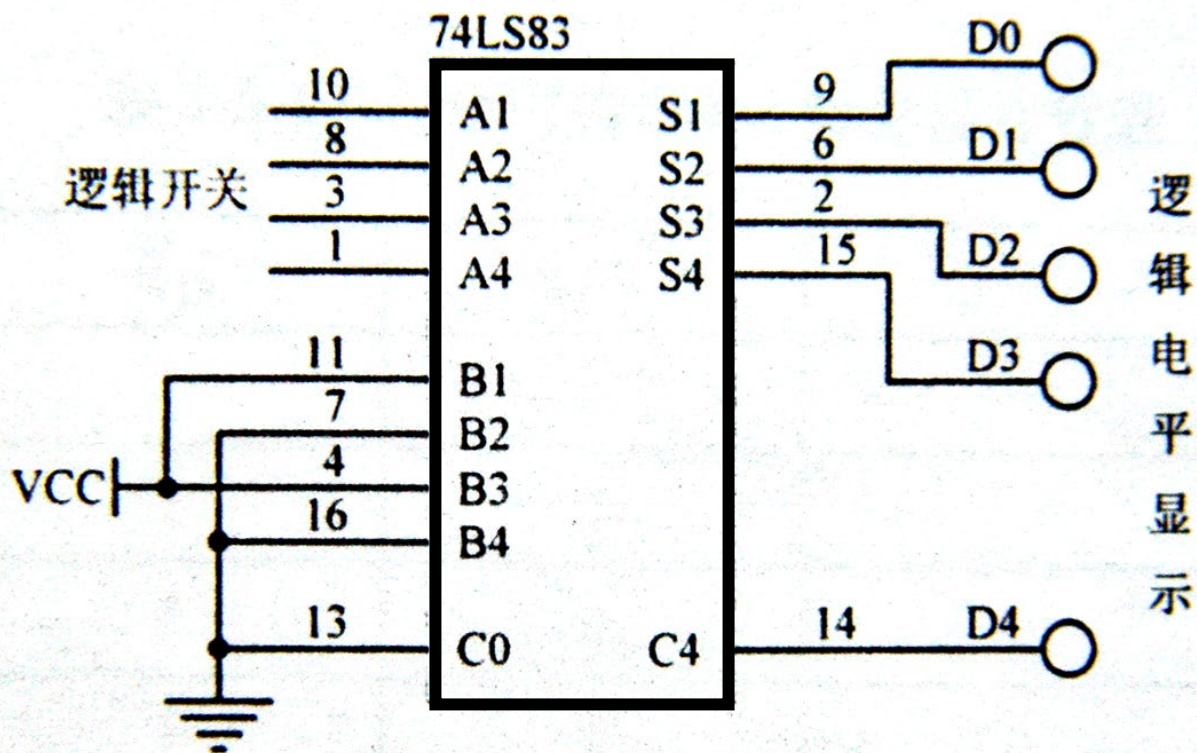
74LS83

- 集成4位二进制加法器（超前进位）



74LS83

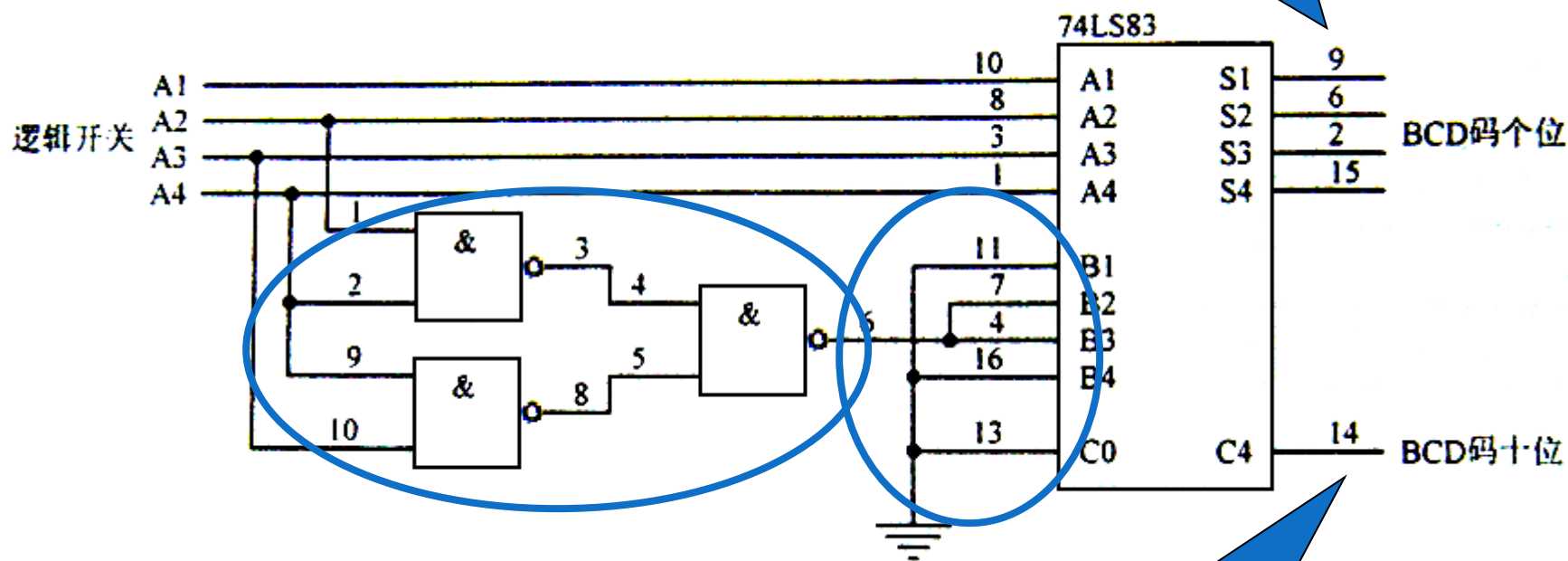
- 实验引脚接线示意图
- 设定 **A=1001**，验证运算结果，自行设计逻辑功能表



用74LS83实现 十六进制到BCD码的转换

- 加法器 / 与非门

分别接右边数码管 A~D 孔，
注意高位在左边



14脚接左边数码管 A 孔，
另外 B~D 孔接地

数码显示管和加法器实验

- 实验报告要点

- 数码显示管（七段码）示意图
- 74LS47 芯片逻辑功能表及输出显示图形
- 门电路构成半加器的逻辑原理图、表达式和功能表
- 门电路构成全加器的逻辑原理图、表达式和功能表
- 74LS83芯片的逻辑功能验证（设定A输入为1001，B任取5组）
- 用74LS83芯片实现十六进制到BCD码转换的逻辑原理图，并阐述电路原理
- 实验小结
- 注意：画图时采用国际标准符号
- 本次实验报告提交时间：10月18日23点59分之前，提交Canvas作业。