

# 计算机组成原理实验

## 2023

同济大学 软件学院

黄杰；张晶

济事楼 514；456

[huangjie@tongji.edu.cn](mailto:huangjie@tongji.edu.cn)

[jzhang@tongji.edu.cn](mailto:jzhang@tongji.edu.cn)

# 实验5：计数器实验

- 实验目的
  - 理解并掌握集成计数器工作原理
  - 掌握任意进制计数器的设计方法
- 主要实验设备
  - 数字逻辑实验系统
  - 74LS00 - 2输入端四与非门
  - 74LS90 - 异步二-五-十进制计数器
  - 74LS161 - 同步四位二进制计数器

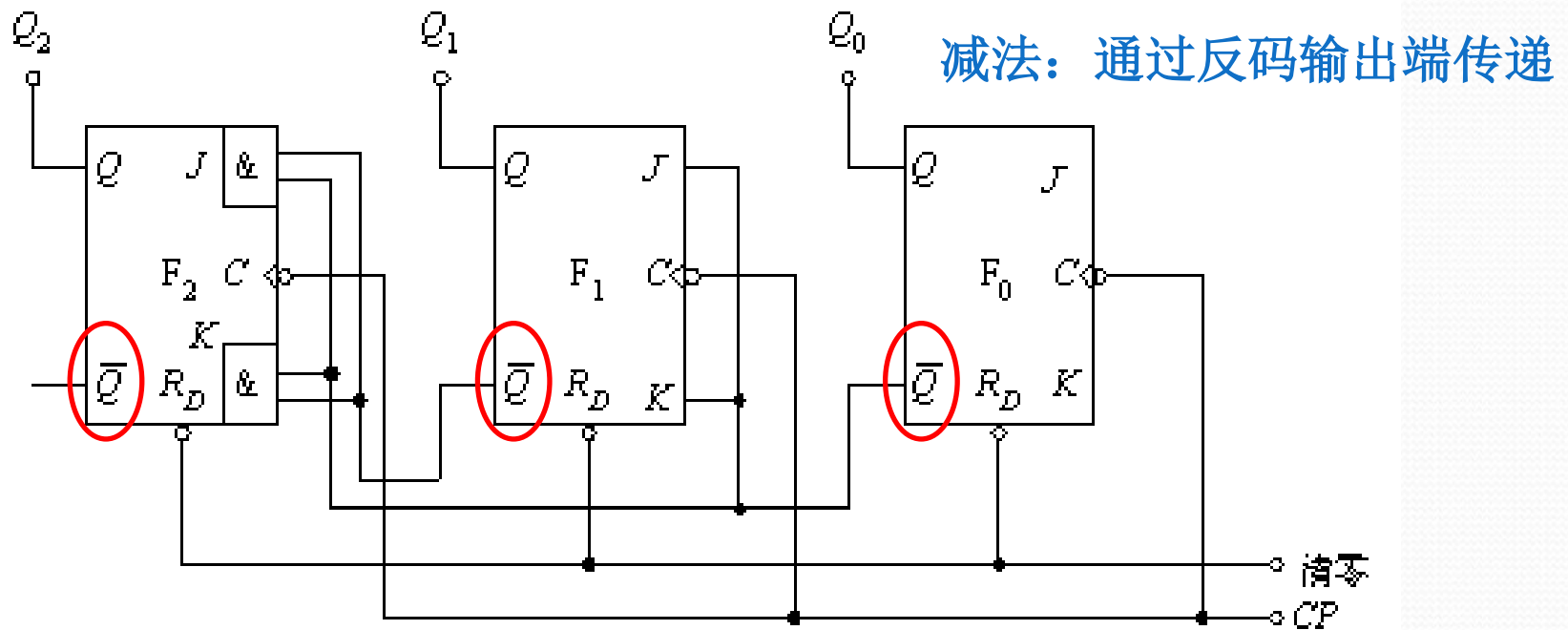
# 计数器

- 计数器是用来累计电路输入脉冲个数的时序电路。
- 在计数功能的基础上，计数器还可以实现计时、定时、分频等多种功能
- 计数器的电路结构中包含有触发器（常用JK类型）。
- 计数器按照脉冲的输入方式可分为同步计数器和异步计数器。



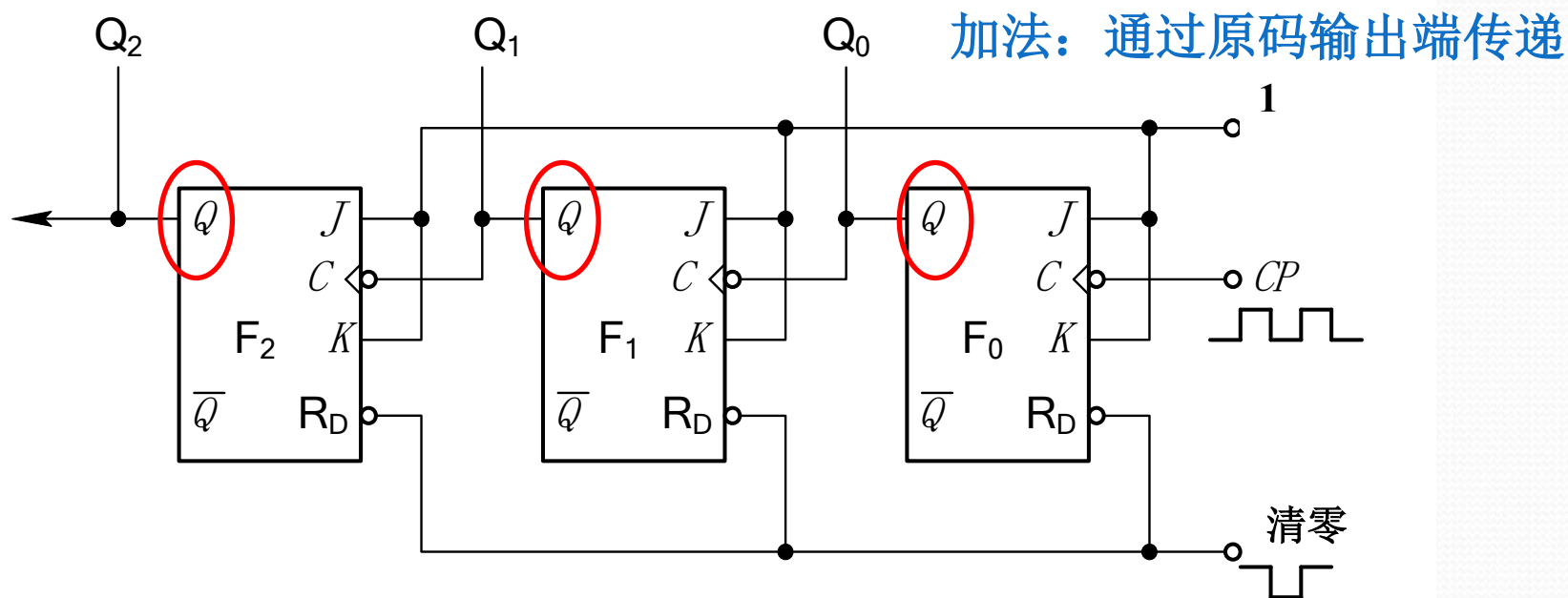
# 同步计数器原理（了解）

- 同步计数器的 **时钟脉冲** 接到所有的触发器CP端，各个触发器的翻转是同时进行的
- 示例：三位二进制同步**减法**计数器（JK实现）



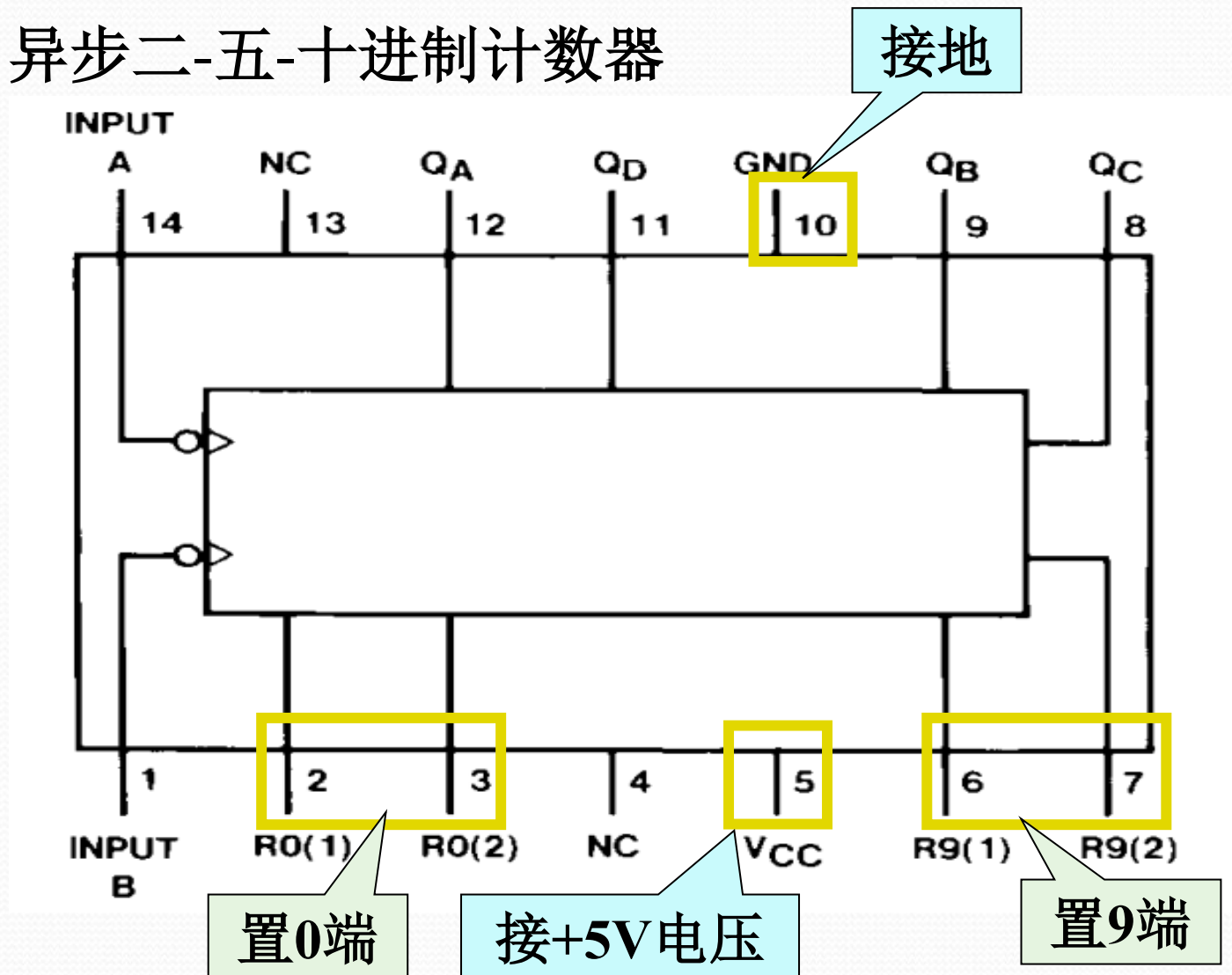
# 异步计数器原理（了解）

- 异步计数器的**时钟脉冲**不是同时接到所有的触发器CP端，触发器的翻转不是同时进行的，一部分触发器CP端是来自其他触发器的输出
- 示例：三位二进制异步**加法**计数器（JK实现）



# 实验内容1：74LS90计数器功能验证

- 异步二-五-十进制计数器





# 74LS90工作原理

- $R_{01}$ 、 $R_{02}$ 为置0端， $S_{91}$ 、 $S_{92}$ 为置9端
- $CLKA$ 、 $CLKB$ 端为两个计数时钟输入端
- $Q_D Q_C Q_B Q_A$ 为输出端（计数序列）
- $NC$ 表示空脚
- **清零功能**：当 $R_{01}$ 、 $R_{02}$ 全为1，且 $S_{91}$ 和 $S_{92}$ 不全为1，计数器输出 $Q_{DCBA} = 0000$
- **置9功能**：当 $S_{91}$ 、 $S_{92}$ 全为1，且 $S_{01}$ 和 $S_{02}$ 不全为1，计数器输出 $Q_{DCBA} = 1001$
- **计数功能**：当 $S_{91}$ 和 $S_{92}$ 不全为1，且 $R_{01}$ 和 $R_{02}$ 不全为1，输入脉冲CP时，计数器开始计数

# 74LS90逻辑功能表

## • 异步二-五-十进制计数器

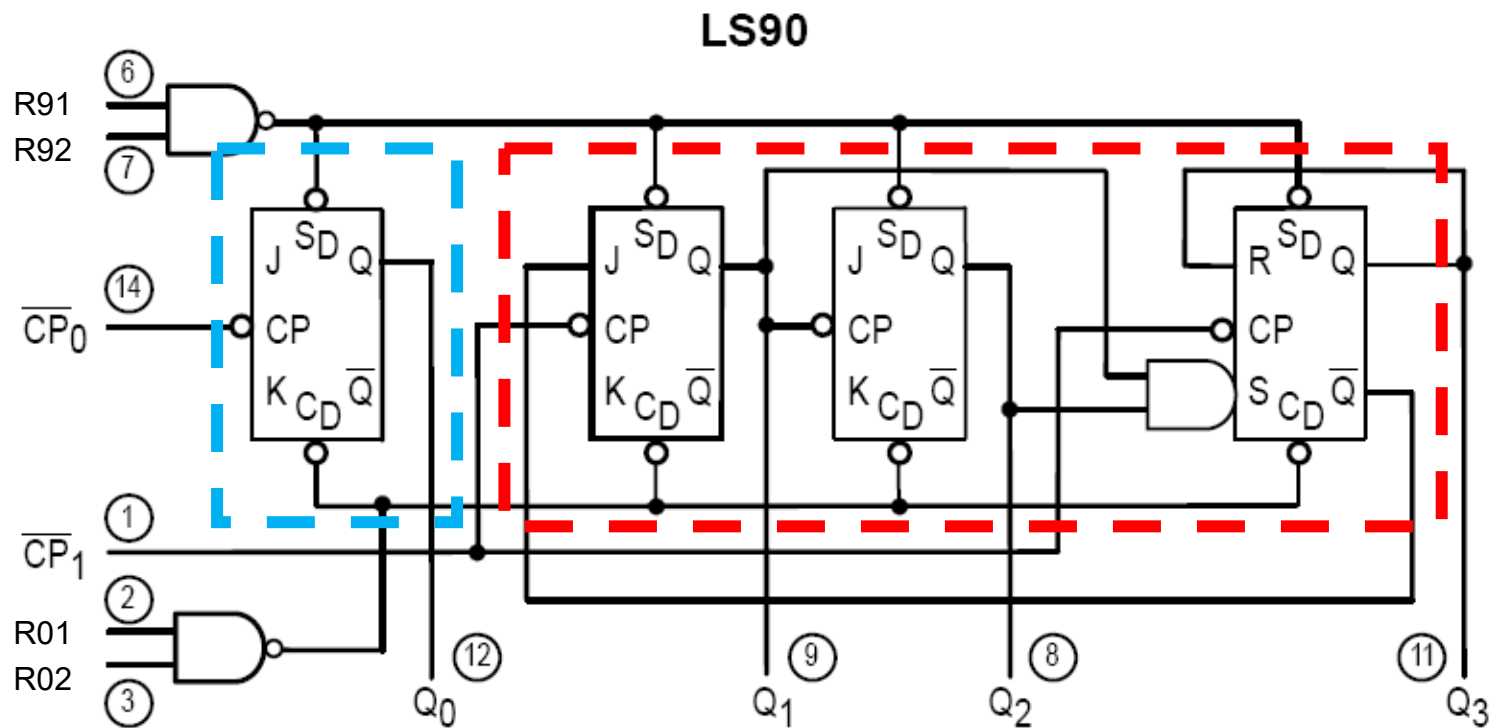
$S_{9(1)}$	$S_{9(2)}$	$R_{0(1)}$	$R_{0(2)}$	$CP_1$	$CP_2$	$Q_D$	$Q_C$	$Q_B$	$Q_A$	
1	1	0	×	×	×	1	0	0	1	置9
1	1	×	0	×	×	1	0	0	1	
0	×	1	1	×	×	0	0	0	0	清零
×	0	1	1	×	×	0	0	0	0	
$S_{9(1)} \bullet S_{9(2)} = 0$ $R_{0(1)} \bullet R_{0(2)} = 0$				CP	0	二进制( $Q_A$ )				计数
				0	CP	五进制( $Q_{DCB}$ )				
				CP	$Q_A$	8421十进制( $Q_{DCBA}$ )				
				$Q_D$	CP	5421十进制( $Q_{ADCB}$ )				

如何接线

如何接线?



# 74LS90 逻辑原理图

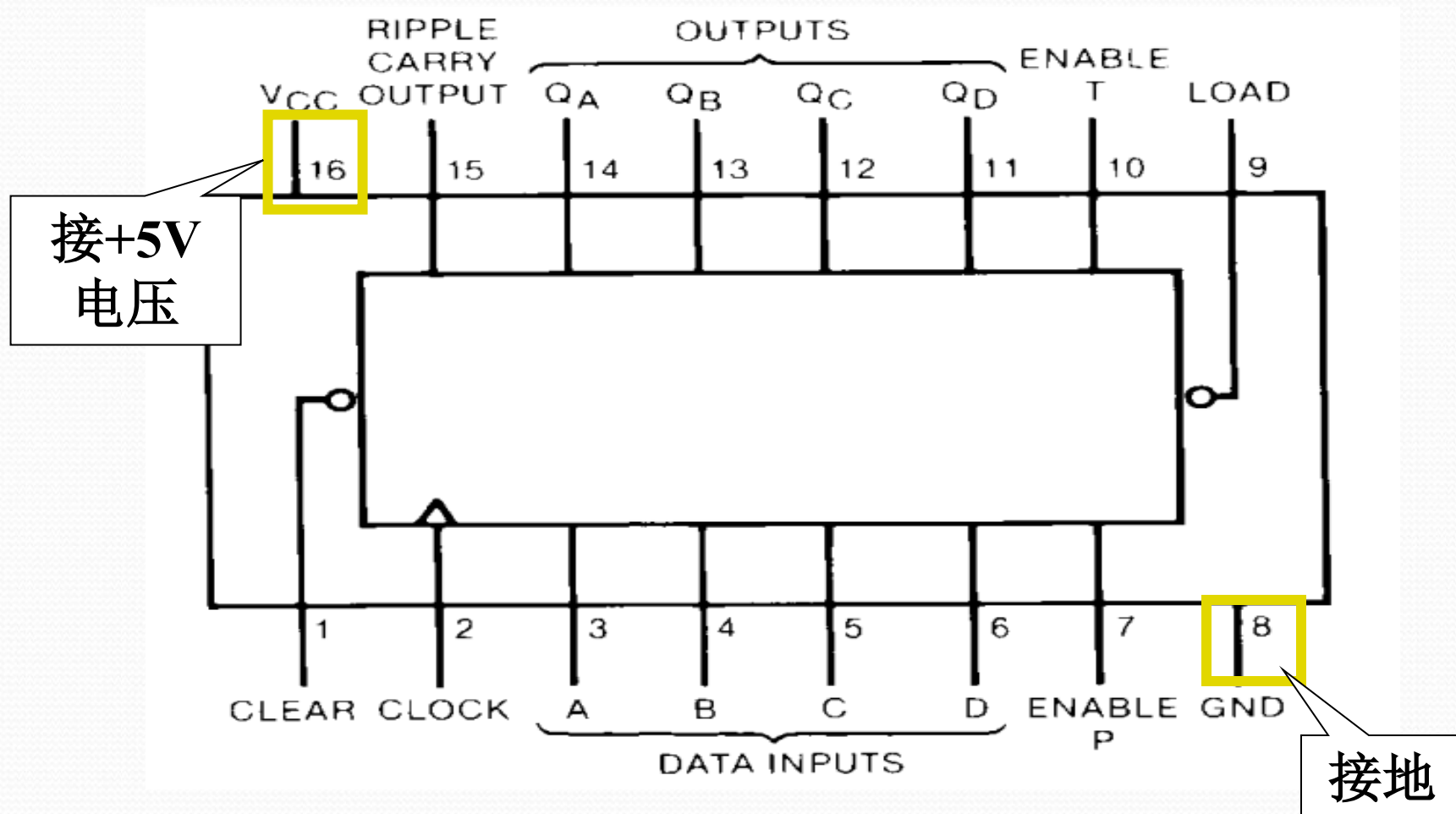


蓝色虚框：1个JK触发器实现2进制计数，接CP0

红色虚框：3个JK触发器实现5进制计数，接CP1

# 实验内容2：74LS161计数器功能验证

- 同步四位二进制计数器



# 74LS161工作原理

- 4个控制端：CR(1)、LD(9)、EP(7)、ET(10)
- 当复位端CR=0时，输出 $Q_{DCBA}$ 全为零，实现异步清零功能（复位功能）
- 当CR=1时，预置数控制端LD=0，且CP在上升沿时， $Q_{DCBA} = DCBA$ ，实现同步预置数功能
- 当CR=LD=1且EP·ET=0时，输出 $Q_{DCBA}$ 保持不变，处于保持状态
- 当CR=LD=EP=ET=1，CP上升沿实现自然二进制计数功能



# 74LS161逻辑功能表

- 同步四位二进制计数器

CR	LD	EP	ET	CP	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	×	×	×	×	0	0	0	0
1	0	×	×	↑	D	C	B	A
1	1	0	×	×	$Q_D$	$Q_C$	$Q_B$	$Q_A$
1	1	×	0	×	$Q_D$	$Q_C$	$Q_B$	$Q_A$
1	1	1	1	↑	计 数			

异步清零

同步预置数

保持

计数

# 实验内容3:

## 构成任意进制计数器

- 3种常用的计数器进制构建方法
  - 反馈清零法
  - 反馈置数法
  - 级联法（用于构造更大进制的计数器）



# 反馈清零法

- 利用芯片的复位端和门电路逻辑，跳越M-N个状态，从而获得N进制计数器
  - 计数器的清零方式分为异步和同步两种
- 电路“异步”和“同步”的概念（了解）
    - “异步”输入信号和时钟信号无关，是指输入信号变为有效状态时，器件状态就立即发生改变
    - “同步”输入信号和时钟信号有关，将输入信号和时钟信号进行“与”或者“与非”处理后，器件状态才会改变。

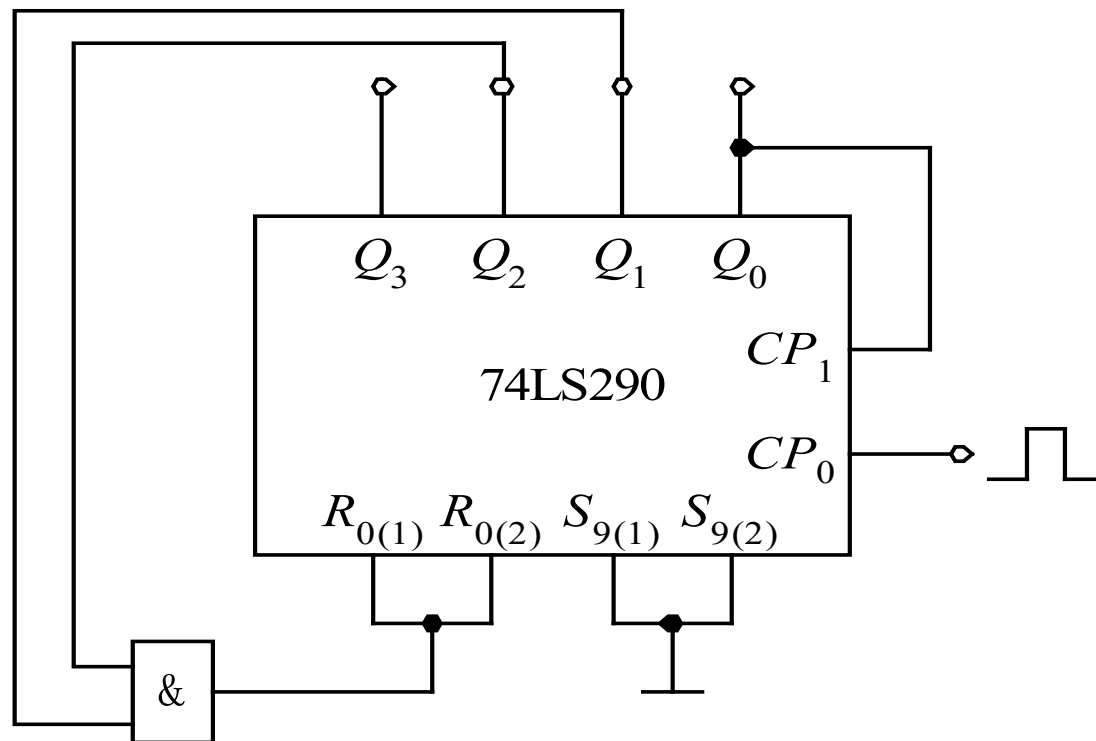


# 反馈清零法

- 在电路内部，异步清零的清零信号直接到达清零端。
- 同步清零需等到清零信号和有效时钟信号同时具备时再到达清零端。
- 同步清零的优点：可以保证电路状态在时钟周期内不会发生改变。
- 因此，对于N进制计数器
- 对于异步清零，要在第N次脉冲计数时进行清零操作
  - 74LS90和74LS161芯片都是异步清零
- 对于同步清零，则要在第N-1次脉冲计数时进行清零操作（提前准备好有效信号）

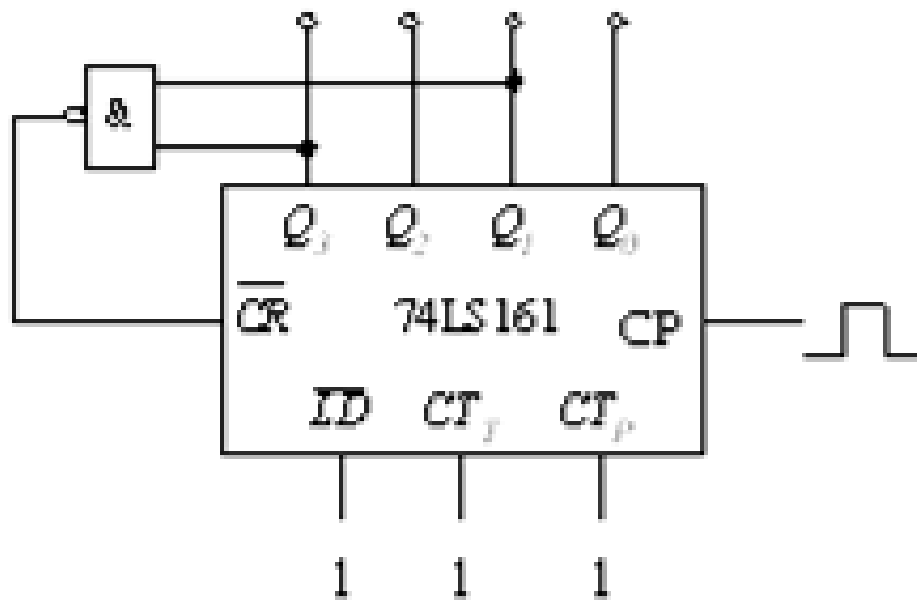
# 反馈清零法示例1

- 74LS90构成六进制计数器
- 74LS90是异步清零，采用0110状态对R<sub>01</sub>和R<sub>02</sub>位清零



# 反馈清零法示例2

- 74LS161构成十进制计数器
- 74LS161也是异步清零，采用1010状态对CR位清零



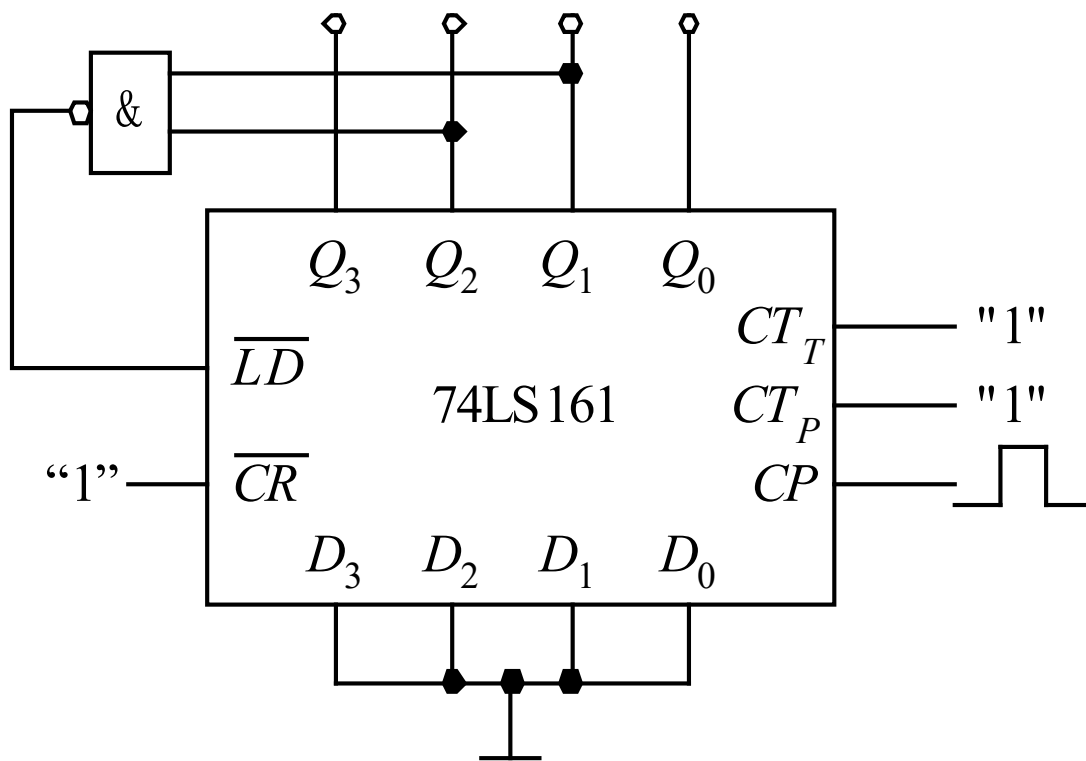


# 反馈置数法

- 本方法仅适用于具有同步预置数功能的计数器（74LS90无此功能）
- 在计数过程中，将其输出的某一个状态通过门电路逻辑处理，产生一个控制信号反馈至预置数控制端，在下一个CP脉冲作用后，计数器就会把预置数输入端的状态置入输出端。
- 预置数控制信号消失后，计数器就从被置入的状态开始重新计数。
- 也可以在计数到1111状态时产生进位信号，反馈到预置数控制端实现反馈置数。

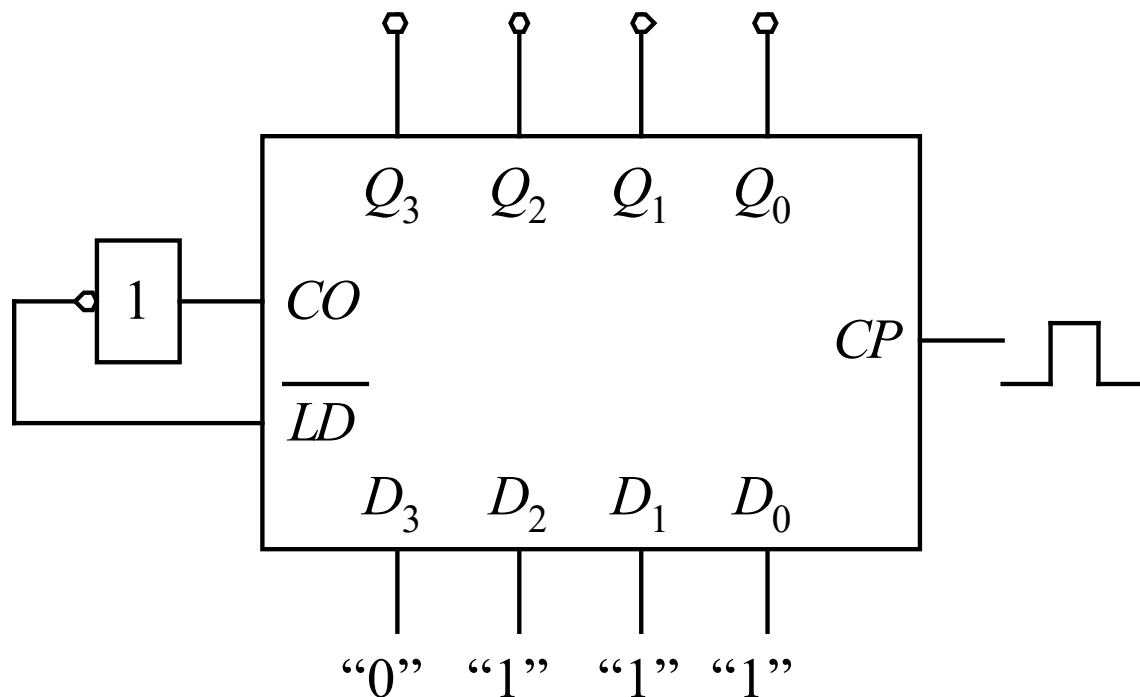
# 反馈置数法示例1

- 74LS161构成七进制计数器
- 74LS161是同步置数，采用0110状态对LD置数



# 反馈置数法示例2

- 74LS161构成九进制计数器
- 直接利用进位端对LD反馈置数0111



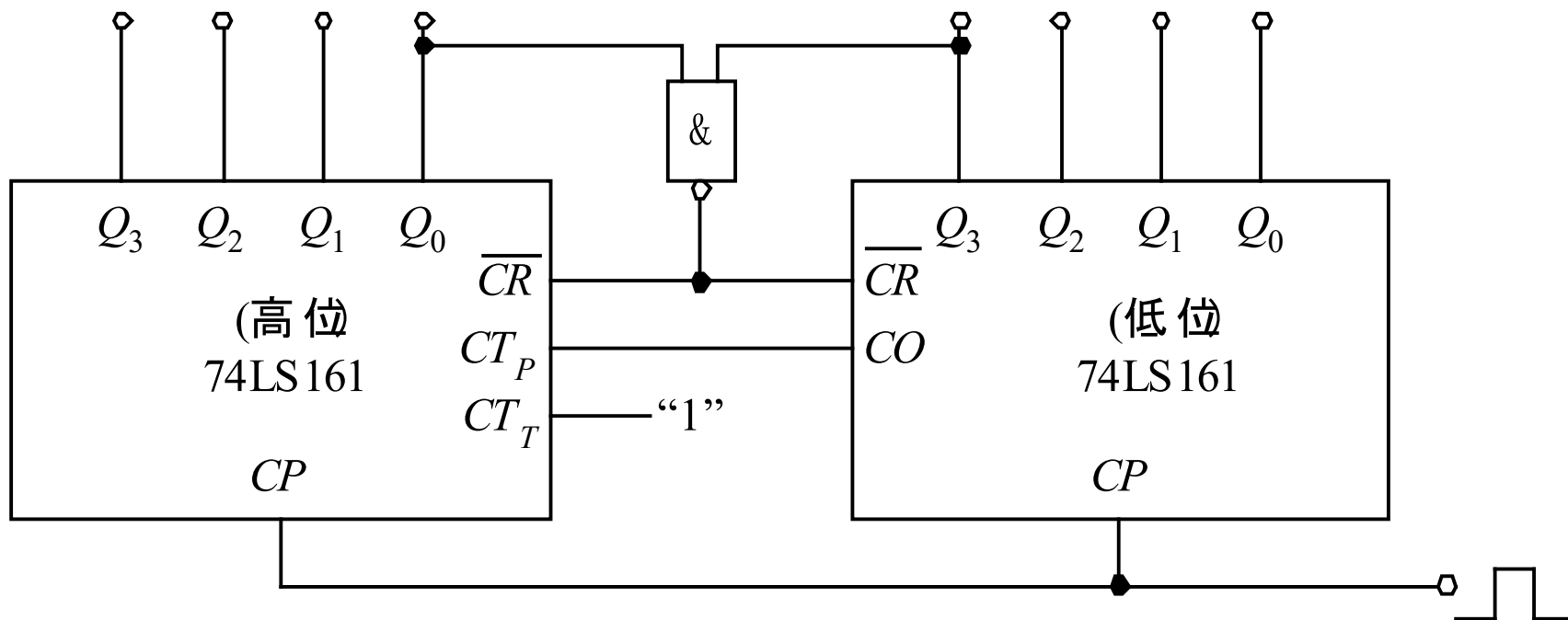


# 级联法

- 适用于计数器进制 $M < \text{欲构成的进制} N$
- 先将多片计数器级联，组成最大计数值 $> N$ 的计数器，然后采用前述清零或置数的方法实现模 $M$ 计数器
- 通常在级联后，再采用反馈清零法

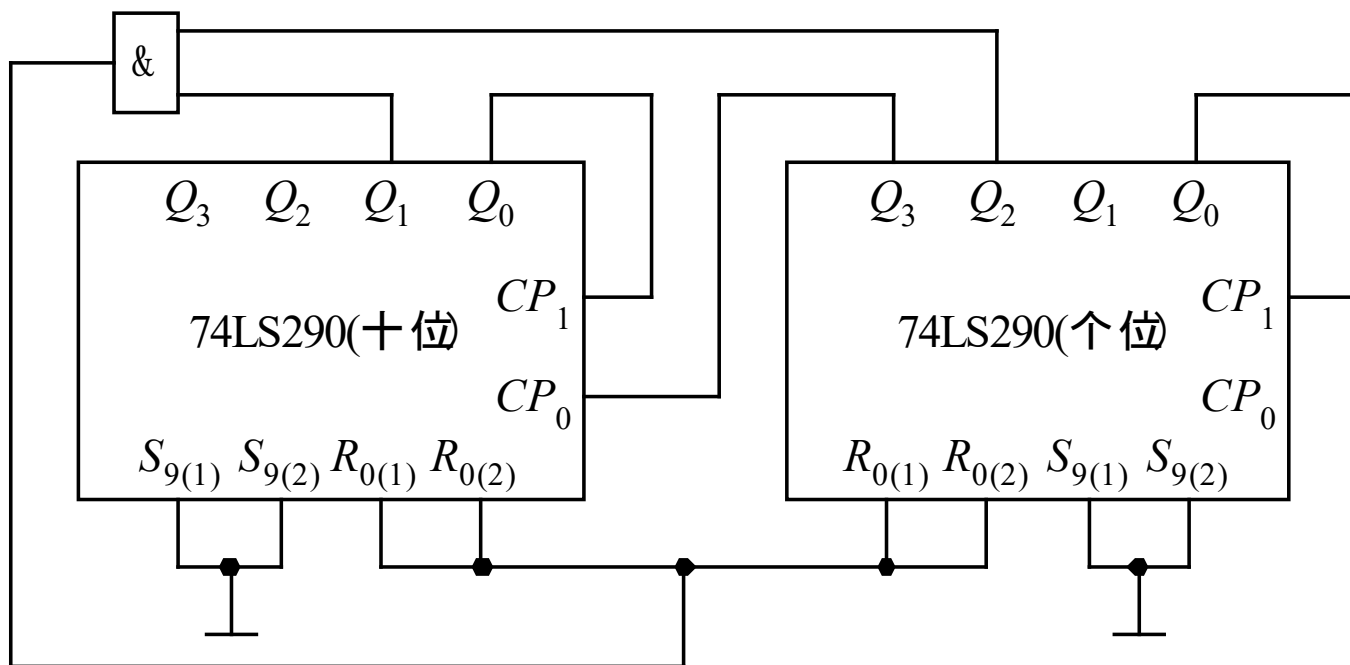
# 级联法示例1

- 74LS161构成二十四进制计数器
- 在0001 1000（二进制24）反馈清零



# 级联法示例2

- 74LS90构成二十四进制计数器
- 在0010 0100（BCD码<sub>24</sub>）反馈清零





# 计数器实验

- 本实验报告要点
  - 用74LS90芯片分别实现二、五进制和8421/5421十进制计数器的实验接线示意图，74LS90逻辑功能表
  - 74LS161的逻辑功能表
  - 试构成36进制计数器（用74LS161或90芯片都可以），画出电路原理图，并阐述其工作原理，鼓励多做几种方案。
  - 实验小结

# 设计实验准备

- 复习掌握之前学过的芯片
- 了解并安装NI电路辅助设计软件（仅供学习使用）

