

Kapitel 5

Timing:

1. **Physikalische Eigenschaften**
2. Timing wichtiger Komponenten
3. Exaktes Timing von ReTI

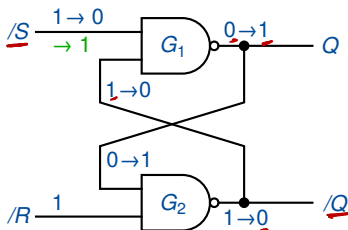
Albert-Ludwigs-Universität Freiburg

Dr. Tobias Schubert, Dr. Ralf Wimmer

Professur für Rechnerarchitektur
WS 2016/17

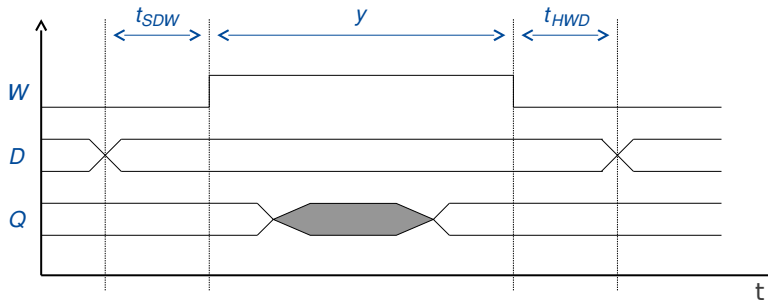
Wiederholung: Übergang beim RS-Flipflop

- Zustand $Q = 0 \rightarrow$ Zustand $Q = 1$:



- Senke /S zur Zeit t_0 ab und hebe zu $t_0 + x$ wieder an (einen solchen Signalverlauf nennt man **Puls**).
- Nach Zeit $t_{P/SQ}$ ist $Q = 1$. Nach Zeit $t_{P/S/Q}$ ist $\text{/Q} = 0$.
- „Gatter brauchen Zeit zum Schalten!“ Aber wie lange ist $t_{P/SQ}$, $t_{P/S/Q}$? Oder wie lange muss ein Puls mindestens dauern? (= Pulsweite).

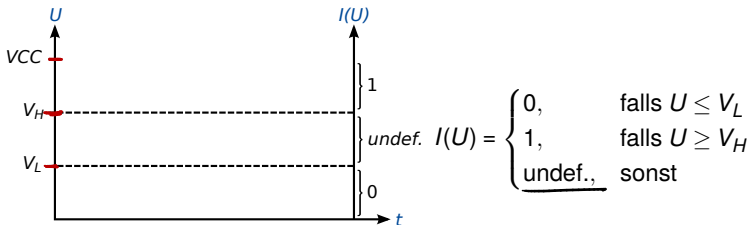
Wiederholung: Timing-Diagramm D-LATCH



- Wie lange müssen die einzelnen Signale aktiv sein, damit der Schreibvorgang reibungslos abläuft?
- D. h. Wie lange ist Setup-Zeit t_{SDW} , Hold-Zeit ~~t_{HWD}~~ , Pulsweite y ?

t_{HWD}

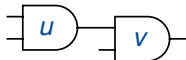
Physikalische Signale \leftrightarrow Logische Signale



- In jeder Technologie gibt es eine Versorgungsspannung V_{CC} (z.B. 1.1 V bei NanGate).
- Eine Spannung $U \in [0, V_{CC}]$ wird als logischer Wert $I(U)$ interpretiert.
 - Am Eingang (Input) eines Gatters: V_{IL} , V_{IH} .
 - Am Ausgang (Output) eines Gatters: V_{OL} , V_{OH} .
- V_{IL} , V_{IH} , V_{OL} , V_{OH} eines Bausteins sind gegeben.

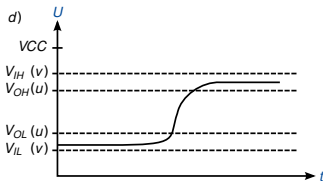
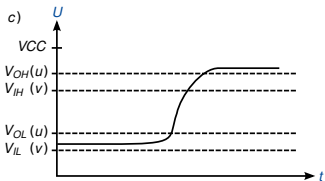
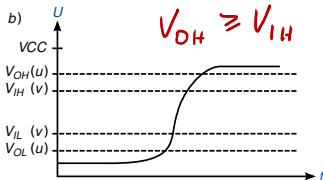
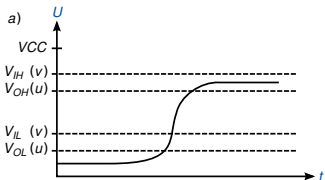
SMILE – Physikalische Signale

Unter welchen Bedingungen laufen die Schaltvorgänge bei den untenstehenden Schaltungen reibungslos ab?



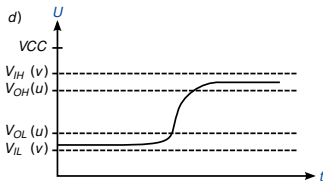
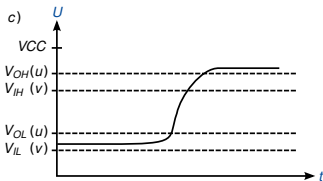
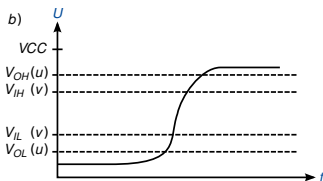
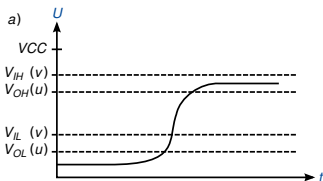
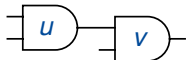
$$V_{OL} \leq V_{IL}$$

$$V_{OH} \geq V_{IH}$$

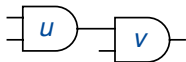


SMILE – Physikalische Signale

Unter welchen Bedingungen laufen die Schaltvorgänge bei der untenstehenden Schaltung reibungslos ab?



⇒ Fazit: Es sollte $V_{OL}(u) \leq V_{IL}(v)$ und $V_{OH}(u) \geq V_{IH}(v)$ gelten.



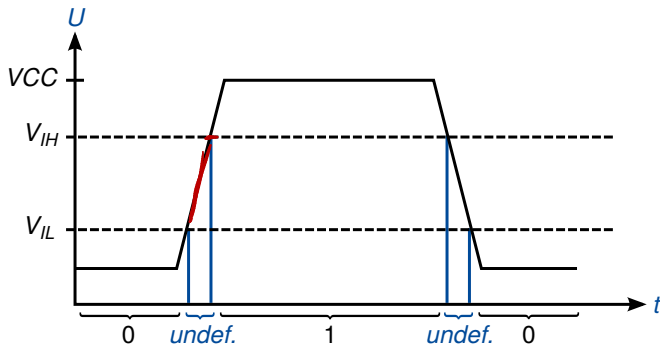
- Will man den Ausgang eines Gatters u mit dem Eingang eines Gatters v verbinden, dann sollte gelten:
 - $V_{OL}(u) \leq V_{IL}(v)$ und
 - $V_{OH}(u) \geq V_{IH}(v)$.
- Sonst werden Signale falsch interpretiert.

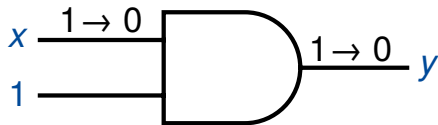
Beispiel: NanGate

$$V_{IL} = 30\% \cdot V_{CC} = 0.33 \text{ V}$$

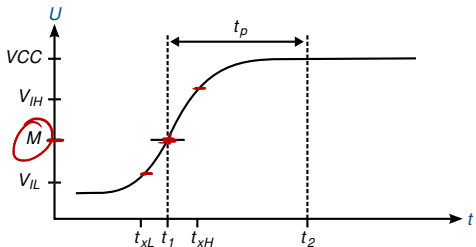
$$V_{IH} = 70\% \cdot V_{CC} = 0.77 \text{ V}$$

Entsprechend Output-Pegel
 V_{OL} , V_{OH} .

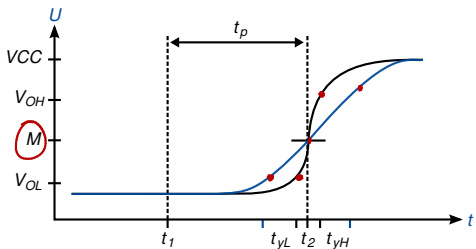




Beispiel-Spannungsverlauf $x(t)$, $y(t)$



$x(t)$



Zwei Beispiele für $y(t)$

Allgemeine Bemerkung zu Verzögerungszeiten

- Im Allgemeinen gilt nicht $y(t) = x(t - t_p)$, so dass man nicht einfach t_p als Verzögerungszeit definieren kann.
 $y(t)$ wird **verformt**.
- Die Verzögerungszeit (**Propagation Delay**) wird definiert als $t_p := (t_2 - t_1)$ bezüglich einer festen „Referenzspannung“ M mit $V_L < M < V_H$
(Bsp.: $M = 0.5V_{CC} = 0.55 \text{ V}$ bei NanGate).
- Bestimme t_1, t_2 mit $x(t_1) = y(t_2) = M$.

- In der Regel gibt es **verschiedene** Verzögerungszeiten für Übergänge am Ausgang:
 - t_{PLH} : Verzögerungszeit bei $0 \rightarrow 1$.
 - t_{PHL} : Verzögerungszeit bei $1 \rightarrow 0$.

Modellierung der Verzögerungszeit

- **Problem** bei der Modellierung der Verzögerungszeit bezüglich **fester Spannung M** :
 - Keine Aussage darüber, wann logische Signale 0 oder 1 sind, d. h. physikalische Signale **unterhalb V_{OL}** oder **oberhalb V_{OH}** sind.

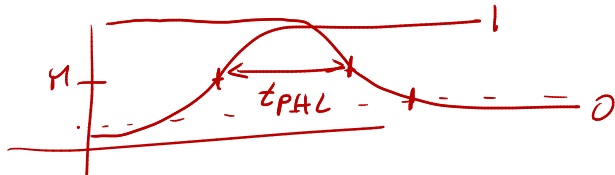
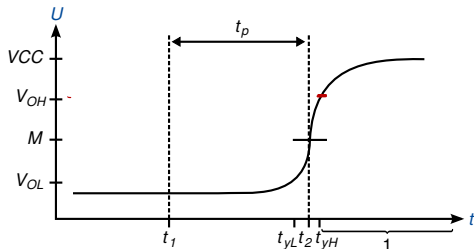
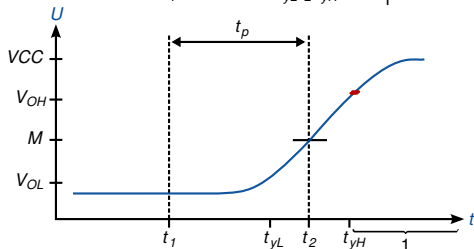


Illustration des Problems



→ Ähnliches Problem am Gattereingang.



- Für jedes Signal braucht man also zusätzliche Informationen über:
 - **Anstiegszeit (Rise Time)** =
Zeit, in der Signal von V_L nach V_H steigt.
 - **Abfallzeit (Fall Time)** =
Zeit, in der Signal von V_H nach V_L fällt.
 - Bzw. noch genauer würde man eigentlich benötigen:
 - Anstiegszeit von M nach V_H
 - Abfallzeit von M nach V_L

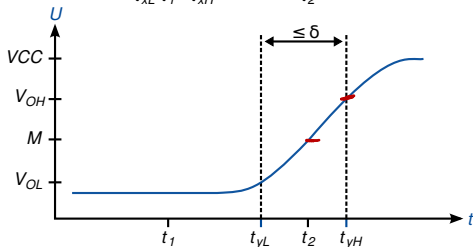
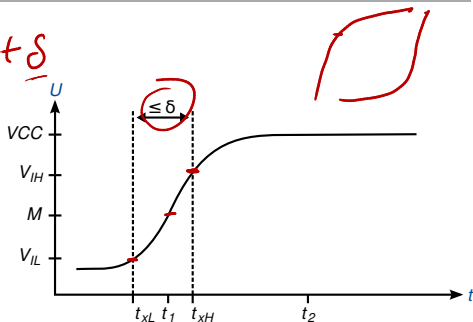
Beschränkung dieser Zeiten

$$t_{yH} - t_{xL} \leq \underline{\delta} + t_{PLH} + \underline{\delta}$$

- Die in unseren Analysen verwendeten Gatter haben die folgende angenehme Eigenschaft:

- $\exists \delta$ mit folgender Eigenschaft:

Falls rise/fall time $\leq \delta$ am Gattereingang,
dann rise/fall time $\leq \delta$ am Gatterausgang.

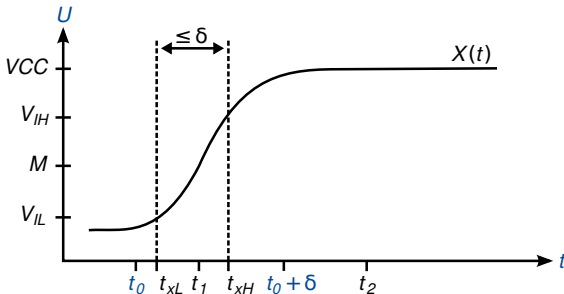


Beispiel: NanGate

- $V_{IL} = 30\% \cdot V_{CC} = \underline{0.33 \text{ V}}$
 $V_{IH} = 70\% \cdot V_{CC} = \underline{0.77 \text{ V}}$
- NanGate für $M = \underline{0.55 \text{ V}}$ spezifiziert.
Bausteine *NAND*, *NOT*, *AND*, *OR*, *EXOR*.
- t_p zwischen 0.00 ns und 0.21 ns.
- $\delta = \underline{0.13 \text{ ns}}$ ($1 \text{ ns} = 10^{-9} \text{ s}$)
- Die Zeiten, an denen die entsprechenden Signale wohldefinierte logische Werte 0, 1 annehmen, unterscheiden sich von denen für M um höchstens δ .

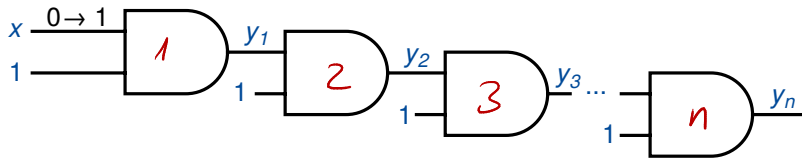
Bemerkung

- Eine **rise/fall time $\leq \delta$** an den primären Eingängen einer Schaltung kann man garantieren, wenn man den Schaltvorgang zur **Zeit t_0 beginnt** und spätestens zur **Zeit $t_0 + \delta$ abschließt**.



SMILE – Verzögerungszeit

Nach welcher Zeit ist der Schaltvorgang bei Y_n von 0 nach 1 spätestens abgeschlossen, nachdem der Schaltvorgang von 0 nach 1 bei x angefangen hat?

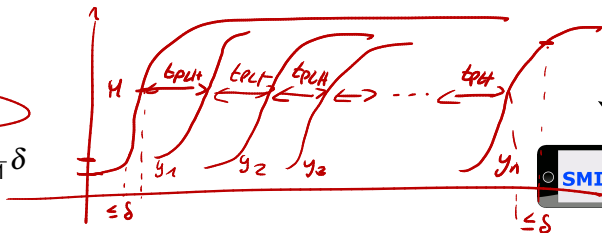


a. $n \cdot (t_{PLH} + \delta)$

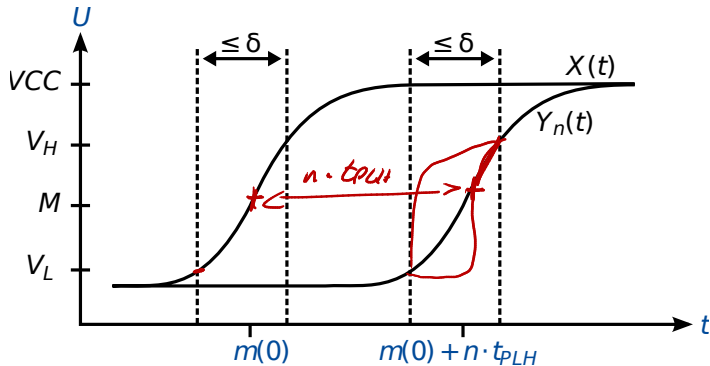
b. $t_{PLH} + n\delta$

c. $n \cdot t_{PLH} + 2\delta$

d. $n \cdot t_{PLH} + \frac{n}{n-1} \delta$



Analyse der Verzögerungszeit einer Kette von n Gattern (2/3)



- Durchläuft $X(t)$ nach Zeit $m(0)$ die Spannung M , dann durchläuft $Y_n(t)$ die Spannung M nach $m(0) + n \cdot t_{PLH}$.
- Falls $X(t)$ mit Anstiegszeit $\leq \delta$, dann auch $Y_1(t), \dots, Y_n(t)$.
- Also ist Y_n auf jeden Fall zur Zeit $m(0) + n \cdot t_{PLH} + \delta$ logisch 1.
- Beginnt man im Beispiel den Schaltvorgang bei t_0 und beendet ihn bei $t_0 + \delta$, dann gilt $m(0) \leq t_0 + \delta$ und Y_n ist spätestens nach $\underline{t_0 + n \cdot t_{PLH} + 2\delta}$ logisch 1.

- Im Folgenden soll
Signal X wird zum Zeitpunkt t_1 abgesenkt/angehoben
bedeuten
 X wird abgesenkt/angehoben mit $X(t_1) = M$.
- Desweiteren sind alle Zeitangaben in ns.

- Verzögerungszeiten von Gattern sind **nicht konstant**, sondern werden beeinflusst durch:
 - Betriebstemperatur
 - Fertigungsprozess des Chips
 - kapazitive Last am Gatterausgang (Fanout)
(Gattereingänge, die mit einem Gatterausgang verbunden sind, verhalten sich wie Kondensatoren, d. h. sie werden beim Schalten ge- bzw. entladen.)

- Wegen Abhängigkeit der Verzögerungszeit von Temperatur, Fertigungsprozess und Fanout werden vom Hersteller **keine festen Zeiten t_{PLH}/t_{PHL}** angegeben, sondern 3 Werte:
 - t^{min} = untere Schranke
 - t^{max} = obere Schranke
 - t^{typ} = *typischer* Wert (???)

min, max und typ (1/2)

- Für die tatsächliche Verzögerungszeit t_p gilt:

$$\underline{t^{min} \leq t_p \leq t^{max}}$$

- Wir nehmen in den folgenden Analysen an, dass t_p im Intervall $[t^{min}, t^{max}]$ liegt, falls
 - die Temperatur im Bereich T liegt („kommerzieller Temperaturbereich“ $0 - 70^\circ\text{C}$, „militärischer Temperaturbereich“ $-55 - 125^\circ\text{C}$)
 - und eine bestimmte kapazitive Last C_0 nicht überschritten wird.
- C_0 wird so gewählt, dass mit Einhalten einer Fanoutbeschränkung von $10 C_0$ auf keinen Fall überschritten wird.

\min , \max und typ (2/2)

- Für t^{typ} gilt ebenfalls $t^{\min} \leq t^{\text{typ}} \leq t^{\max}$.
 - Beim Rechnen mit t^{typ} macht man aber einen Fehler mit unbekannter Größe.
- Kein Rechnen mit t^{typ} , sondern mit Intervallen $[t^{\min}, t^{\max}]$.

$$\begin{array}{c} x \\ \downarrow \\ \bigcup \\ [a, b] \end{array} \quad \bigcap \quad \begin{array}{c} \downarrow \\ [c, d] \end{array} \quad [a+c, b+d]$$

Definition

Ein Intervall $[a, b] := \{x \in \mathbb{R} \mid a \leq x \leq b\} \subset \mathbb{R}$ auf \mathbb{R} ist eine zusammenhängende und abgeschlossene Teilmenge von \mathbb{R} . Man bezeichnet es auch als das abgeschlossene Intervall von a bis b .

- Wir betrachten hier nur die Menge der abgeschlossenen Intervalle \mathbb{IR} auf \mathbb{R} .
- Es gilt:
 - $\min[a, b] = a$
 - $\max[a, b] = b$
 - $a \in \mathbb{R} \simeq [a, a] \in \mathbb{IR}$
(eine reelle Zahl a kann aufgefasst werden als das **Punktintervall** von a bis a)

$$[a, b] \quad a < x \leq b$$

Definition

Gegeben ein Operator $op \in \{+, -, \cdot\}$ in \mathbb{R} . Der dazugehörige Operator \odot_{op} auf \mathbb{IR} ist definiert als:

Für $a, b, c, d \in \mathbb{R}$:

$$[a, b] \odot_{op} [c, d] := \{x \text{ op } y \mid x \in [a, b], y \in [c, d]\}$$

Beispiele:

$$\blacksquare [a, b] \oplus [c, d] = [\underline{a+c}, \underline{b+d}]$$

$$\blacksquare [a, b] \ominus [c, d] = [a-d, b-c]$$

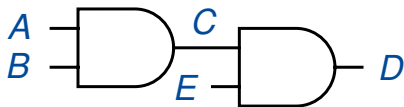
$$\blacksquare [a, b] \odot [c, d] = [\min(\underline{a \cdot c}, \underline{a \cdot d}, \underline{b \cdot c}, \underline{b \cdot d}), \max(a \cdot c, a \cdot d, b \cdot c, b \cdot d)]$$

$$[2, 3] \oplus [0, 5] = [2, 8]$$

$$[2, 3] \ominus [0, 5] = [-3, 3]$$

- Wir schreiben vereinfachend nur op statt \odot .
- Für unsere Belange sind ausschließlich $+$, $-$ und \cdot **Operator** von Bedeutung. (\cdot mit Punktintervallen)
- Ein Intervall bezeichnen wir mit $\tau = [t^{min}, t^{max}]$.

Beispiel: AND-Gatter



AND

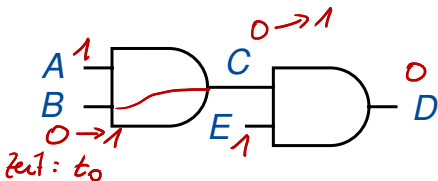
$$\tau_{PLH} = [0.02, 0.12]$$

$$\tau_{PHL} = [0.02, 0.12]$$

Bzw.:

AND	<u>t^{\min}</u>	<u>t^{\max}</u>
τ_{PLH}	0.02	0.12
τ_{PHL}	0.02	0.12

Fall 1



AND	t^{\min}	t^{\max}
τ_{PLH}	0.02	0.12
τ_{PHL}	0.02	0.12

■ A, E fest auf 1.

■ B von 0 auf 1 zum Zeitpunkt t_0 .

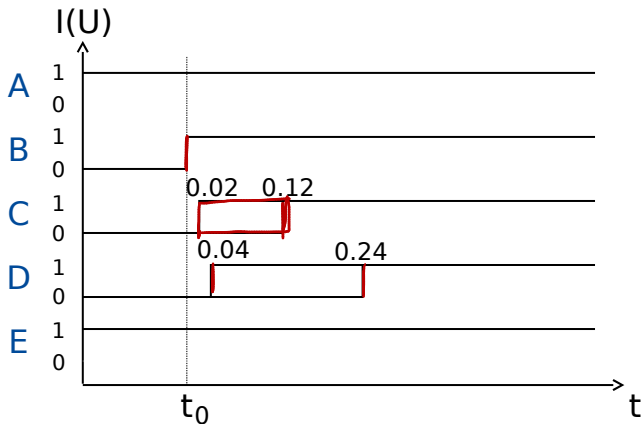
→ Änderung von C zur Zeit

$$\begin{aligned}\tau_1 &= t_0 + \tau_{PLH}(\text{AND}) \\ &= t_0 + [0.02, 0.12]\end{aligned}$$

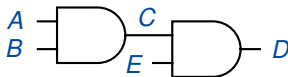
→ Änderung von D zur Zeit

$$\begin{aligned}\tau_2 &= \tau_1 + \tau_{PLH}(\text{AND}) \\ &= t_0 + 2 \cdot \tau_{PLH}(\text{AND}) \\ &= t_0 + 2 \cdot [0.02, 0.12] \\ &= t_0 + [0.04, 0.24]\end{aligned}$$

Fall 1 - Timing-Diagramm



Fall 2

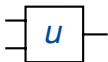


- A, B, E können sich zum Zeitpunkt t_0 ändern, sind vorher und nachher stabil.
- Es ist unbekannt, wieviele Signale sich ändern und wie sie sich ändern.

→ Größere Abschätzungen

Größere Abschätzung

- Bestimmung von Zeitintervallen, zu denen Gatter überhaupt schalten können.
- Beispiel:



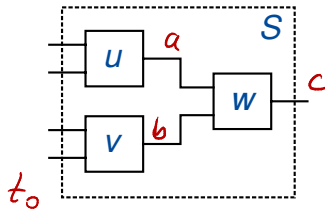
$$\tau_{PLH} = [t_{PLH}^{min}, t_{PLH}^{max}]$$
$$\tau_{PHL} = [t_{PHL}^{min}, t_{PHL}^{max}]$$

u ist beliebiges Gatter oder eine Schaltung.

- Gesucht ist ein Intervall τ_p in dem die Verzögerungsintervalle aller möglichen Schaltvorgänge enthalten sind.
- Definiere $t_p^{min} := \min(t_{PLH}^{min}, t_{PHL}^{min})$
 $t_p^{max} := \max(t_{PLH}^{max}, t_{PHL}^{max})$
- Dann ist $\tau_p := [t_p^{min}, t_p^{max}]$ das gesuchte Intervall.

SMILE – Timing Abschätzung

In welchem Intervall $\tau_p(S)$ kann S schalten?



$$\tau_p(u) = [a_1, b_1]$$

$$\tau_p(v) = [a_2, b_2]$$

$$\tau_p(w) = [a_3, b_3]$$

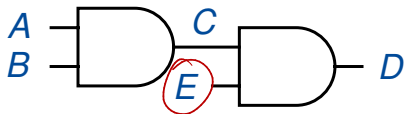
$$a : t_0 + [a_1, b_1]$$

$$b : t_0 + [a_2, b_2]$$

$$[\min(a_1, a_2), \max(b_1, b_2)] \\ + [a_3, b_3]$$



Fall 2



AND	t^{\min}	t^{\max}
τ_{PLH}	0.02	0.12
τ_{PHL}	0.02	0.12

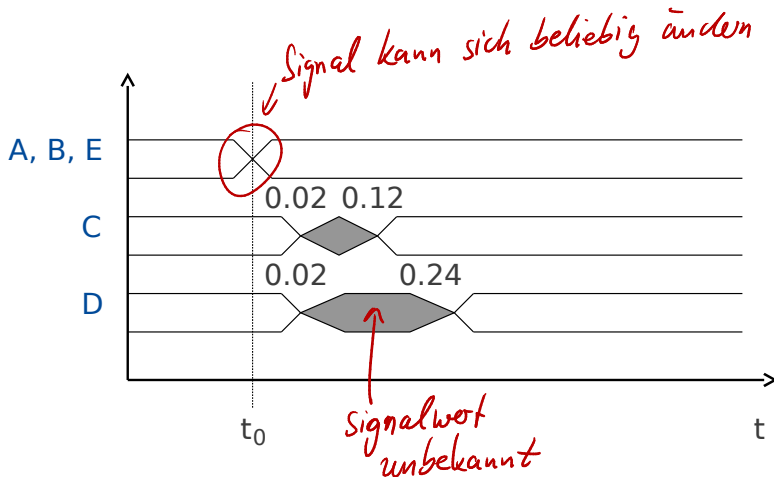
■ Wenn die Gatter schalten, dann in folgenden Intervallen:

■ A, B, E: $t_0 + [0.0, 0.0]$

■ C: $t_0 + [0.02, 0.12]$

■ D: $t_0 + [0.0, 0.12] + [0.02, 0.12] = t_0 + [0.02, 0.24]$

Fall 2 - Timing-Diagramm



Interpretation des Timing-Diagramms

- Was kann im grauen Bereich passieren?

- **Beispiel:**

t_0 : A, B, E 110 \rightarrow 101



- **Annahme:**

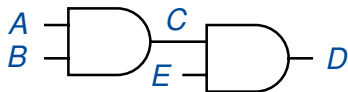
AND-Gatter haben folgende Verzögerungszeiten.

- 1. AND-Gatter: $t_{PLH} = 0.12$, $t_{PHL} = 0.12$
- 2. AND-Gatter: $t_{PLH} = 0.02$, $t_{PHL} = 0.02$

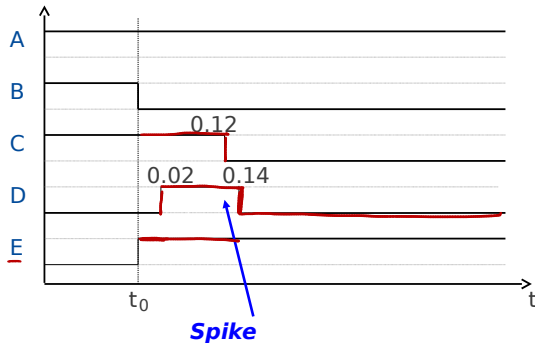
$$t_{PLH}^{AND} = [0.02, 0.12]$$

Timing-Diagramm zum Beispiel

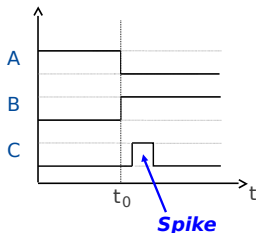
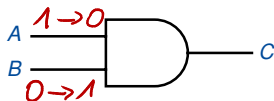
110 → 101



- 1. AND: $t_{PLH} = 0.12$ $t_{PHL} = 0.12$
- 2. AND: $t_{PLH} = 0.02$ $t_{PHL} = 0.02$



Spikefreies Umschalten von Gattern



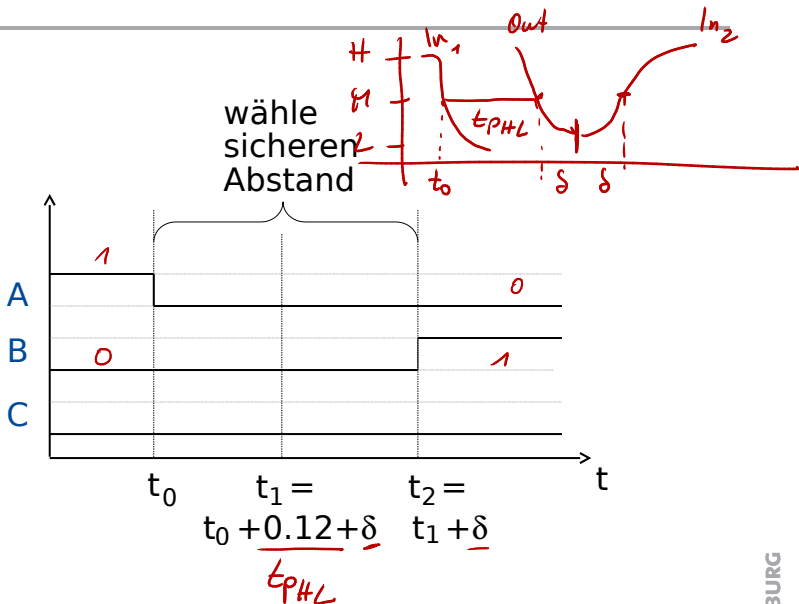
■ Ziel:

Übergang von $A = 1, B = 0$ zu $A = 0, B = 1$, ohne Spike am Ausgang.

■ Bemerkung:

Der Übergang $(0, 1) \rightarrow (1, 0)$ bzw. umgekehrt ist der einzige, bei dem an AND/NAND-Gattern ein Spike auftreten kann.

AND-Gatter



Sicherer Abstand für Senken von A und Anheben von B

Lemma

Man kann zeigen, dass Übergänge für A und B mit

$$0.12\text{ ns} + 2\delta = 0.38\text{ ns}$$

sicher sind, d. h. keine Spikes am Ausgang entstehen können.

Zum Beweis - Timing im Gatter

1 Senke A bei $t_0 = 0$.

→ $C = 0$ wegen $A = 0$ spätestens bei $t_1 = t_0 + 0.12 + \delta$

■ Grund:

- Bei tatsächlichem Schalten von $C = 0$ wegen $A = 0$ würde das Signal spätestens nach $t_{PHL}^{max} = 0.12 \text{ ns}$ den Wert M durchlaufen und wäre 0 spätestens nach $0.12 + \delta \text{ ns}$.
- Interner Umschaltvorgang „ $C = 0$ wegen $A = 0$ “ muss also spätestens nach $0.12 + \delta \text{ ns}$ beendet sein.

2 Hebe B (bzgl. M !) zum Zeitpunkt $t_2 = t_1 + \delta$.

→ Zum Zeitpunkt t_1 gilt auf jeden Fall noch $B = 0$.

■ Also:

Vor t_1 : $B = 0 \Rightarrow C = 0$

Nach t_1 : $A = 0 \Rightarrow C = 0$

→ Übergänge für A und B mit Abstand
 $t_2 - t_0 = 0.12 + 2\delta = 0.38 \quad (\delta = 0.13)$.

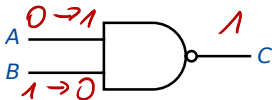
<u>AND</u>	t^{\min}	t^{\max}
τ_{PLH}	0.02	0.12
τ_{PHL}	0.02	0.12

Regel für spikefreies Umschalten

- Wähle den Abstand für die Signaländerungen am Eingang eines Gattes so, dass
 - die maximale Verzögerung des ersten Schaltvorganges
und
 - $2 \times$ die rise-/fall-time (δ)zwischen den beiden Schaltvorgängen am Eingang liegt.

$$\delta = 0.13$$

- Beispiel: NAND



NAND	t^{\min}	t^{\max}
$\rightarrow \tau_{PLH}$	0.02	0.15
τ_{PHL}	0.02	0.12

- Kritischer Übergang: Zuerst $A : 1 \rightarrow 0$, dann $B : 0 \rightarrow 1$.
- Daraus ergibt sich der Abstand $\max(\tau_{PLH}) + 2\delta = 0.41$
 $0.15 + 2 \cdot 0.13 =$

