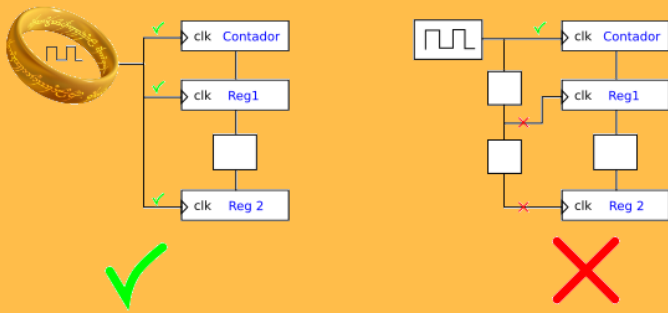


LAS 5 REGLAS DEL DISEÑO SÍNCRONO

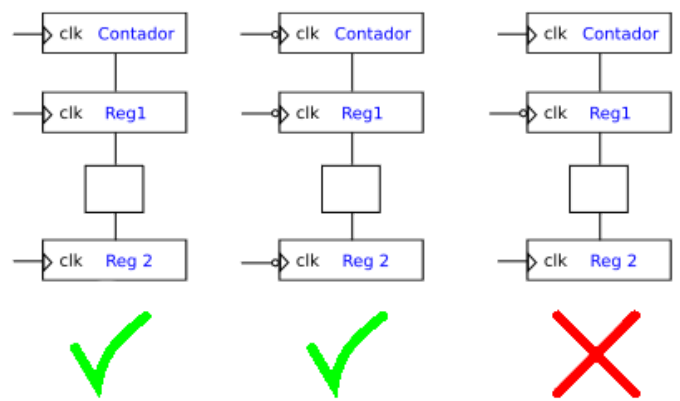
UN ÚNICO RELOJ PARA GOBERNARLOS A TODOS



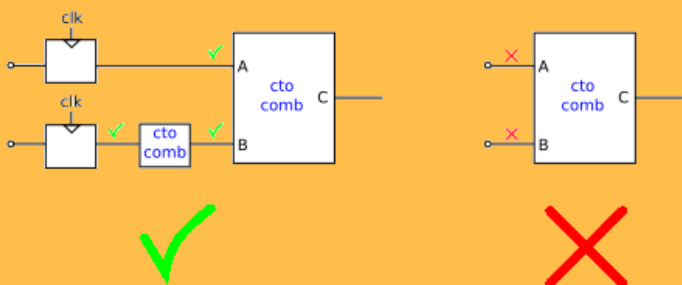
TODAS las entradas de reloj se deben conectar directamente a un único reloj, común a todos.

SENSIBILIDAD AL MISMO FLANCO ¡TODOS A UNA FUENTE OVEJUNA!

Todos los elementos que lleven reloj, serán sensibles al mismo flanco. Bien al de subida o al de bajada, es indiferente, pero todos sensibles al mismo.



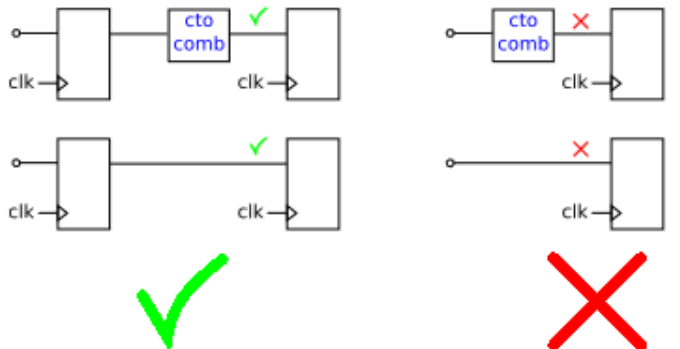
ANTES DE ENTRAR A UN CIRCUITO COMBINACIONAL PASE POR REGISTRO POR FAVOR



Todas las entradas de los circuitos combinacionales deben estar conectadas a salidas de circuitos secuenciales, sincronizadas con el reloj del sistema, o bien a otros circuitos combinacionales que cumplan esta regla. Es decir, que cualquier entrada de un circuito combinacional tiene que ser capturada antes por un registro. Las entradas que cumplen esta regla se denominan entradas sincronizadas

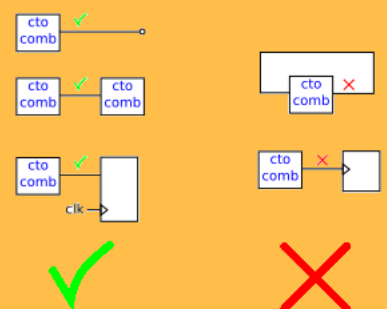
ANTES DE ENTRAR A UN CIRCUITO SECUENCIAL PASE POR REGISTRO POR FAVOR

Todas las entradas de los circuitos secuenciales deben provenir de las salidas de otros circuitos secuenciales o bien de combinacionales que cumplan la regla anterior. Es decir, incluso para entrar en los circuitos secuenciales, es necesario que las señales estén sincronizadas.



SALIDAS DE UN COMBINACIONAL: SÓLO A ENTRADAS DE OTRO COMBINACIONAL, ENTRADAS SÍNCRONAS O SALIDAS DEL CIRCUITO SÍNCRONO

Podemos conectar la salida de un circuito combinacional a la entrada de otro combinacional, a la entrada síncrona de un secuencial o como salida directa de nuestro circuito. Prohibido conectarlas a las entradas del propio combinacional como realimentación directa o al reloj.



FUENTE:

<https://github.com/Obijuan/open-fpga-verilog-tutorial/wiki/>

Julían Caro Linares