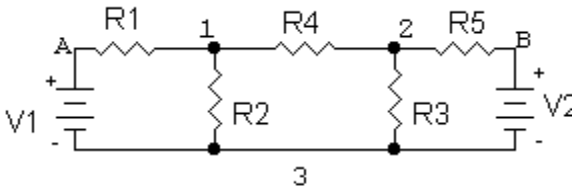
Capítulo 0: RESOLUCIÓN DE CIRCUITOS

INTRODUCCIÓN

Tomemos una red simple:



CIRCUITO 1

Se definen como NODOS de una red, a aquellos puntos de la misma donde confluyen dos elementos pasivos o activos; en el caso que estamos estudiando, serían los puntos 1, 2, 3, A y B. Se definen como NODOS PRINCIPALES de la red a aquellos nodos donde confluyen 3 o más elementos. Para este caso, los nodos 1, 2 y 3. Se definen como RAMAS de la red a aquellos caminos constituidos por elementos pasivos y/o activos que unen dos nodos principales.

Para este caso, las distintas ramas serán:

Rama 1: $V_1 - R_1$
Rama 2: R_2
Rama 3: R_4
Rama 4: R_3
Rama 5: $R_5 - V_2$

Se definen como MALLAS de la red a aquellos caminos cerrados con ramas a sus lados, que se pueden formar en la red. Para nuestro caso:

Malla 1: $V_1 - R_1 - R_2$
Malla 2: $R_2 - R_4 - R_3$
Malla 3: $R_3 - R_5 - V_2$
Malla 4: $R_2 - R_4 - R_5 - V_2$
Etc.

LEYES DE KIRCHHOFF

1° Ley: la suma de las corrientes que entran a un nodo debe ser igual a la suma de las corrientes que salen de él.

2° Ley: la suma de las caídas de tensión a lo largo de una malla debe ser igual a la suma de las f.e.m. de la misma.

RESOLUCIÓN POR EL MÉTODO DE MALLAS

Lo primero será elegir las mallas a plantear. El número mínimo de mallas a plantear será:

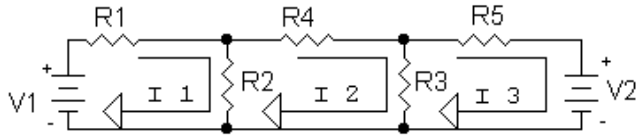
$$m = r - (n - 1)$$

Donde :

m = número de mallas
r = número de ramas
n = número de nodos principales

Para nuestro caso será: $m = 5 - (3-1) = 3$

Habrá que elegir las mallas de modo que por todas las ramas circule la corriente de, al menos, una malla. El número de ecuaciones a plantear será igual al número de mallas necesario.
En nuestro caso elegiremos:
Por la segunda ley de Kirchhoff:



CIRCUITO 2

Malla 1	$0 =$	$-V_1 + I_1R_1 + I_1R_2 - I_2R_2$	(1)
Malla 2	$0 =$	$-I_1R_2 + I_2R_2 + I_2R_4 + I_2R_3 - I_3R_3$	(2)
Malla 3	$0 =$	$-I_2R_3 + I_3R_3 + I_3R_5 + V_2$	(3)

En este caso hemos recorrido cada malla en sentido horario y adoptamos la convención de que cuando entramos al elemento por su terminal negativo, le asignamos signo negativo; mientras que cuando lo hacemos por el positivo, su signo es positivo. Cabe aclarar que la convención podría haber sido inversa sin que se alteren los resultados. Reacomodando las tres ecuaciones anteriores, éstas se pueden expresar de la siguiente manera:

Malla 1	$V_1 =$	$I_1(R_1 + R_2) - I_2R_2$	(4)
Malla 2	$0 =$	$-I_1R_2 + I_2(R_2 + R_4 + R_3) - I_3R_3$	(5)
Malla 3	$-V_2 =$	$-I_2R_3 + I_3(R_3 + R_5)$	(6)

$$\begin{array}{rcccc} V_1 = & (R_1 + R_2) & -R_2 & 0 & I_1 \\ 0 = & -R_2 & (R_2 + R_4 + R_3) & -R_3 & I_2 \\ -V_2 = & 0 & -R_3 & (R_3 + R_5) & I_3 \end{array}$$

De esta forma, podemos ver que en cada ecuación de malla, la corriente propia está multiplicada por todos los elementos pasivos que pertenecen a la malla, y las otras corrientes están multiplicadas por el elemento que comparten la malla planteada con la malla de la corriente correspondiente; dependiendo el signo, de si las corrientes están en el mismo sentido o son opuestas.

Como ejemplo de lo anterior, analicemos la malla 1. Los elementos pasivos de esta malla son R_1 y R_2, vemos que ambos multiplican a I_1. R_2 es el elemento que comparten la malla 1 y la 2, por lo tanto éste multiplica a I_2 y su signo es negativo porque I_1 e I_2 tienen sentidos contrarios sobre R_2. Por último, la malla 1 y la 3 no comparten ningún elemento, por lo tanto en esta ecuación no hay ningún término en función de I_3.

Luego, esta suma de términos (cada uno en función de una corriente de malla) se iguala a la suma algebraica de las f.e.m. que intervienen en la malla. Para nuestro caso, por ejemplo, para la malla 1 es sólo V_1.

Por último, tendremos n ecuaciones (en nuestro caso 3), con n incógnitas (en nuestro caso I_1, I_2 e I_3). Para obtener la corriente en una rama determinada, sólo bastará sumar

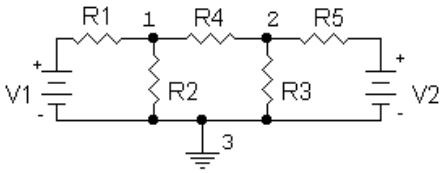
algebraicamente todas las corrientes de malla que circulen por esa rama. Para nuestro caso, si por ejemplo quisiéramos hallar el valor de la corriente que circula por R_2, ésta se obtendrá:

$$I_{R2} = I_1 - I_2$$

Si el resultado es positivo, I_{R2} tendrá el mismo sentido que I_1; si fuera negativo, tendrá sentido contrario.

RESOLUCIÓN POR EL MÉTODO DE NODOS

Este método se basa en la aplicación de la 1° Ley de Kirchhoff para cada nodo. El número de ecuaciones a plantear será igual al número de nodos principales menos 1, tomándose el nodo principal restante como referencia. Esto es, los valores de la tensión en los nodos incógnita estarán referidos a ese nodo.



CIRCUITO 3

Retomando el ejemplo anterior:

Tomaremos el nodo 3 como referencia. Las incógnitas serán las tensiones de los nodos 1 y 2 con respecto al nodo 3. Para cada nodo se plantea que la suma de corrientes que salen del nodo debe ser igual a la suma de corrientes que ingresan a él. Se debe adoptar una convención de signos para las corrientes entrantes y salientes. En nuestro caso adoptaremos:

Saliente ..... (+) positivo
Entrante ..... (–) negativo

Cada término de corriente, para cada rama, se puede expresar como la tensión efectiva sobre los elementos pasivos de la rama, dividida por la suma de esos elementos pasivos.

Notación : V_{n1} = tensión del nodo 1 con respecto a la referenc
V_{n2} = tensión del nodo 2 con respecto a la referencia.

Así, las ecuaciones quedarán:

NODO 1 $(V_{n1} - V_1)/R_1 + V_{n1}/R_2 + (V_{n1} - V_{n2})/R_4 = 0$ (7)

NODO 2 $(V_{n2} - V_{n1})/R_4 + V_{n2}/R_3 + (V_{n2} - V_2)/R_5 = 0$ (8)

Nótese que en todos los casos se han supuesto corrientes salientes, aunque éste pueda no ser el sentido real de las mismas. Inclusive, una misma corriente (la que circula de nodo 1 al 2 por R_4) fue tomada con sentido saliente para el nodo 1 (esto es, se supuso que va del nodo 1 al 2) y también para el nodo 2 (en este caso se supuso que la corriente va del nodo 2 al 1). En el caso que hubiésemos supuesto que la corriente vaya del nodo 1 al 2 en ambas ecuaciones; para el nodo 1 la ecuación queda igual, para el nodo 2 tendríamos:

NODO 2 $- (V_{n1} – V_{n2})/R_4 + V_{n2} /R_3 + (V_{n2} - V_2)/R_5 = 0$

Nótese que se agrega un signo (–) delante del primer término debido a que en este caso la corriente se supone entrante. Si distribuimos el signo:

NODO 2 $(-V_{n1} + V_{n2})/R_4 + V_{n2} / R_3 + (V_{n2} - V_2) / R_5 = 0$ (9)

por lo que vemos que la ecuación queda igual que antes.

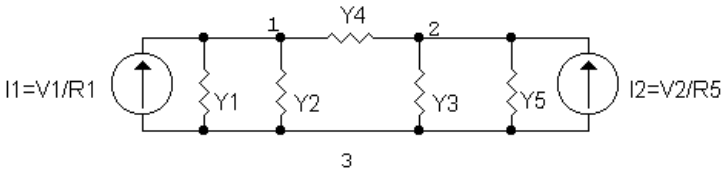
Como hicimos con el método de las mallas, podemos sistematizarlo. Reordenando las ecuaciones:

NODO 1 $V_{n1}(1/R_1 + 1/R_2 + 1/R_4) - V_{n2}R_4 = V_1/R_1$ (10)

NODO 2 $- V_{n1}1/R_4 + V_{n2}(1/R_4 + 1/R_3 + 1/R_5) = V_2/R_5$ (11)

En este caso, para la ecuación de cada nodo, la tensión del nodo propio estará multiplicada por la suma de las admitancias que confluyen al nodo, mientras que las tensiones de los nodos restantes estarán multiplicadas por las admitancias que comparten estos nodos con el nodo correspondiente a la ecuación. Los términos independientes (V_1/R_1 para el nodo 1 y V_2/R_5 para el nodo 2) corresponden al cociente entre el valor de las fuentes de tensión de cada rama que llega al nodo, y la suma de los elementos pasivos que contenga dicha rama.
Esto se debe a lo siguiente: reemplacemos, en las ramas donde hay fuentes de tensión con resistencias en serie, por su equivalente de fuente de corriente con admitancias en paralelo, y en el resto de las ramas las impedancias por admitancias. Nos queda el circuito 4.

Vemos que en cada nodo, además de todas las corrientes que circulan por las ramas de admitancias, hay una corriente, en este caso entrante, compuesta por las fuentes I_1 (para el nodo 1) e I_2 (para el nodo 2).



CIRCUITO 4

Para comprobar que llegamos al mismo resultado plantearemos las ecuaciones de nodo para este caso:

NODO 1 $-I_1 + V_{n1}Y_1 + V_{n1}Y_2 + (V_{n1} - V_{n2})Y_4 = 0$ (12)

NODO 2 $(V_{n2} - V_{n1})Y_4 + V_{n2}Y_3 + V_{n2}Y_5 - I_2 = 0$ (13)

NODO 1 $V_{n1}(Y_1 + Y_2 + Y_4) - V_{n2}Y_4 = I_1$ (14)

NODO 2 $-V_{n1}Y_4 + V_{n2}(Y_3 + Y_4 + Y_5) = I_2$ (15)

o, lo que es lo mismo:

NODO 1 $V_{n1}(1/R_1 + 1/R_2 + 1/R_4) - V_{n2}/R_4 = V_1/R_1$ (16)

NODO 2 $- V_{n1}1/R_4 + V_{n2}(1/R_3 + 1/R_4 + 1/R_5) = V_2/R_5$ (17)

donde podemos observar la igualdad de las ecuaciones (10) y (11) con las ecuaciones (16) y (17) respectivamente.

TEOREMA DE SUPERPOSICIÓN

La respuesta en cualquier elemento de un circuito lineal que contenga 2 ó más fuentes, es la suma de las respuestas obtenidas con cada una de las fuentes independientes haciendo las restantes iguales a cero. Por respuesta se entiende la corriente en el elemento o la tensión a través de éste. La superposición no se aplica a la potencia ya que no es lineal (es proporcional al cuadrado de la corriente).

Esto lo podemos explicar de la siguiente manera. Veamos las ecuaciones (4), (5) y (6) de la resolución por mallas de nuestro ejemplo. Son del tipo:

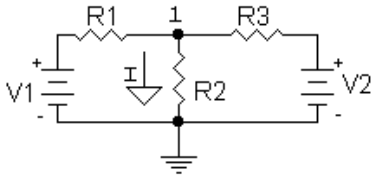
$$V_1 = Z_{11}I_1 + Z_{12}I_2 + ... + Z_{1n}I_n$$
$$.$$
$$.$$
$$.$$
$$V_n = Z_{n1}I_1 + Z_{n2}I_2 + ... + Z_{nn}I_n$$

Si resolvemos este sistema de n ecuaciones por algún método, llegaremos a obtener las incógnitas I_1, ..., I_n cada una en función de las fuentes de tensión V_1, ..., V_n. Esto es:

$$I_1 = a_{11}V_1 + ... + a_{1n}V_n$$
$$.$$
$$.$$
$$.$$
$$I_n = a_{n1}V_1 + ... + a_{nn}V_n$$

Cada corriente, entonces, estará compuesta por una suma de términos, cada uno de los cuales dependerá de las fuentes V_1, ..., V_n. Así, para la corriente I_1, si hacemos cero todas las fuentes de tensión menos la 1, obtendremos una $I_1' = a_{11}.V_1$; luego todas menos la 2, obteniendo una $I_1'' = a_{12}V_2$, etc. Por último, I_1 será igual a $I_1' + I_1'' + ... + I_1^n$.

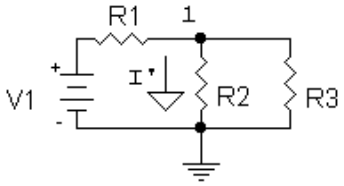
Hagamos un ejemplo:



CIRCUITO 5

$V_1 =$ 10 V
$V_2 =$ 5 V
$R_1 =$ 1 kΩ
$R_2 =$ 2 kΩ
$R_3 =$ 10 kΩ

Obtengamos la corriente I:



CIRCUITO 6

$$(V_{n1} - V_1) / R_1 + V_{n1} / R_2 + (V_{n1} - V_2) / R_3 = 0$$

$$V_{n1}(1/R_1 + 1/R_2 + 1/R_3) = V_1/R_1 + V_2/R_3$$

$$V_{n1}(1 + 0,5 + 0,1)[1/k\Omega]= (10 + 0,5)\ [mA]$$

$$V_{n1} = 10,5/1,6\ [V] = 6,5625\ [V]$$

$$I = V_{n1}/R_2 = 3,28125\ [mA]$$

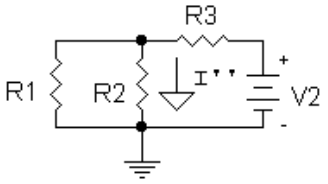
Por superposición:

1.- Cortocircuitamos V_2

$I' = [V_1/(R_2//R_3 + R_1)][R_2//R_3/R_2] = 3{,}125$ [mA]

2.- Cortocircuitamos V_1:

$I'' = [V_2/(R_1//R_2 + R_3)].[R_1//R_2/R_2] = 0{,}15625$ [mA]



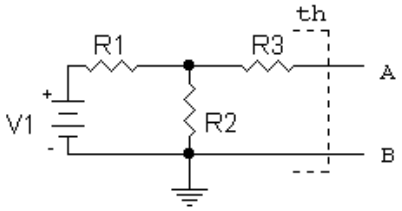
CIRCUITO 7

Por último

$I = I' + I'' = (3{,}125 + 0{,}15625)$ [mA] $= 3{,}28125$ [mA]

TEOREMA DE THEVENIN

Todo circuito lineal activo, visto desde dos de sus terminales, puede reemplazarse por una fuente de tensión en serie con una impedancia. La fuente de tensión será la tensión a circuito abierto entre los terminales, y la impedancia, es la vista desde los terminales con todas las fuentes independientes igualadas a cero.



CIRCUITO 8

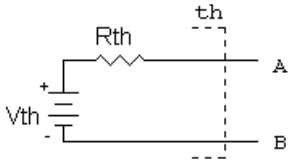
Ejemplo:

$V_1 =$ 10 V
$R_1 =$ 2 kΩ
$R_2 =$ 10 kΩ
$R_3 =$ 1 kΩ

$V_{th} = [V_1/(R_1 + R_2)]R_2 = 8{,}33$ [V]

$R_{th} = R_3 + R_1//R_2 = 2{,}66$ [kΩ]

Por lo tanto, el equivalente será el del circuito 9:

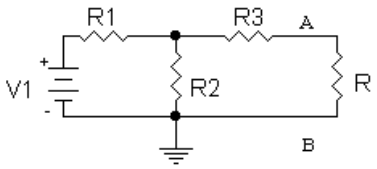


CIRCUITO 9

Carguemos, ahora, ambos circuitos (el original y el equivalente) con una resistencia $R = 2$ kΩ y veamos si se comportan igual:

Para el original

$V_{ab} = \{V_1/[(R_3 + R)//R_2 + R_1]\}\{[R_2//(R_3 + R)]/(R_3 + R)\}R$
$= 3{,}5714$ [V]

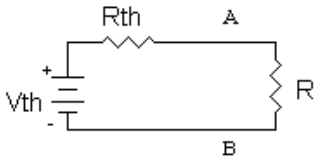


CIRCUITO 10

A partir del thevenin equivalente:

$V_{ab} = [V_{th}/(R_{th} + R)]R = 3{,}5714$ [V]

Vemos que los resultados son los mismos.



CIRCUITO 11

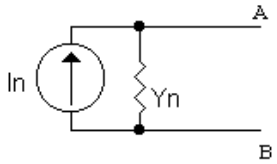
TEOREMA DE NORTON

Todo circuito lineal activo, visto desde dos de sus terminales, puede reemplazarse por una fuente de corriente en paralelo con una admitancia. La fuente de corriente será la corriente de cortocircuito de los terminales, y la admitancia, es la admitancia vista desde los terminales con todas las fuentes independientes igualadas a cero.

Obtengamos el equivalente Norton del circuito anterior.

$I_n = [V_1/(R_2//R_3 + R_1)][R_2//R_3/R_3] = 3{,}125$ [mA]

$Y_n = 1/R_{th} = 0{,}375$ [1/kΩ]



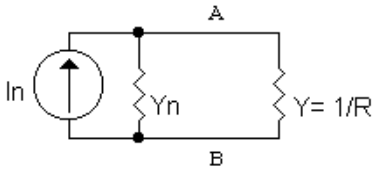
CIRCUITO 12

Carguémoslo, nuevamente, con una carga $R = 2$ kΩ

$V_{ab} = I_n / (Y_n + Y) = 3{,}5714$ [V]

Nótese, además, que la I_n es igual al cociente Vth/Rth

$I_n = 3{,}125$ [mA] = 8,33. [V] /2,66 [kΩ] = V_{th}/R_{th}

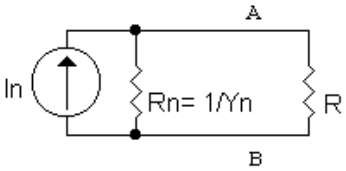


CIRCUITO 13

Cabe aclarar, además, que también podemos trabajar con impedancias

Si lo cargamos con una resistencia $R = 2$ kΩ

$V_{ab} = I_n(R_n//R) = 3{,}5714$ [V]



CIRCUITO 14

IMPEDANCIA DE ENTRADA

La IMPEDANCIA DE ENTRADA entre dos terminales de una red es el cociente entre la tensión de entrada y la corriente de entrada en ellos. Esta impedancia dependerá de todos los parámetros del circuito y, además, de la carga que tenga conectada en los terminales de salida. Esta impedancia dependerá de todos los parámetros del circuito y, además, de las resistencias internas de los generadores y fuentes independientes que existan. Recuerde que se deberán suponer igual a cero las fuentes de tensión independientes, y en circuito abierto las fuentes de corriente independientes para el cálculo. En general deberá resolverse como:

$R_i = V_i / I_i$

Por ejemplo, para el caso que venimos analizando, se puede obtener la impedancia de entrada por combinaciones serie y paralelo, o por definición, así resulta la impedancia vista por V_1 como:

$$R_i = [(R_3 + R)//R_2] + R_1$$

IMPEDANCIA DE SALIDA

La IMPEDANCIA DE SALIDA entre dos terminales de salida de una red o circuito, es el cociente entre la tensión de entrada y la corriente de entrada en ellos (suponemos una alimentación entre ellos, en realidad ficticia). Esta impedancia dependerá de todos los parámetros del circuito y, además, de las resistencias internas de los generadores y fuentes independientes que existan. Recuerde que se deberán suponer igual a cero las fuentes de tensión independientes, y en circuito abierto las fuentes de corriente independientes. En general deberá resolverse como:

$$R_o = V_o / I_o$$

Para nuestro caso, entre los terminales A y B, la impedancia de salida será:

$$R_o = R_3 + R_1//R_2$$

Bibliografia

- EDMINISTER, J. A., MC GRAW-HILL, “Teoría y problemas de Circuitos Eléctricos”. Cap. 9, págs 99 a 108. Cap 10, págs 121 a 125. Cap. 11, págs 139 a 142. Cap. 12, págs 155 a 158.

Capítulo 1

Introducción a la Electrónica

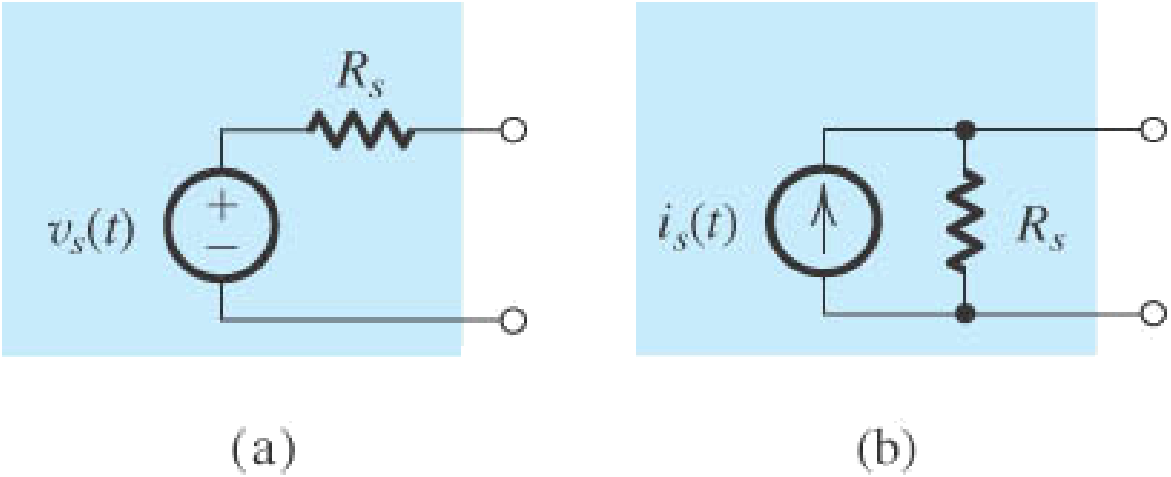


Figura 1.1 Dos representaciones alternativas de una fuente de señal: (a) forma de Thévenin, y (b) forma de Norton. Este modelo sirve para representar desde un instrumento hasta un transductor.

Copyright © 2004 by Oxford University Press, Inc.

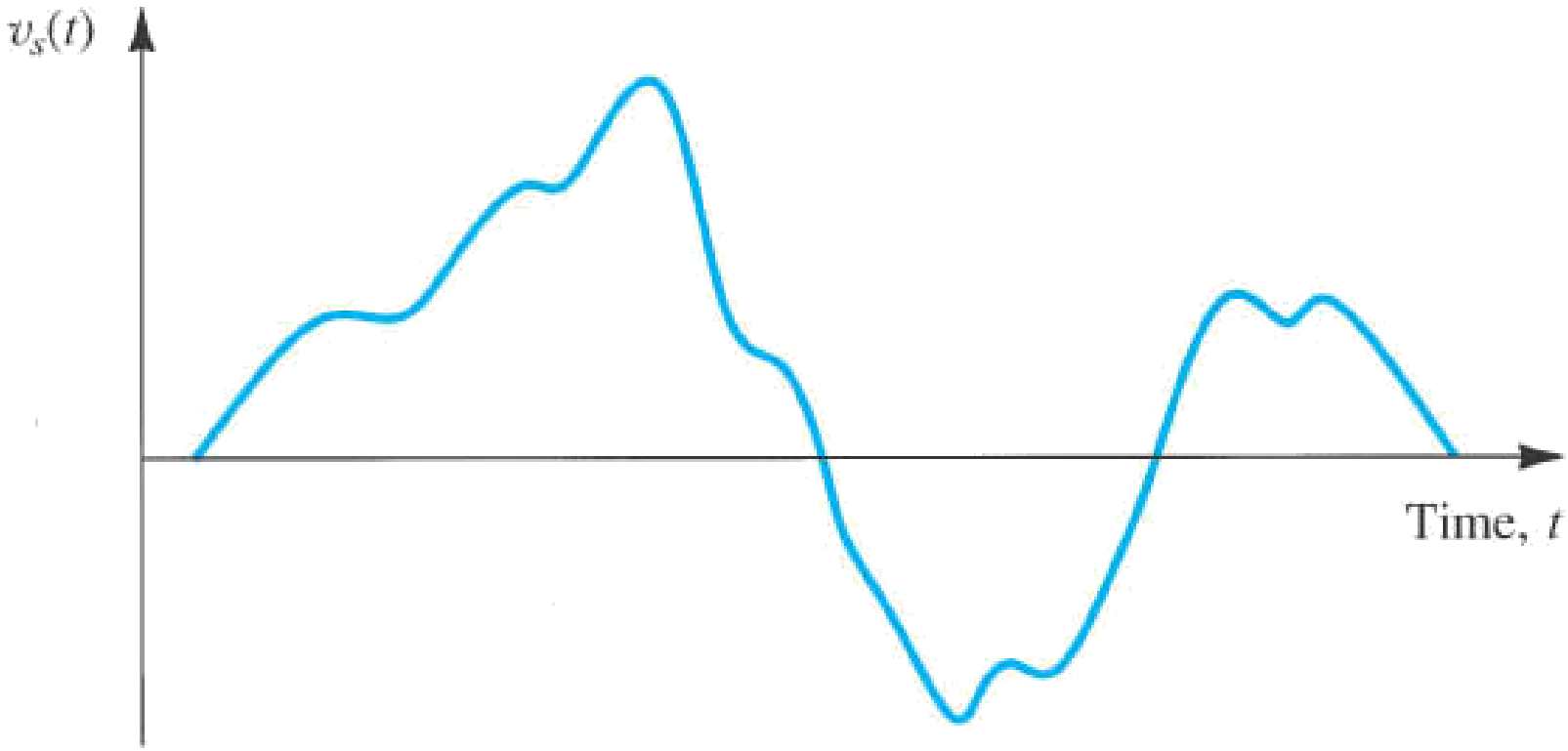


Figura 1.2 Señal de tensión arbitraria $v_s(t)$.

Copyright © 2004 by Oxford University Press, Inc.

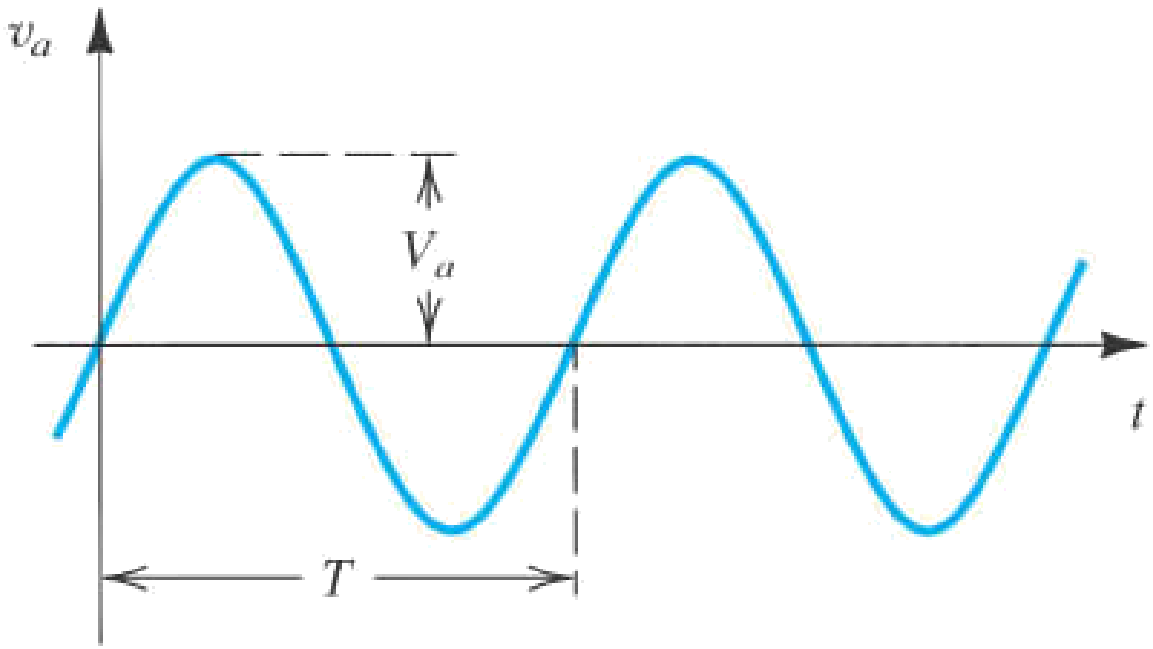
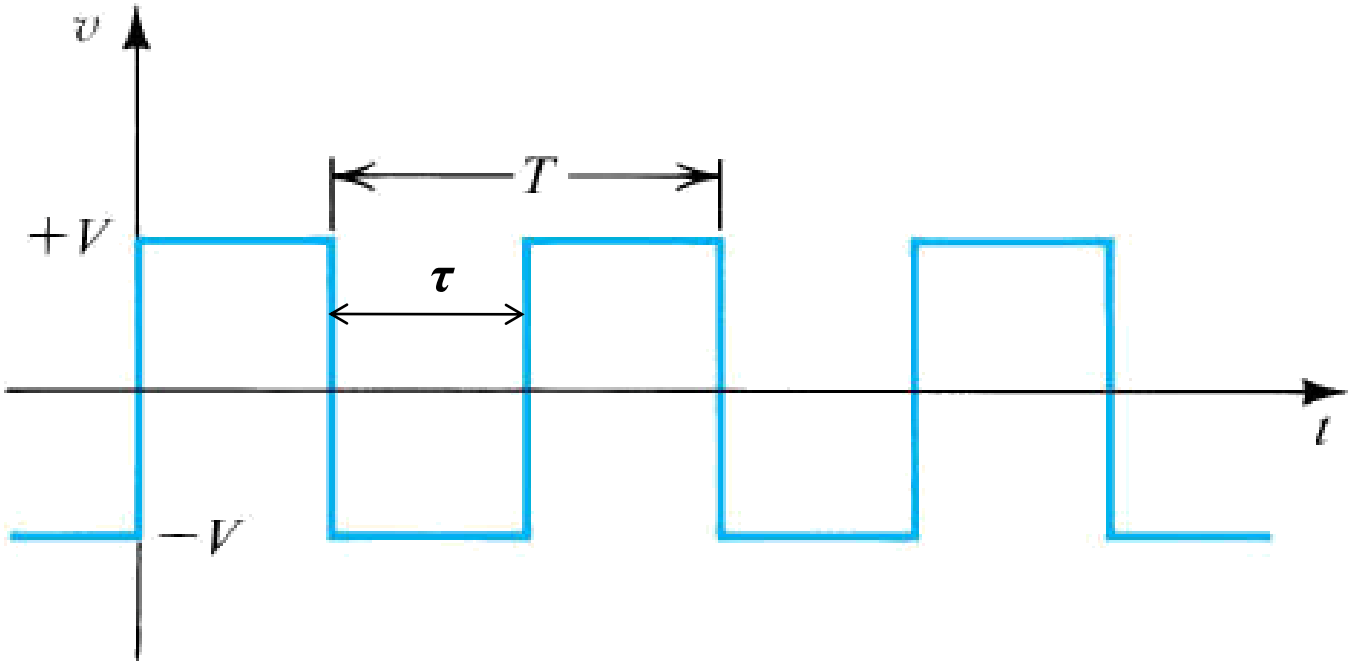


Figura 1.3 Señal de tensión senoidal de amplitud V_a y frecuencia $f = 1/T$ Hz. La frecuencia angular es $\omega = 2\pi f$ rad/s.

Copyright © 2004 by Oxford University Press, Inc.



Ciclo de trabajo $\eta = \tau/T$

$\tau = T/2$ onda cuadrada simétrica

Figura 1.4 Señal de onda cuadrada simétrica de amplitud *V* y τ = T/2 .

Copyright © 2004 by Oxford University Press, Inc.

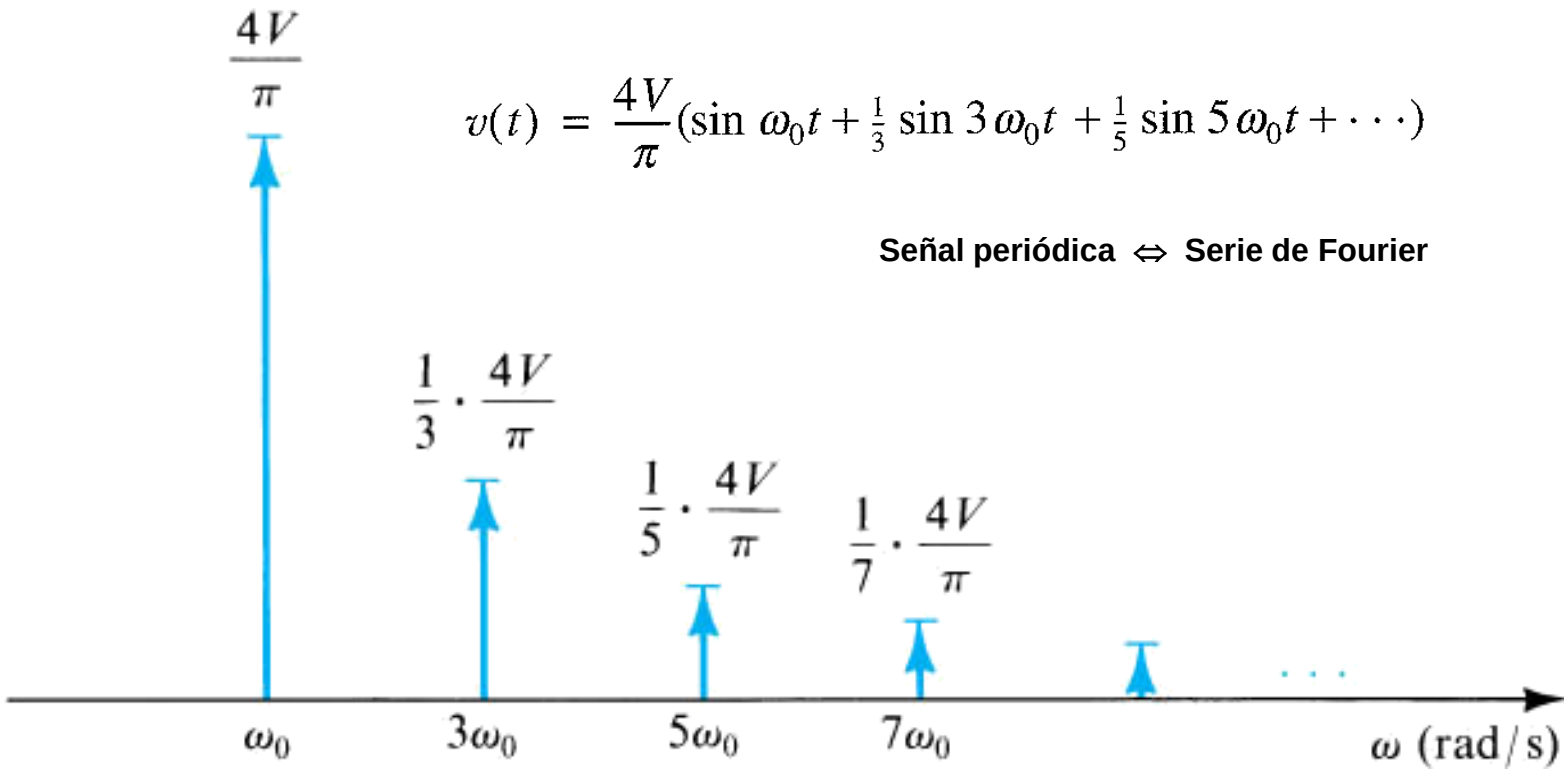


Figura 1.5 Espectro de frecuencia (también llamado espectro de línea) de la onda cuadrada periódica de la Fig. 1.4.

Copyright © 2004 by Oxford University Press, Inc.

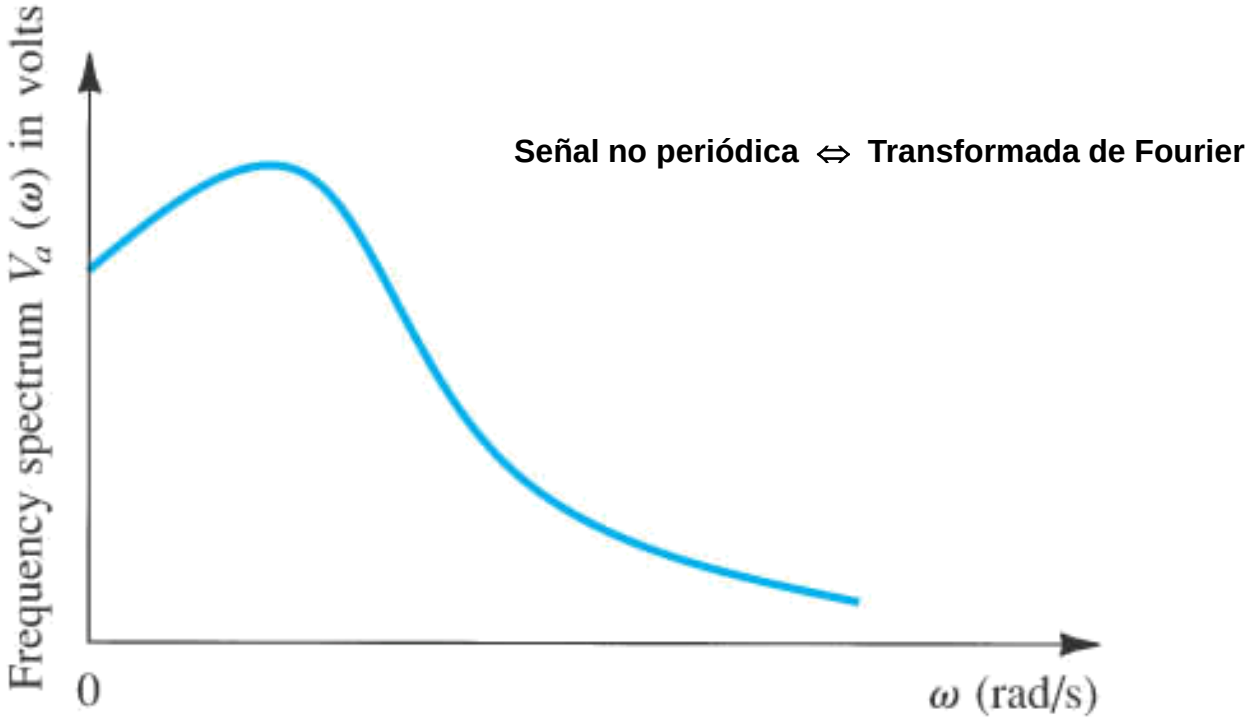


Figura 1.6 Espectro de una señal arbitraria como la de la Fig. 1.2.

Copyright © 2004 by Oxford University Press, Inc.

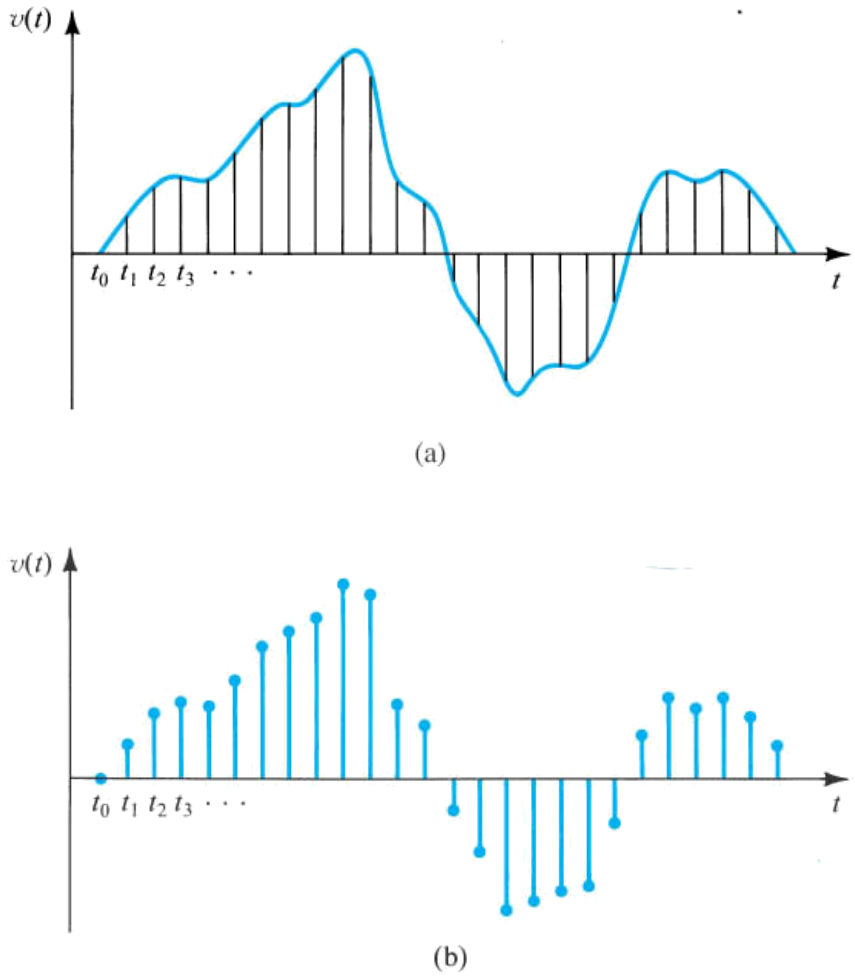


Figura 1.7 El muestreo de una señal analógica continua en el tiempo en (a) da como resultado una señal discreta en el tiempo en (b).

Copyright © 2004 by Oxford University Press, Inc.

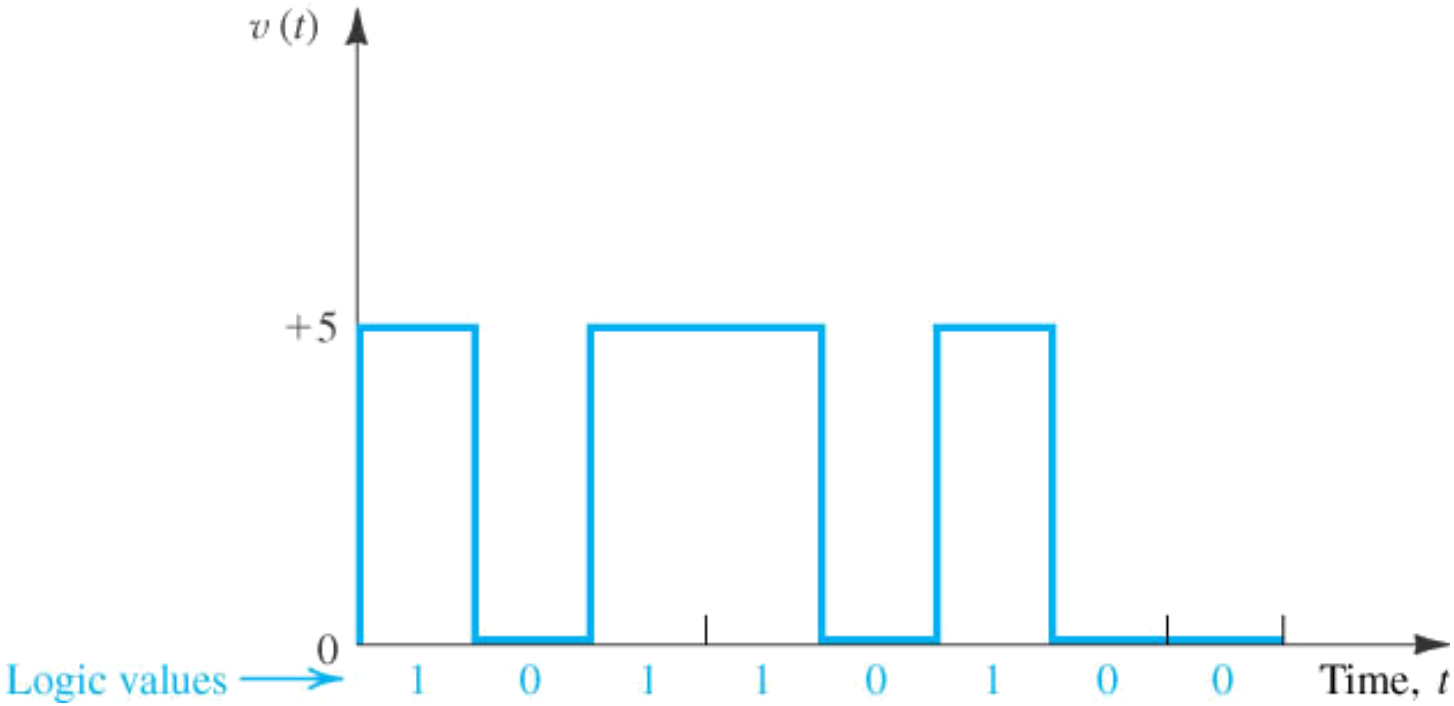
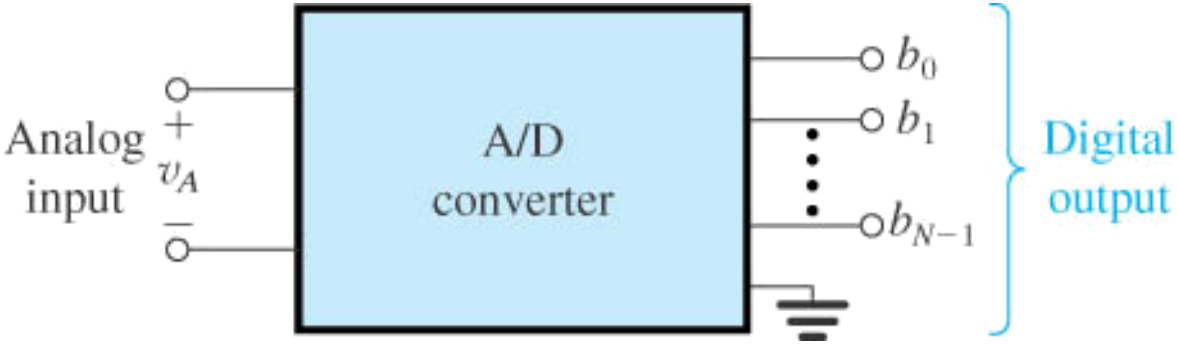


Figura 1.8 Señal digital binaria particular en el tiempo.

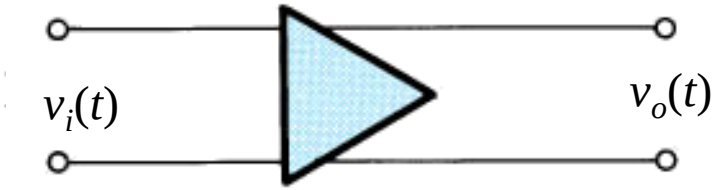
Copyright © 2004 by Oxford University Press, Inc.



$$D = b_0 2^0 + b_1 2^1 + b_2 2^2 + \cdots + b_{N-1} 2^{N-1}$$

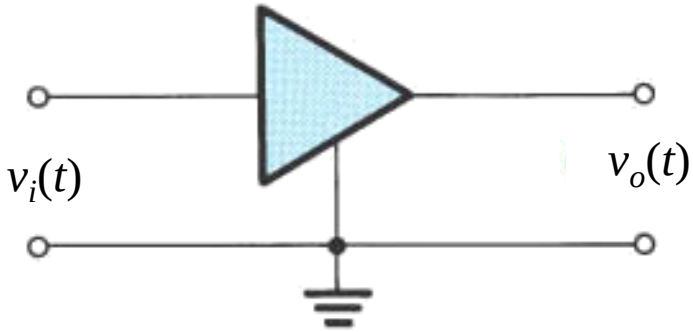
Figura 1.9 Representación en diagrama en bloque de un conversor análogo-digital (ADC).

Copyright © 2004 by Oxford University Press, Inc.



(a)

$$v_o(t) = A\,v_i(t)$$



(b)

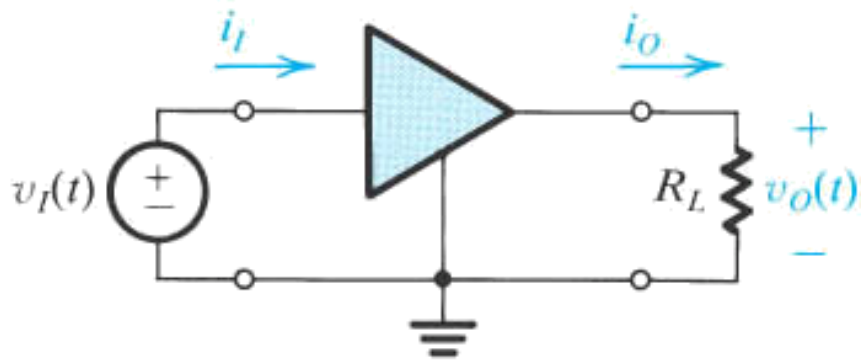
Figura 1.10 (a) Símbolo de circuito de un amplificador. (b) Amplificador con un terminal común (tierra) entre los puertos de entrada y salida.

Copyright © 2004 by Oxford University Press, Inc.

$$\text{Ganancia de potencia } (A_p) \equiv \frac{\text{potencia en la carga}(P_L)}{\text{potencia de entrada } (P_I)} = \frac{v_O i_O}{v_I i_I}$$

$$A_p = A_v A_i$$

$$\text{Ganancia de tensión } (A_v) \equiv \frac{v_O}{v_I} \quad \text{Ganancia de corriente } (A_i) \equiv \frac{i_O}{i_I}$$

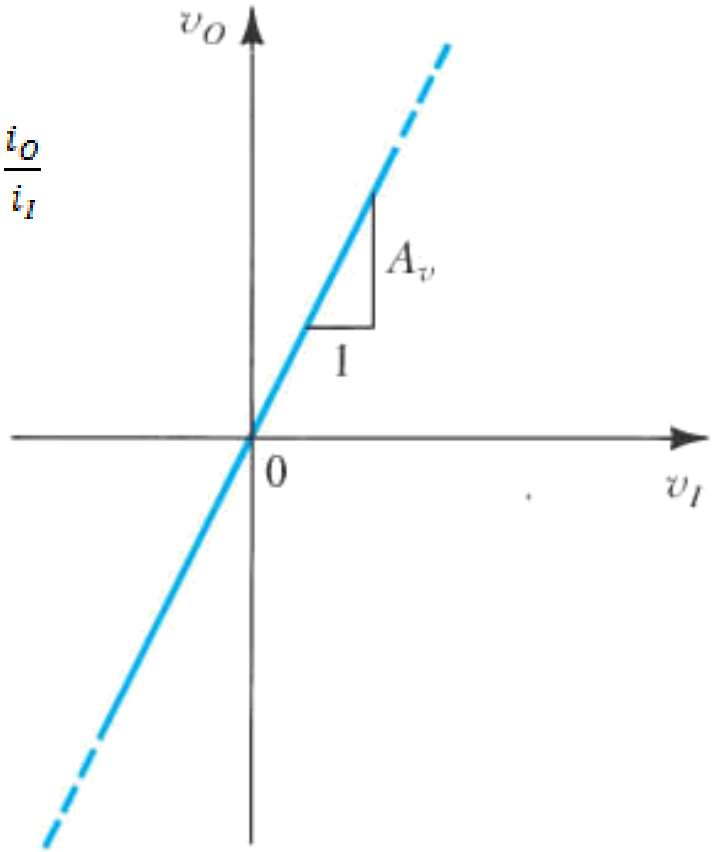


$$\text{Ganancia de tensión en decibeles } \equiv 20 \log|A_v|$$

$$\text{Ganancia de corriente en decibeles } \equiv 20 \log|A_i|$$

$$\text{Ganancia de potencia en decibeles } \equiv 20 \log|A_p|$$

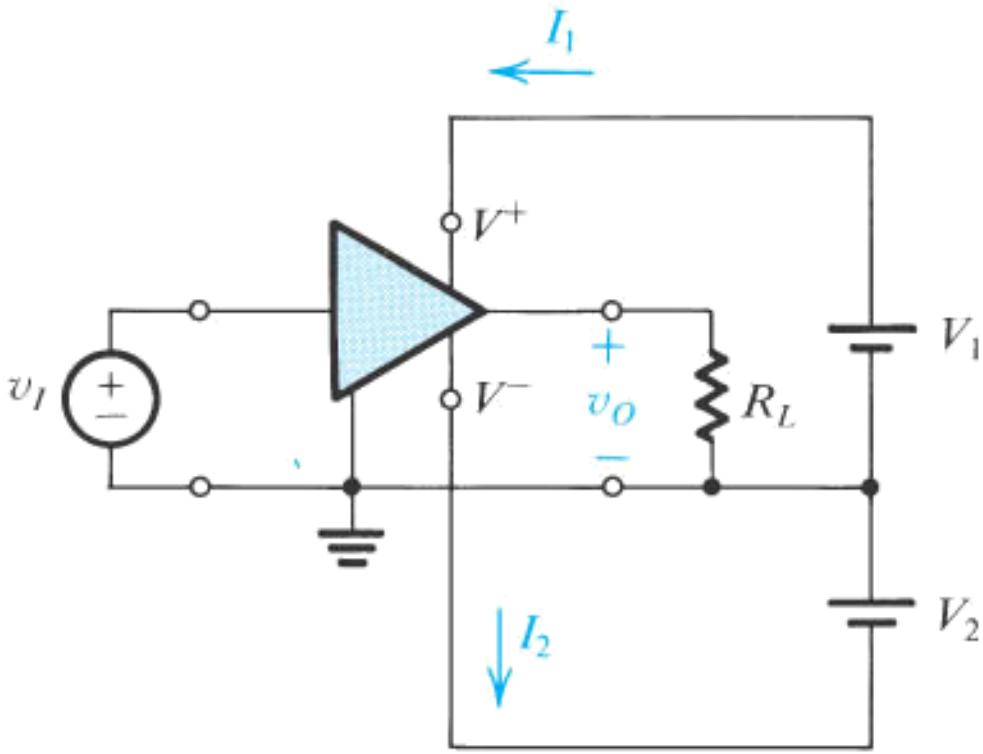
(a)



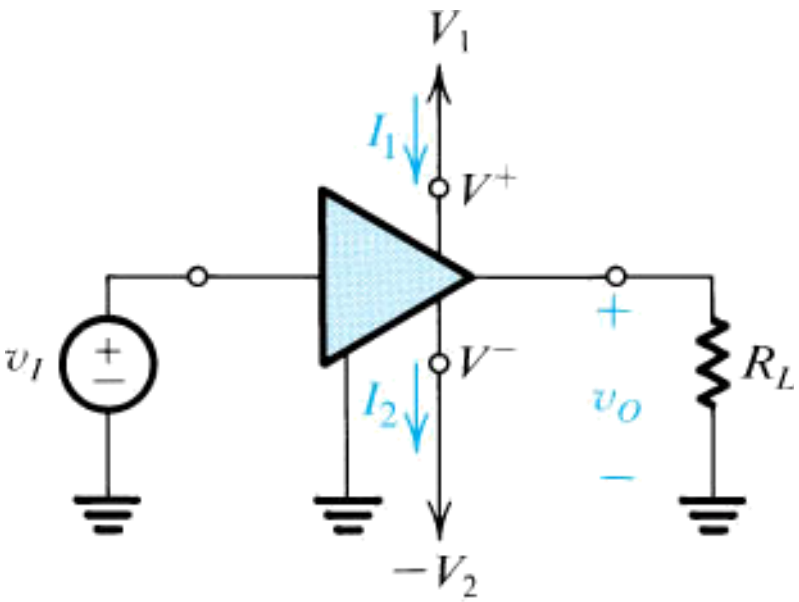
(b)

Figura 1.11 (a) Un amplificador de tensión excitado con una señal $v_I(t)$, conectado a una resistencia de carga R_L. (b) Característica de transferencia de un amplificador lineal de tensión con ganancia de tensión A_v.

Copyright © 2004 by Oxford University Press, Inc.



(a)



(b)

$$P_{DC} = V_1 I_1 + V_2 I_2$$

$$\eta = \frac{P_L}{P_{DC}} 100 \quad Eficiencia$$

$$P_{DC} + P_I = P_L + P_{disipada}$$

Figura 1.12 Amplificador que requiere dos fuentes de alimentación de continua (las baterías) .

Copyright © 2004 by Oxford University Press, Inc.

$$\frac{L_-}{A_v} \leq v_I \leq \frac{L_+}{A_v}$$

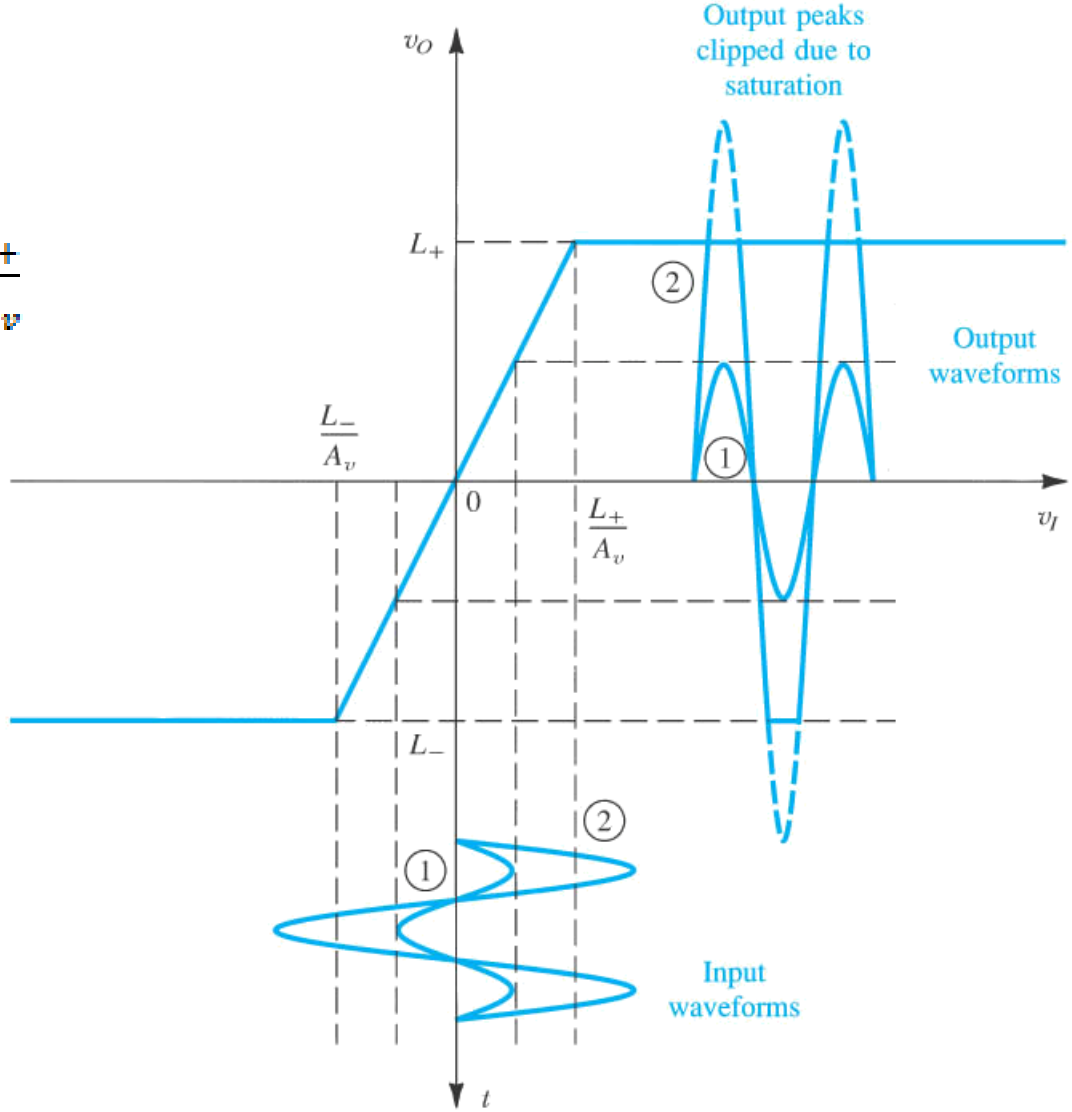


Figura 1.13 Característica de transferencia de un amplificador que es lineal salvo la saturación de salida.

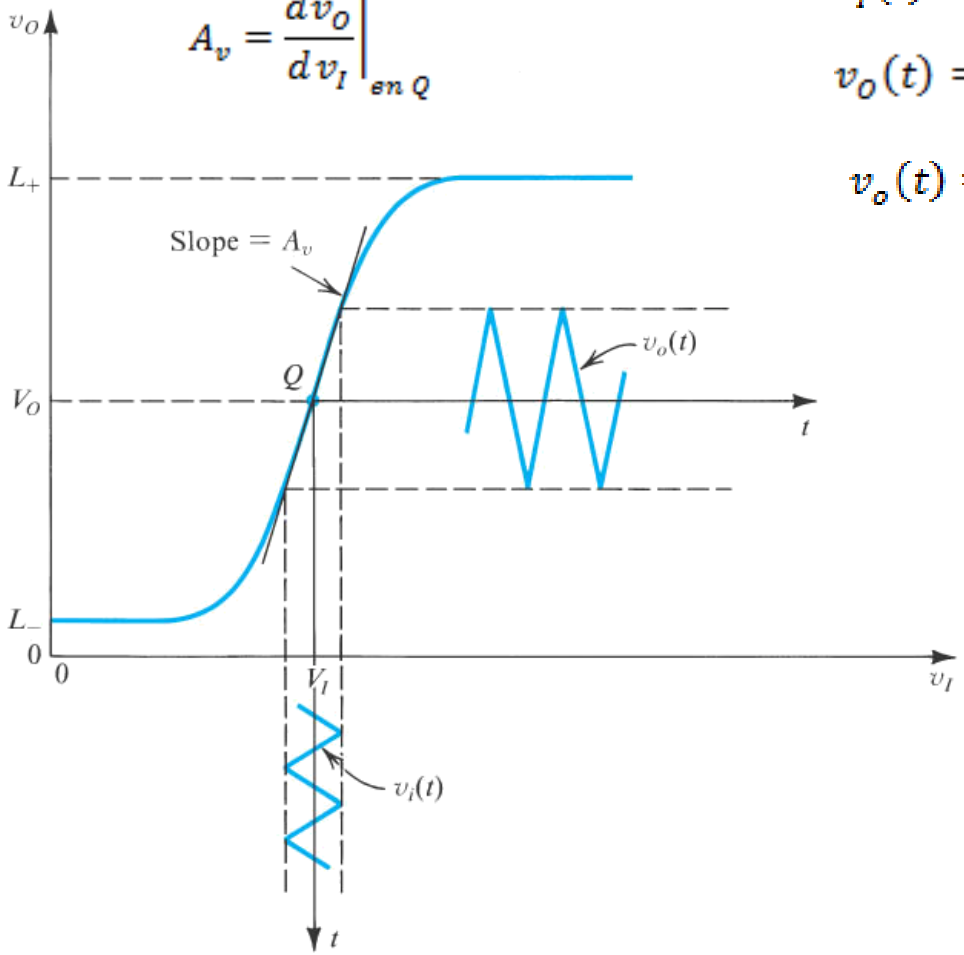
Copyright © 2004 by Oxford University Press, Inc.

$$A_v = \left.\frac{dv_O}{dv_I}\right|_{en\ Q}$$

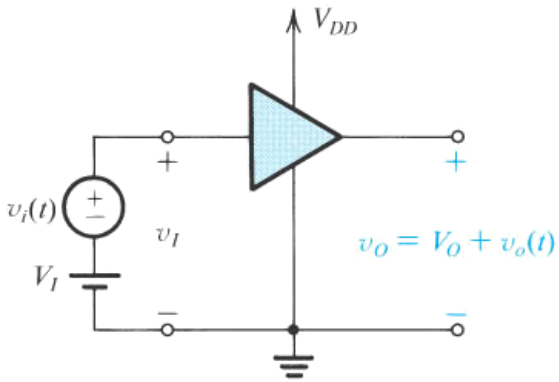
$$v_I(t) = V_I + v_i(t)$$

$$v_O(t) = V_O + v_o(t)$$

$$v_o(t) = A_v v_i(t)$$



(a)



(b)

Figura 1.14 (a) Característica de transferencia de un amplificador con considerable nolinealidad. (b) Para lograr una operación lineal el amplificador se polariza como se muestra, manteniendo la amplitud de señal pequeña. Obsérve que este ampificador opera con una sola fuente de alimentación, V_{DD}.

Copyright © 2004 by Oxford University Press, Inc.

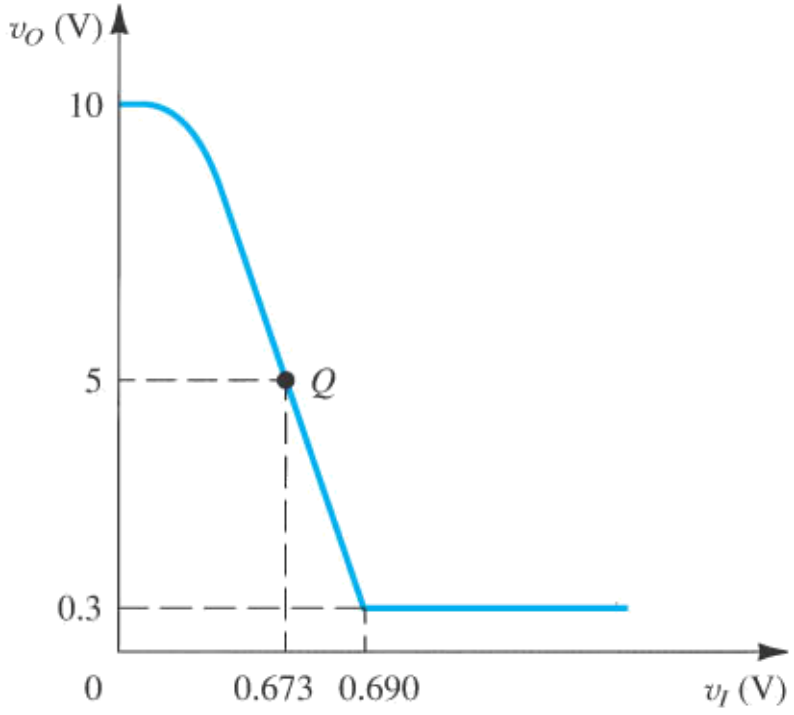


Figura 1.15 Esquema de la característica de transferencia del amplificador del Ejempolo 1.2 Ver Bibliografía. Nótese que este amplificador es inversor (es decir, su ganancia es negativa).

Copyright © 2004 by Oxford University Press, Inc.

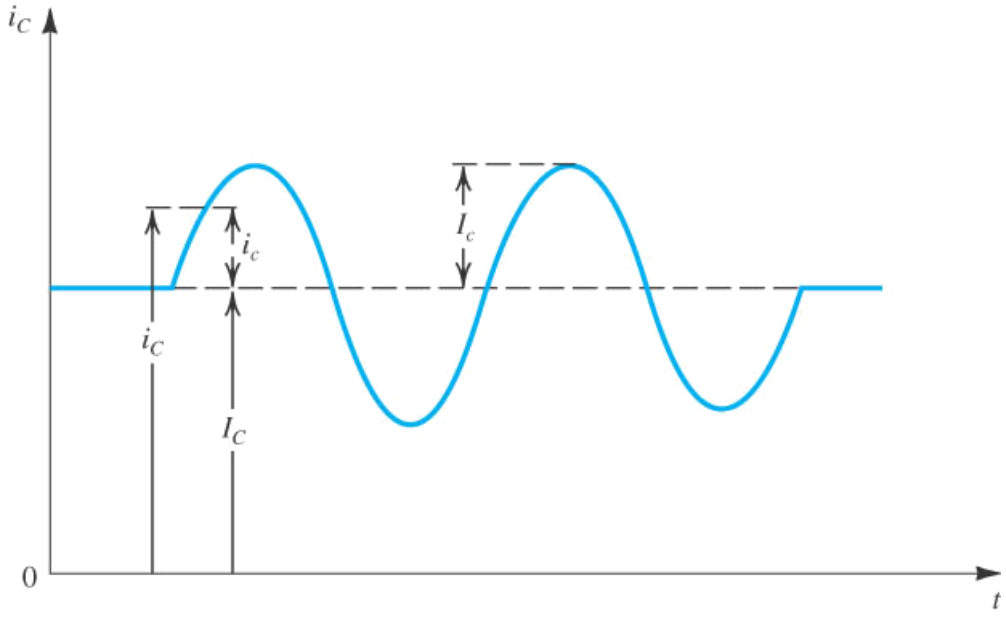
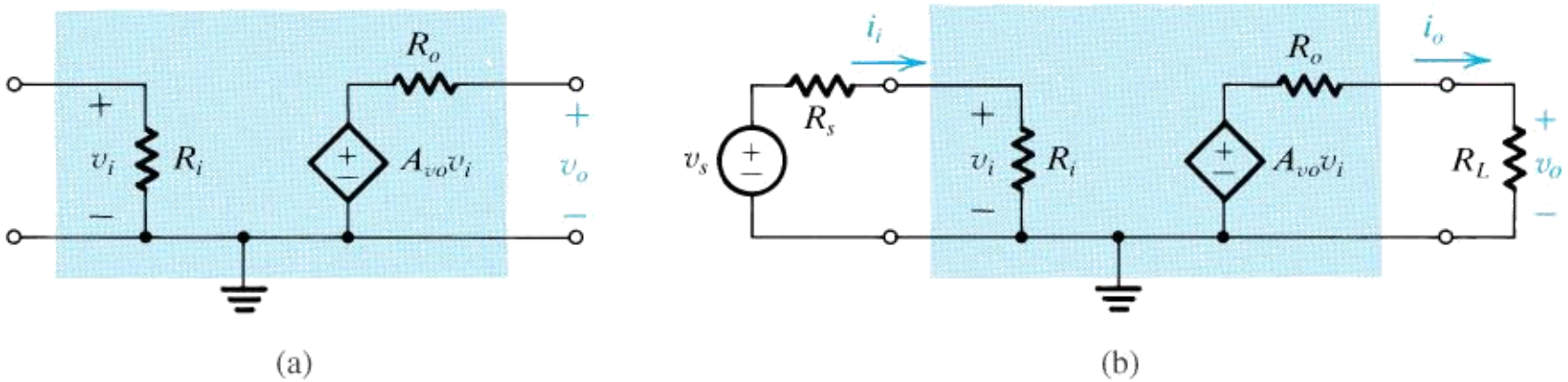


Figura 1.16 Convención para símbolos de variables electricas de uso habitual.

Copyright © 2004 by Oxford University Press, Inc.



$$v_o = A_{vo} v_i \frac{R_L}{R_L + R_o}$$

$$A_v \equiv \frac{v_o}{v_i} = A_{vo} \frac{R_L}{R_L + R_o}$$

$$v_i = v_s \frac{R_i}{R_i + R_s}$$

$$\frac{v_o}{v_s} = A_{vo} \frac{R_i}{R_i + R_s} \frac{R_L}{R_L + R_o}$$

Figura 1.17 (a) Modelo circuital de un amplificador de tensión. (b) El mismo amplificador con la señal de entrada y la carga.

Copyright © 2004 by Oxford University Press, Inc.

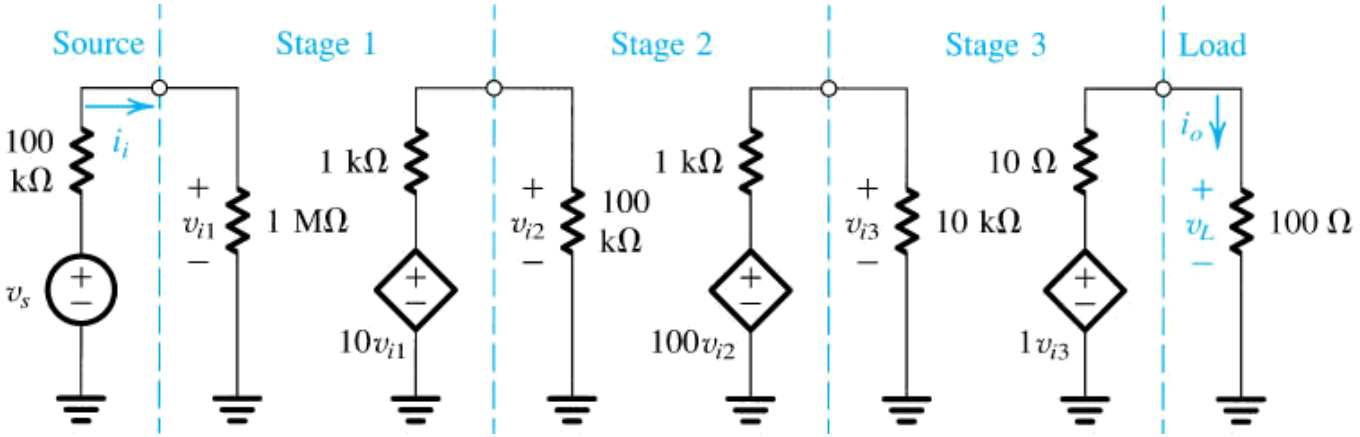
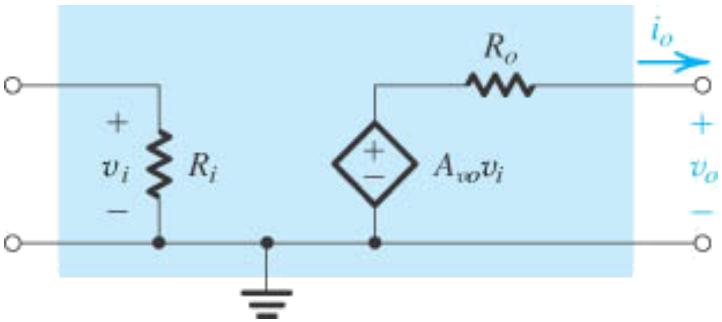
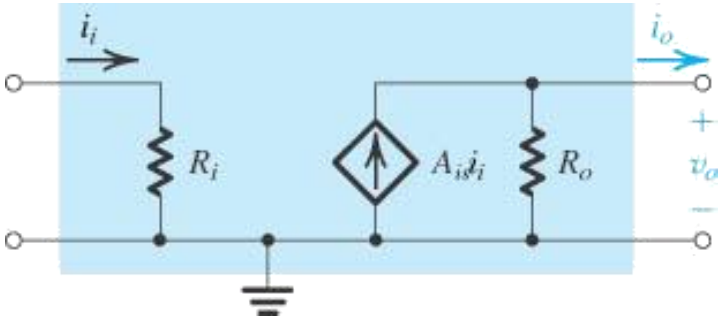


Figura 1.18 Amplificador de tres etapas del Ejemplo 1.3. Ver Bibliografía

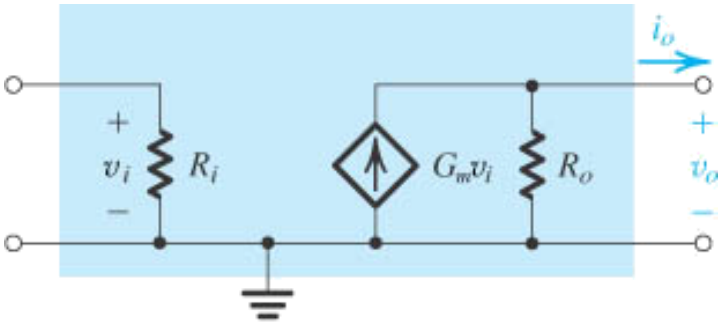
Copyright © 2004 by Oxford University Press, Inc.



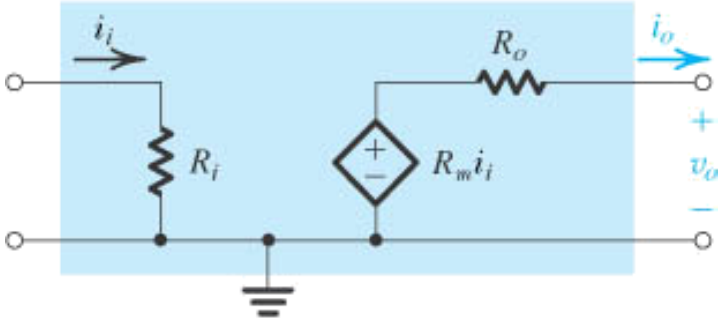
Amplificador de Tensión



Amplificador de Corriente



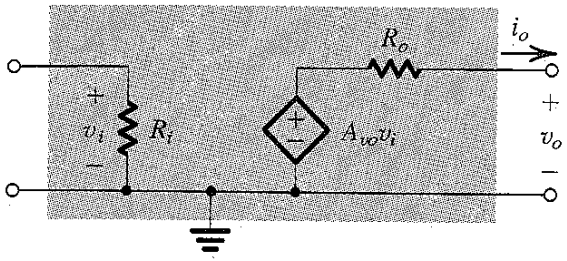
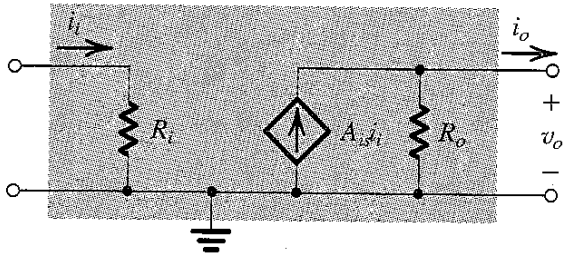
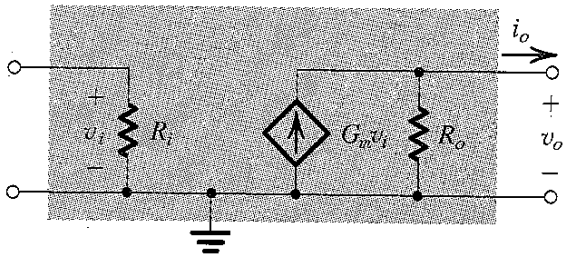
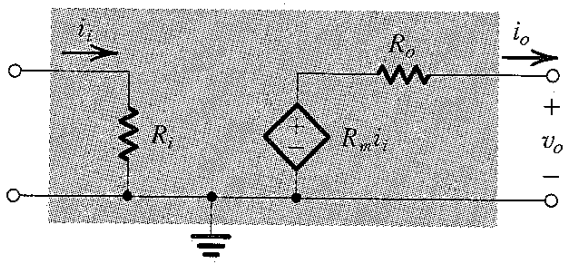
Amplificador de transconductancia



Amplificador de Transresistencia

Tabla 1.1 Los cuatro tipos de amplificador.

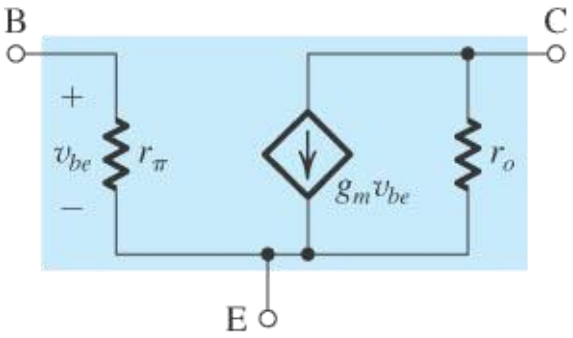
Copyright © 2004 by Oxford University Press, Inc.

Type	Circuit Model	Gain Parameter	Ideal Characteristics
Voltage Amplifier		Open-Circuit Voltage Gain $A_{vo} \equiv \left.\frac{v_o}{v_i}\right\|_{i_o=0}$ (V/V)	$R_i = \infty$ $R_o = 0$
Current Amplifier		Short-Circuit Current Gain $A_{is} \equiv \left.\frac{i_o}{i_i}\right\|_{v_o=0}$ (A/A)	$R_i = 0$ $R_o = \infty$
Transconductance Amplifier		Short-Circuit Transconductance $G_m \equiv \left.\frac{i_o}{v_i}\right\|_{v_o=0}$ (A/V)	$R_i = \infty$ $R_o = \infty$
Transresistance Amplifier		Open-Circuit Transresistance $R_m \equiv \left.\frac{v_o}{i_i}\right\|_{i_o=0}$ (V/A)	$R_i = 0$ $R_o = 0$

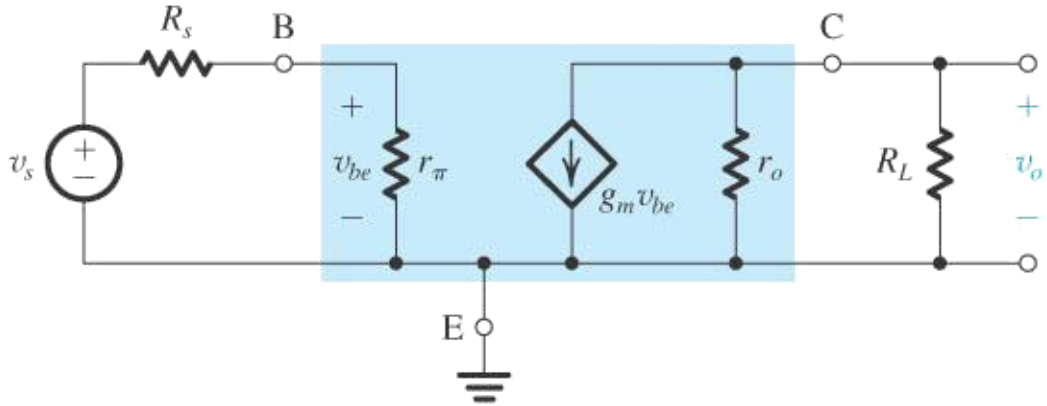
Son unilaterales. No hay transmisión inversa

Tabla 1.1 Los cuatro tipos de amplificador. Relaciones.

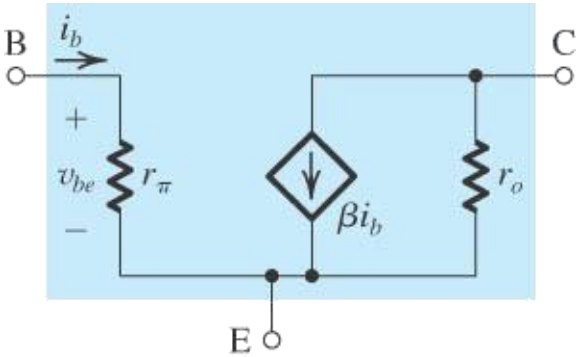
Copyright © 2004 by Oxford University Press, Inc.



(a)



(b)



(c)

Hallar las relaciones entre (a) y (c) y la ganancia. Ejemplo 1.4.

Figure 1.19 (a) Modelo de pequeña señal para el transistor bipolar de juntura (BJT). (b) El BJT conectado como un amplificador con el emisor siendo terminal común entre la entrada y la salida (llamado amplificador en emisor común). (c) Modelo de pequeña señal alternativo para el BJT.

Copyright © 2004 by Oxford University Press, Inc.

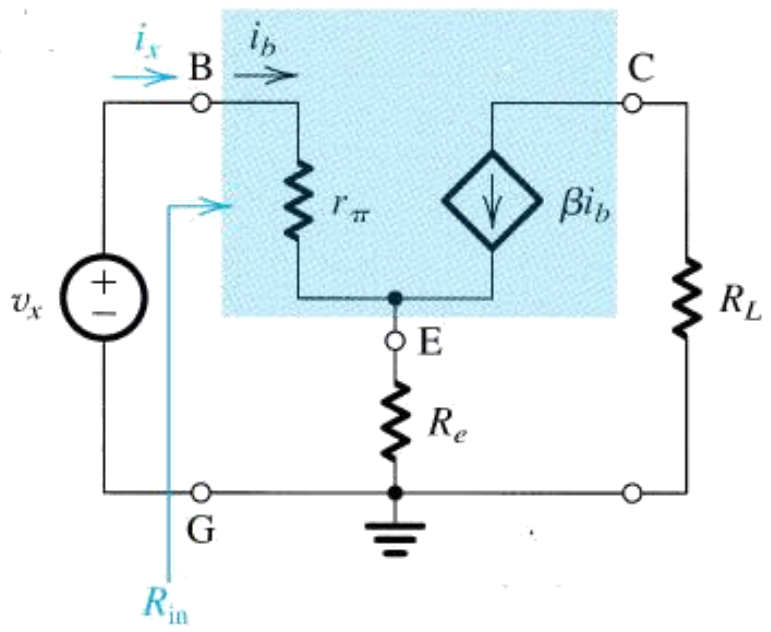


Figura E1.20 Ver Bibliografía: ejercicio 1.20

Copyright © 2004 by Oxford University Press, Inc.

FUNCIÓN TRANSFERENCIA

$$T(\omega) = \frac{V_O(\omega)}{V_I(\omega)}$$

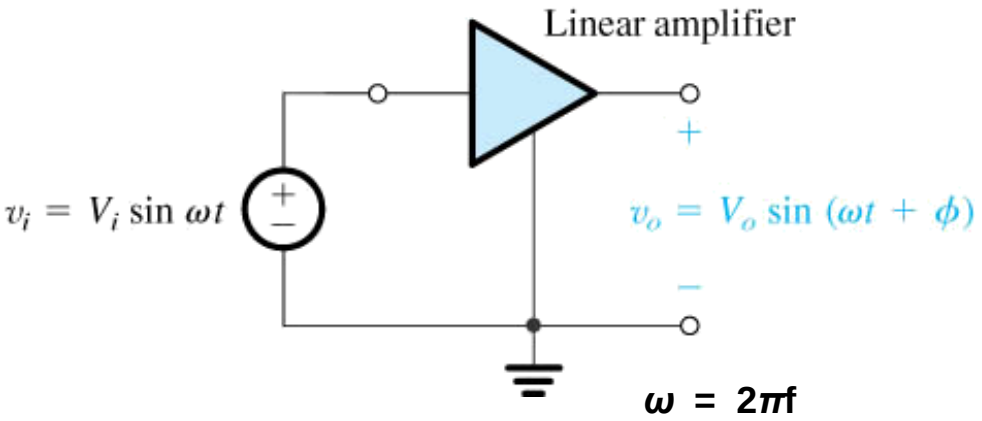
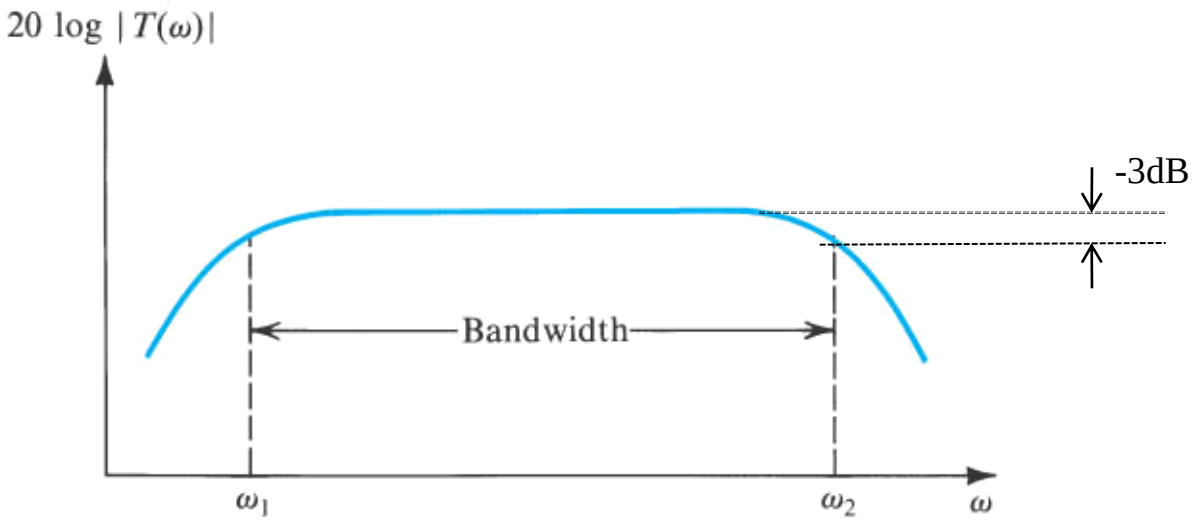


Figure 1.20 Medición de la respuesta en frecuencia de un amplificador lineal. A la frecuencia de prueba *f* , la ganancia del amplificador está caracterizada por su magnitud (V_o/V_i) y la fase ϕ.

Copyright © 2004 by Oxford University Press, Inc.

RESPUESTA EN FRECUENCIA



FUNCIÓN TRANSFERENCIA

$$T(\omega) = \frac{V_O(\omega)}{V_I(\omega)}$$

Magnitud $\left|T(\omega)\right| = \left|\frac{V_O(\omega)}{V_I(\omega)}\right|$

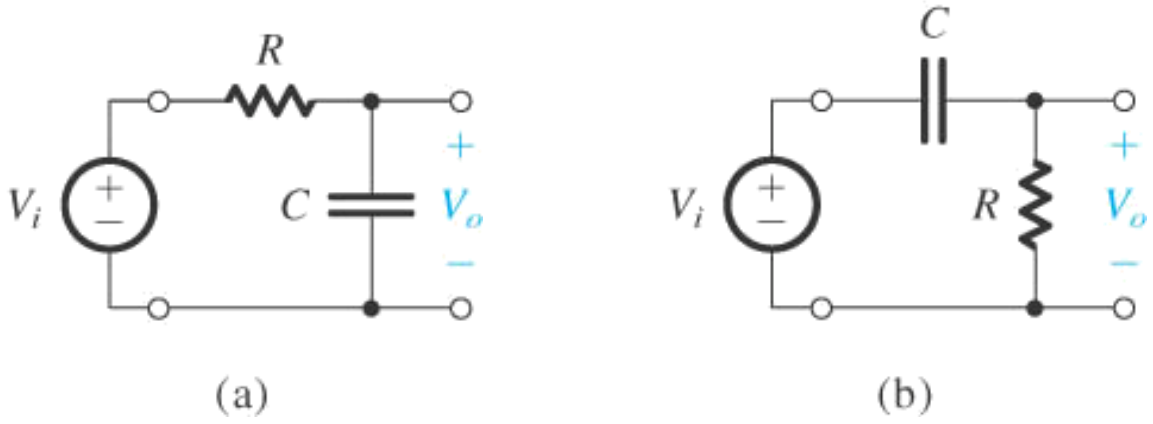
Fase $\angle T(\omega) = \phi(\omega)$

$$T(s) = \frac{V_O(s)}{V_I(s)} \qquad s = j\omega$$

Ancho de Banda $BW = \omega_2 - \omega_1$ $\qquad$ ω_2 y ω_1 frecuencias de corte o -3dB

Figura 1.21 Respuesta de magnitud típica de un amplificador. |*T*(ω)| es la magnitud de la función transferencia de un amplificador—es decir, la relación de la salida V_o(ω) a la entrada V_i(ω).

Copyright © 2004 by Oxford University Press, Inc.



Constante de tiempo $\tau = RC$

Hallar las funciones transferencias y las respuestas de amplitud y fase V_o/V_i.

Figura 1.22 Dos ejemplos de redes STC (constante de tiempo simple): (a) red pasa-bajos y (b) red pasa-altos.

Copyright © 2004 by Oxford University Press, Inc.

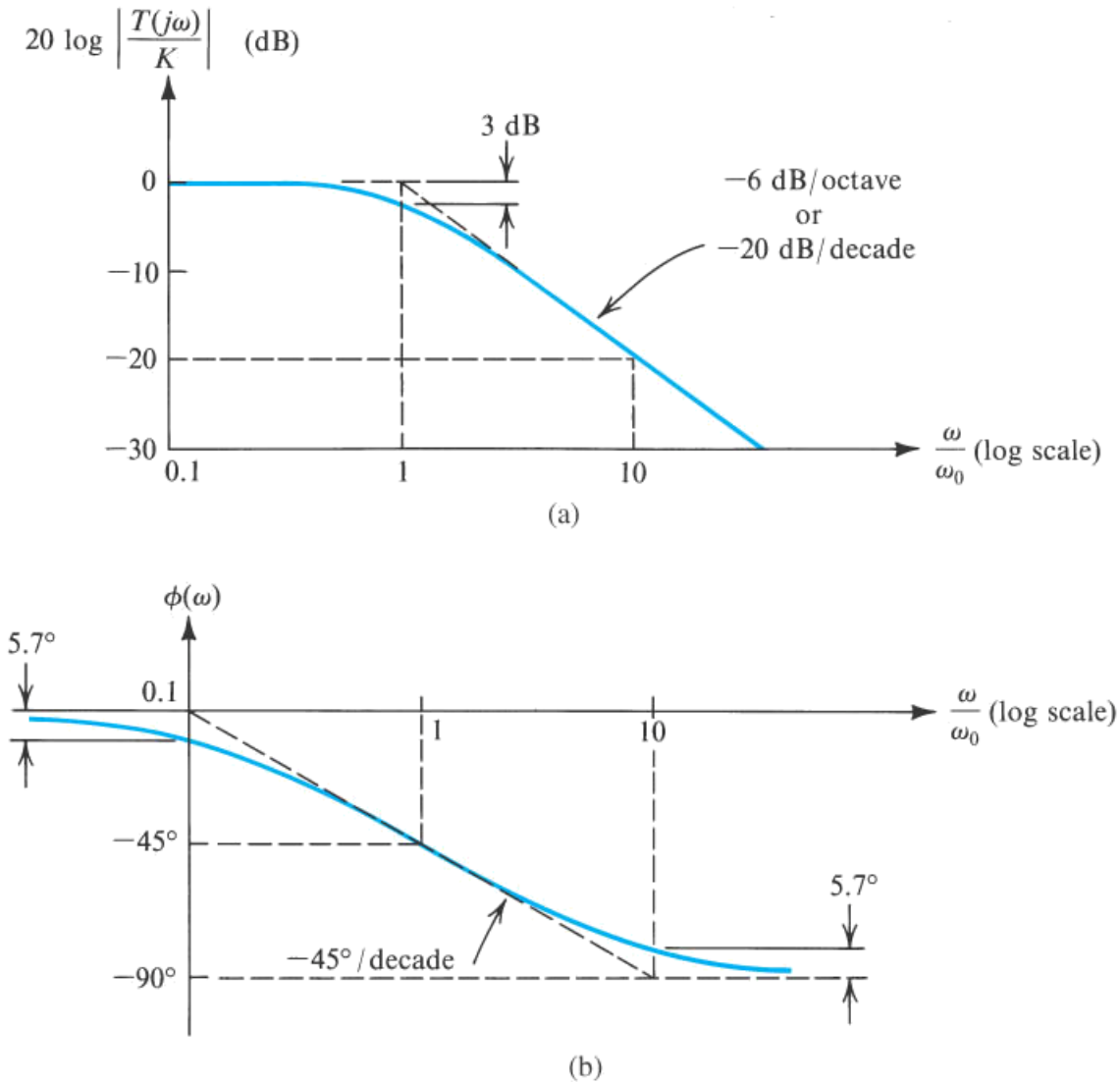


Figura 1.23 (a) Magnitud y (b) fase de una red STC del tipo pasa-bajos.

Copyright © 2004 by Oxford University Press, Inc.

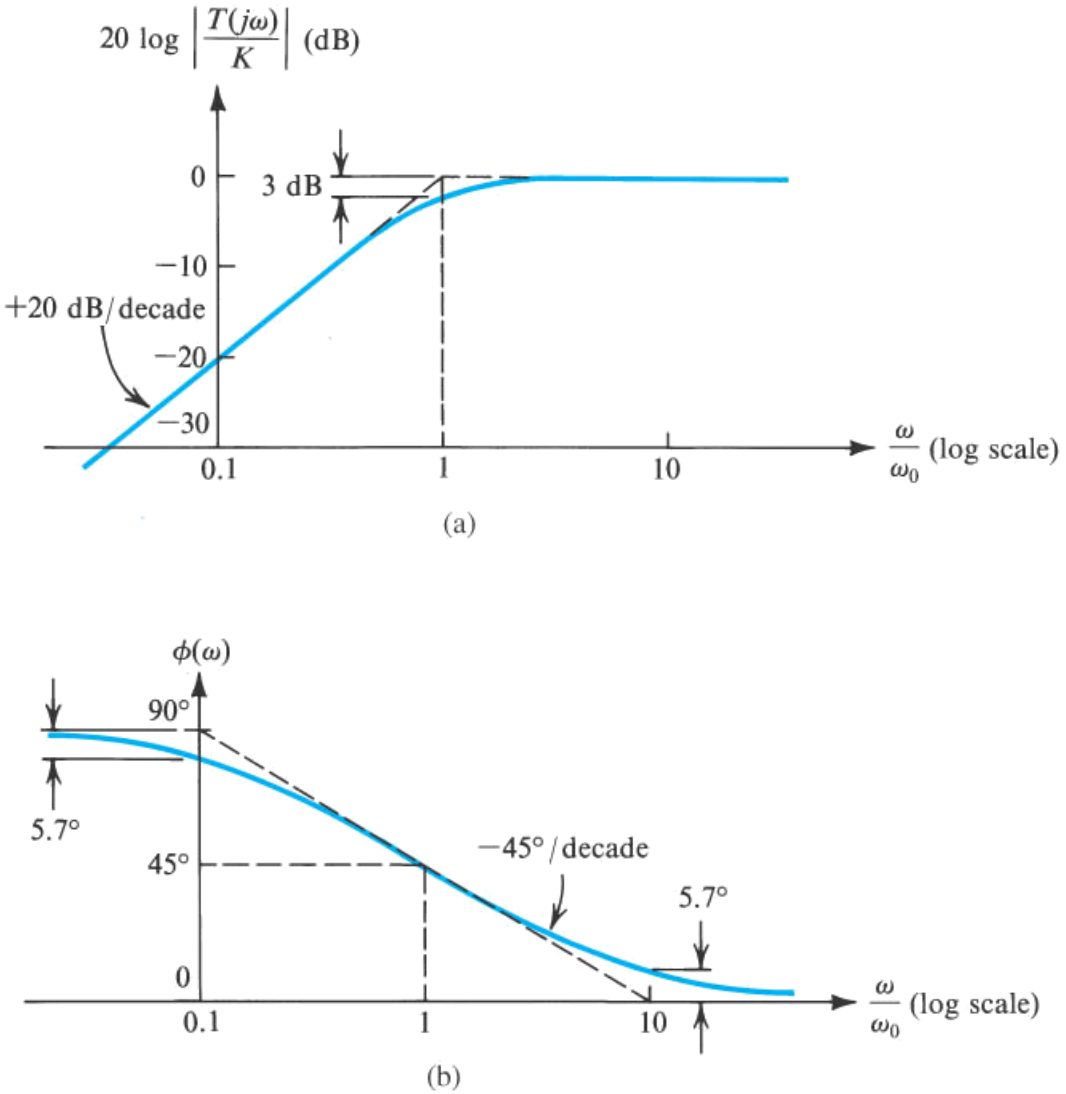


Figura 1.24 (a) Magnitud y (b) fase de una red STC del tipo pasa-altos.

Copyright © 2004 by Oxford University Press, Inc.

TABLE 1.2 Frequency Response of STC Networks

	Low-Pass (LP)	High-Pass (HP)
Transfer Function $T(s)$	$\dfrac{K}{1+(s/\omega_0)}$	$\dfrac{Ks}{s+\omega_0}$
Transfer Function (for physical frequencies) $T(j\omega)$	$\dfrac{K}{1+j(\omega/\omega_0)}$	$\dfrac{K}{1-j(\omega_0/\omega)}$
Magnitude Response $\lvert T(j\omega)\rvert$	$\dfrac{\lvert K\rvert}{\sqrt{1+(\omega/\omega_0)^2}}$	$\dfrac{\lvert K\rvert}{\sqrt{1+(\omega_0/\omega)^2}}$
Phase Response $\angle T(j\omega)$	$-\tan^{-1}(\omega/\omega_0)$	$\tan^{-1}(\omega_0/\omega)$
Transmission at $\omega=0$ (dc)	K	0
Transmission at $\omega=\infty$	0	K
3-dB Frequency	$\omega_0 = 1/\tau$; $\tau \equiv$ time constant $\tau = CR$ or L/R	
Bode Plots	in Fig. 1.23	in Fig. 1.24

Tabla 1.2 Respuesta en frecuencia de redes con una constante de tiempo.

Copyright © 2004 by Oxford University Press, Inc.

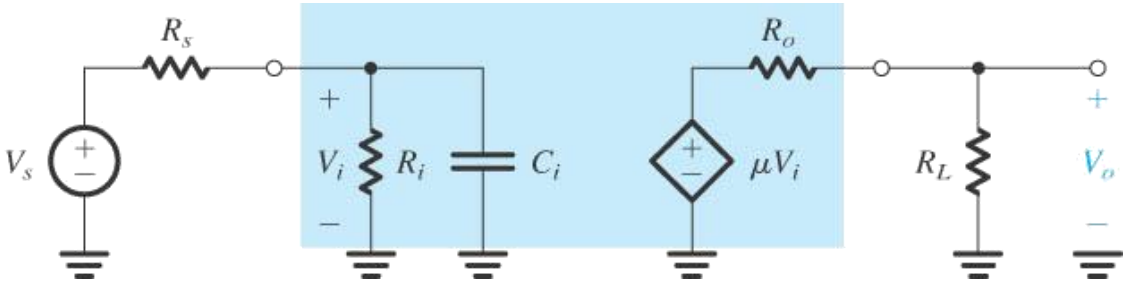


Figura 1.25 Circuito del Ejemplo 1.5. Ver Bibliografía

Copyright © 2004 by Oxford University Press, Inc.

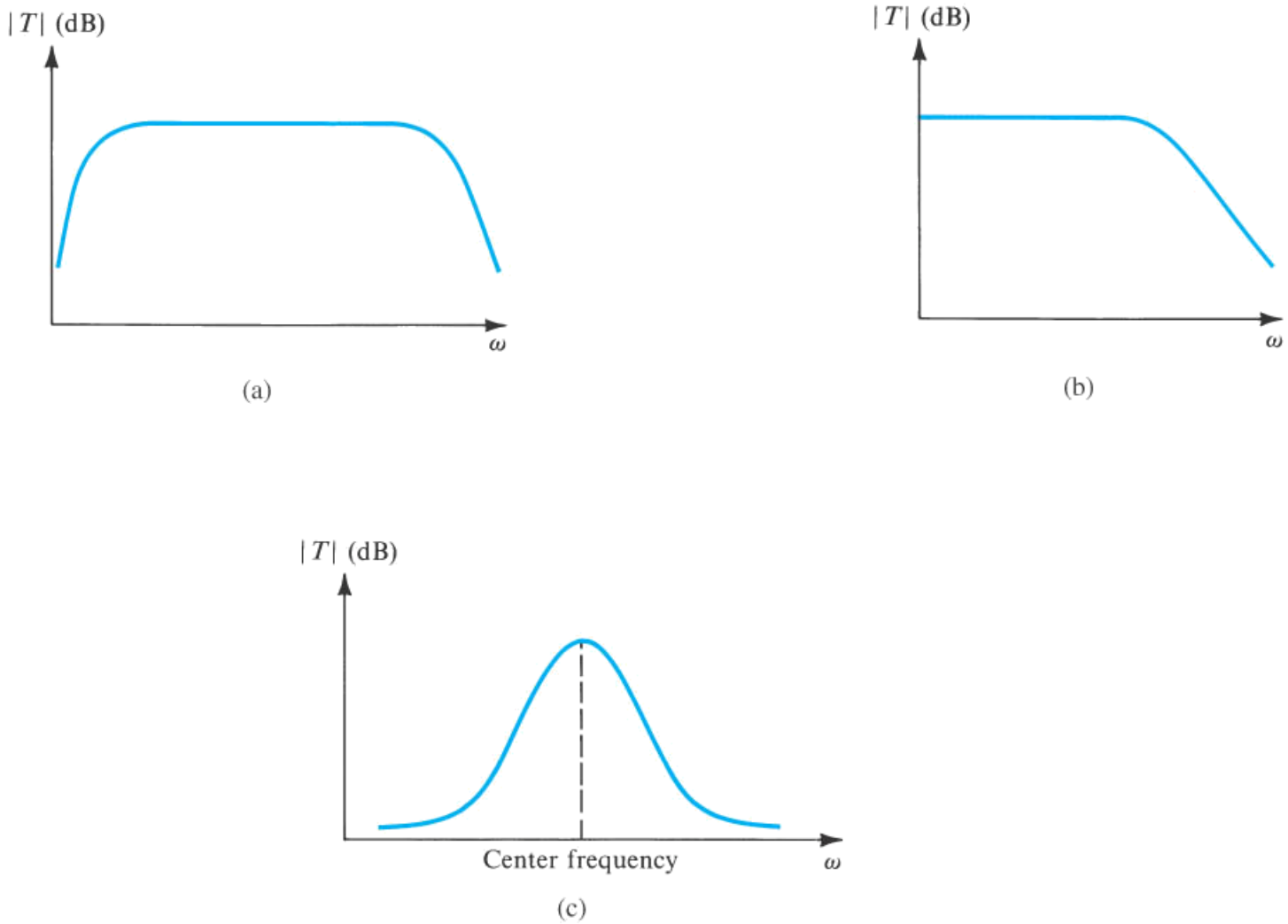
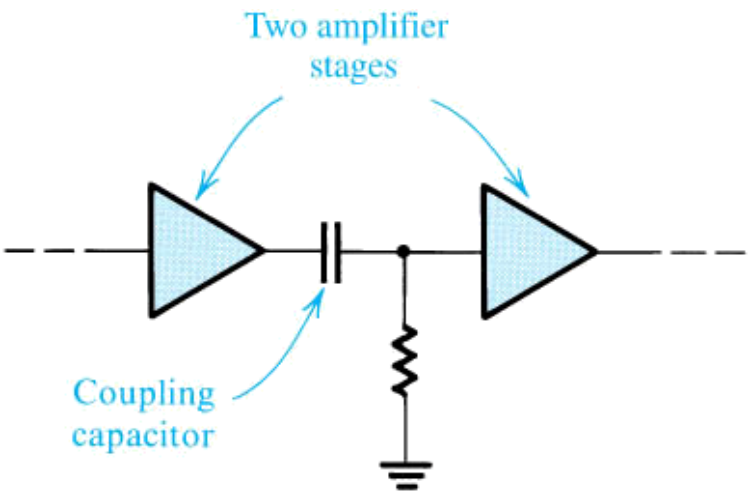


Figura 1.26 Respuesta en frecuencia de a) amplificador acoplado capacitivamente, (b) amplificador acoplamiento directo, and (c) amplificador sintonizado o pasa-banda.

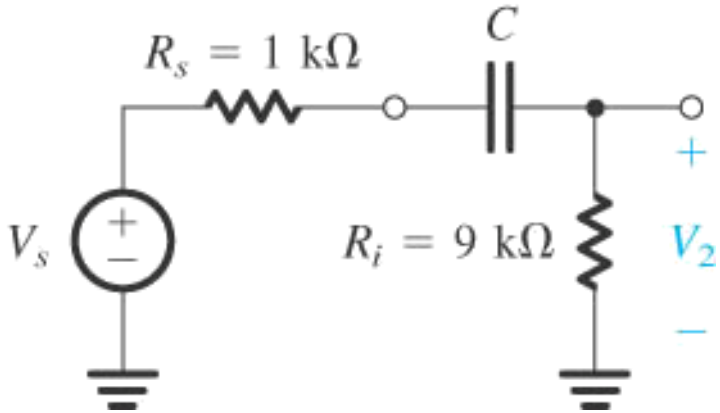
Copyright © 2004 by Oxford University Press, Inc.



$$X_C = \frac{1}{\omega C}$$

Figura 1.27 Uso de un capacitor para acoplar etapas amplificadoras.

Copyright © 2004 by Oxford University Press, Inc.



Determinar el *C* más chico que asegure que la frecuencia de -3 dB no sea mayor que 100 Hz.

Figure E1.23 Ver Bibliografía: Ejercicio D1.23

Copyright © 2004 by Oxford University Press, Inc.

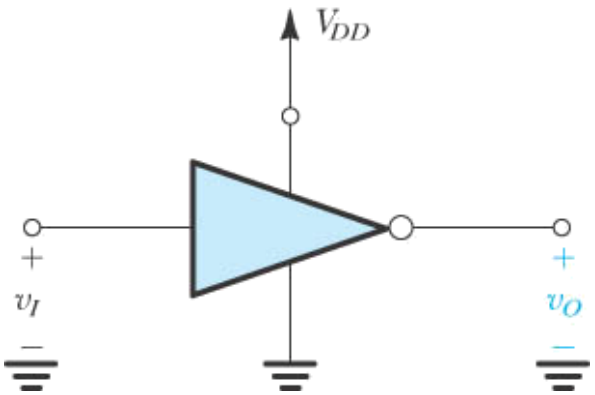


Figura 1.28 Inversor lógico operando con una fuente de continua V_{DD}.

Copyright © 2004 by Oxford University Press, Inc.

Márgenes de ruido

$$NM_H = V_{OH} - V_{IH}$$

$$NM_L = V_{IL} - V_{OL}$$

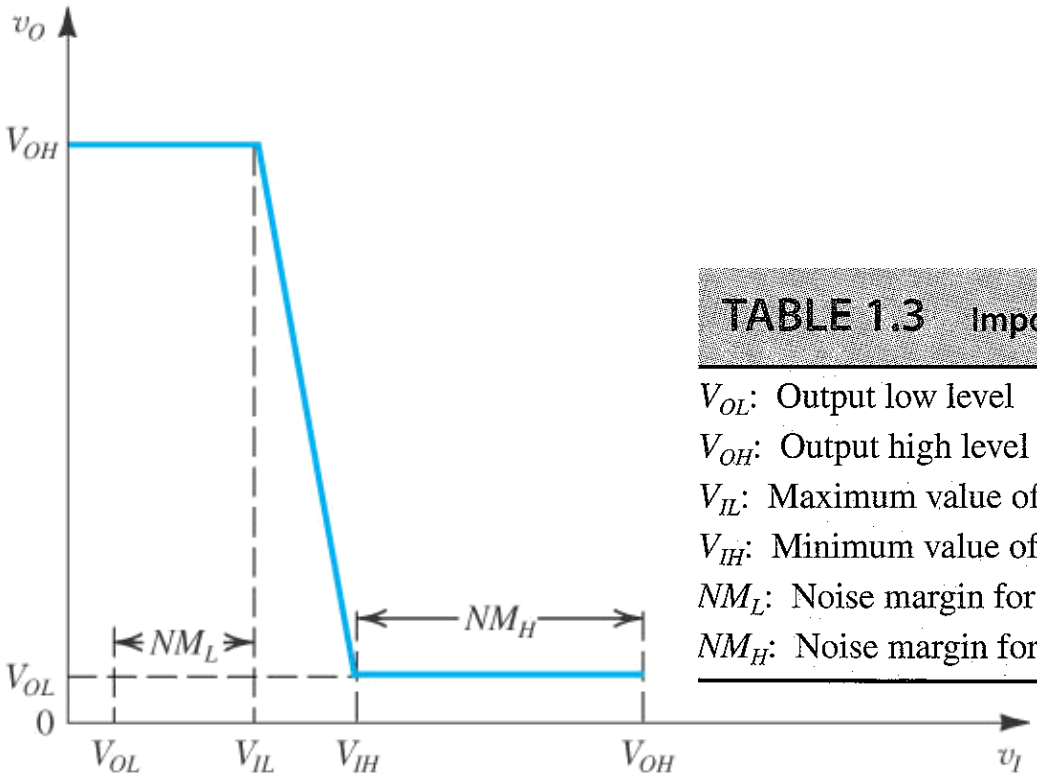
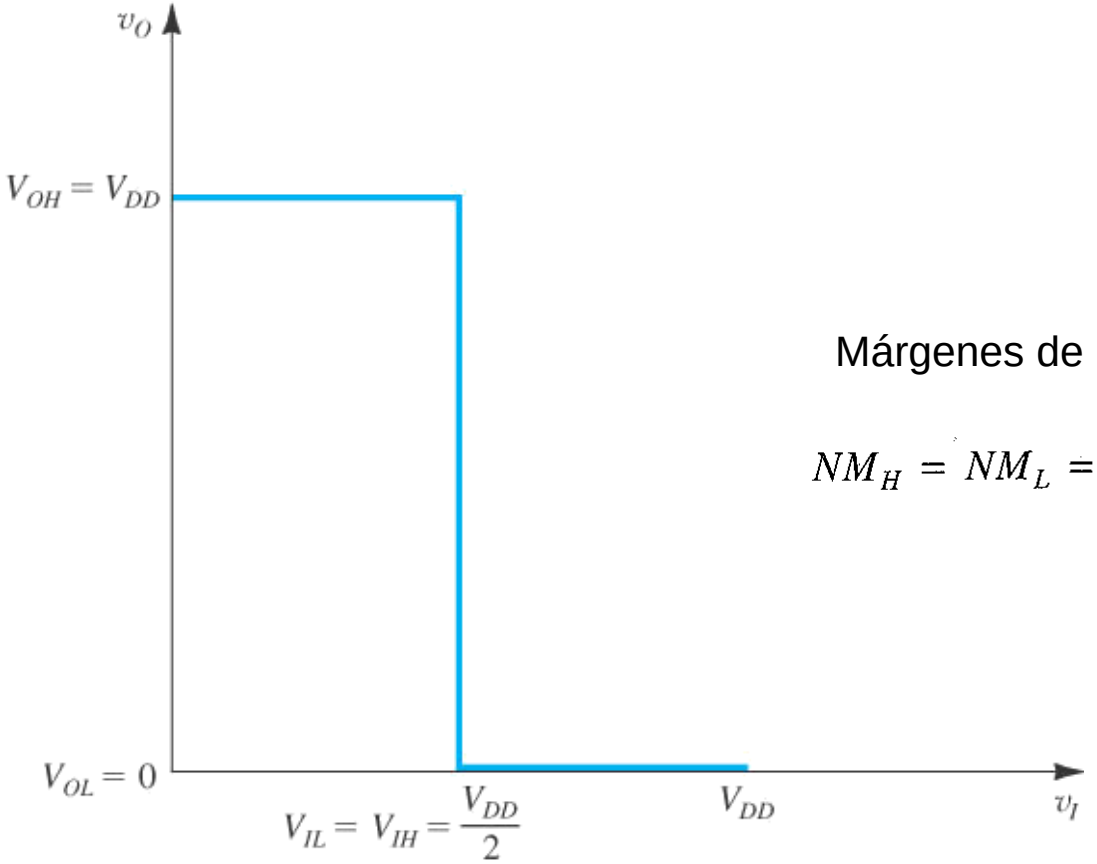


TABLE 1.3 Important Parameters of the VTC of the Logic Inverter (

V_{OL}: Output low level
V_{OH}: Output high level
V_{IL}: Maximum value of input interpreted by the inverter as a logic 0
V_{IH}: Minimum value of input interpreted by the inverter as a logic 1
NM_L: Noise margin for low input $= V_{IL} - V_{OL}$
NM_H: Noise margin for high input $= V_{OH} - V_{IH}$

Figura 1.29 Característica de transferencia de tensión (VTC) de un inversor. El VTC se puede aproximar por tres segmentos de líneas rectas. Observe los cuatro parámetros del VTC (V_{OH}, V_{OL}, V_{IL}, and V_{IH}) y su uso para determinar los márgenes de ruido (NM_H and NM_L).

Copyright © 2004 by Oxford University Press, Inc.



Márgenes de ruido

$$NM_H = NM_L = V_{DD}/2$$

Figura 1.30 La VTC de un inversor ideal.

Copyright © 2004 by Oxford University Press, Inc.

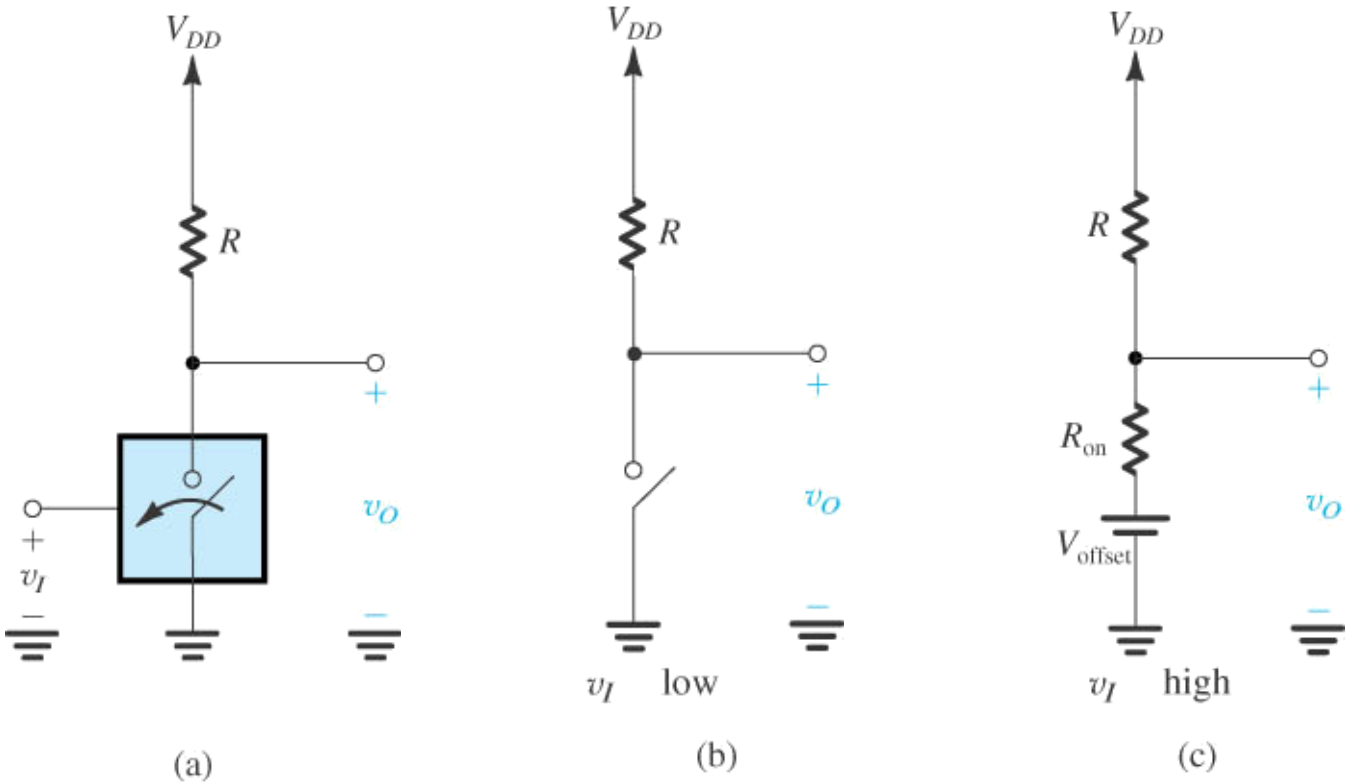


Figura 1.31 (a) Forma simple de implementar un inversor lógico con un interruptor controlado por tensión; (b) circuito equivalente cuando v_I es bajo; y (c) circuito equivalente cuando v_I es alto. Se supuso que el interruptor cierra cuando v_I es alto.

Copyright © 2004 by Oxford University Press, Inc.

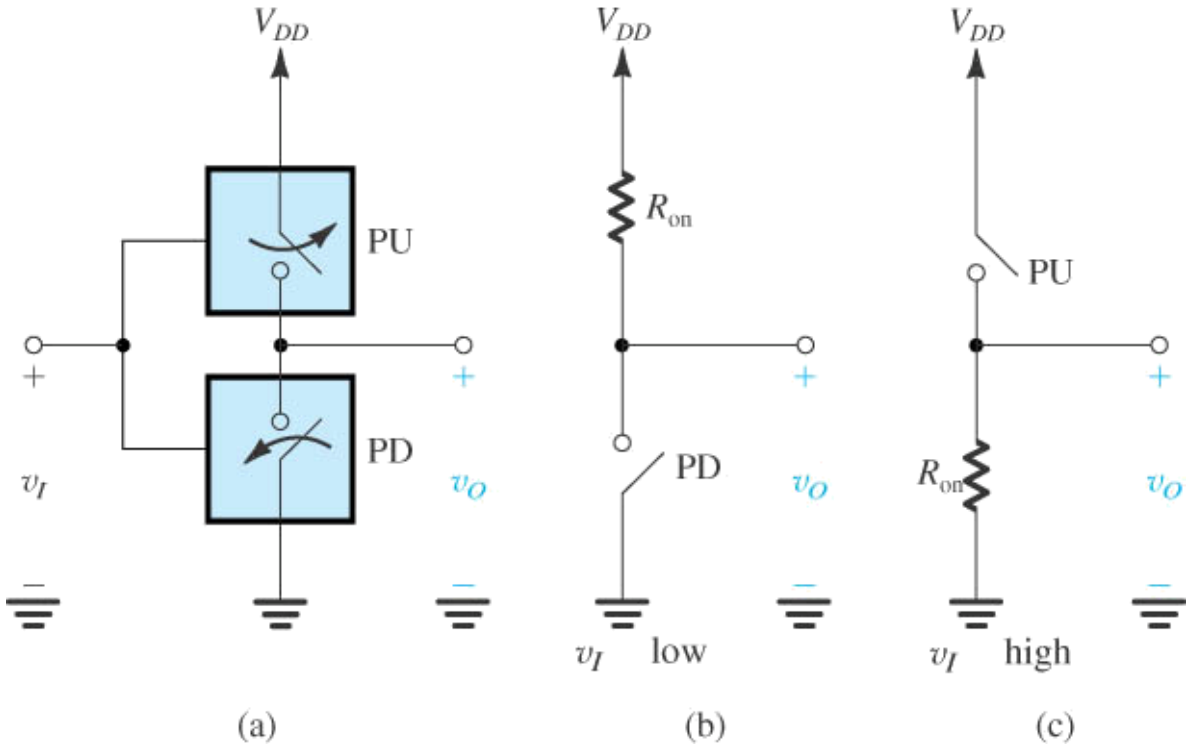


Figura 1.32 Implementación más elaborada de un inversor lógico usando dos interruptores complementarios. Esta es la base del inversor CMOS.

Copyright © 2004 by Oxford University Press, Inc.

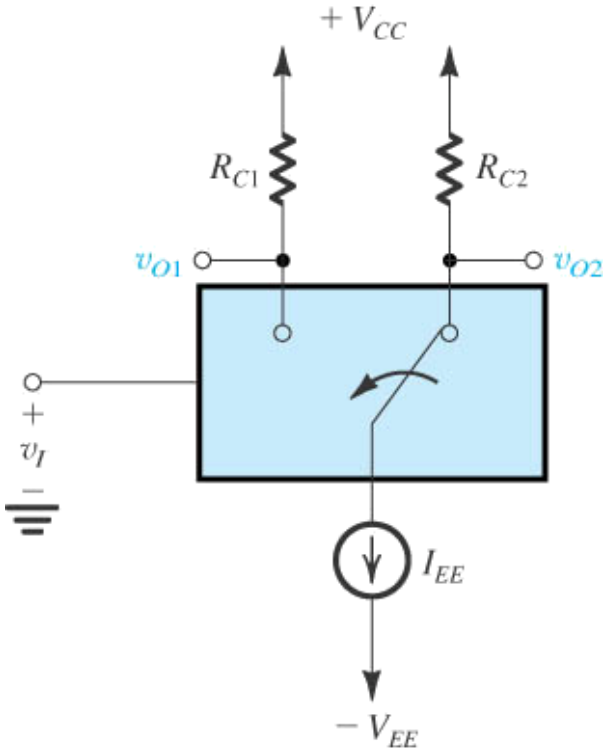


Figura 1.33 Otra implementación del inversor que usa un interruptor de dos polos para dirigir la corriente constante I_{EE} a R_{C1} (cuando v_I es alto) o R_{C2} (cuando v_I es bajo). Esta es la base de la familia lógica de acople por emisor (ECL).

Copyright © 2004 by Oxford University Press, Inc.

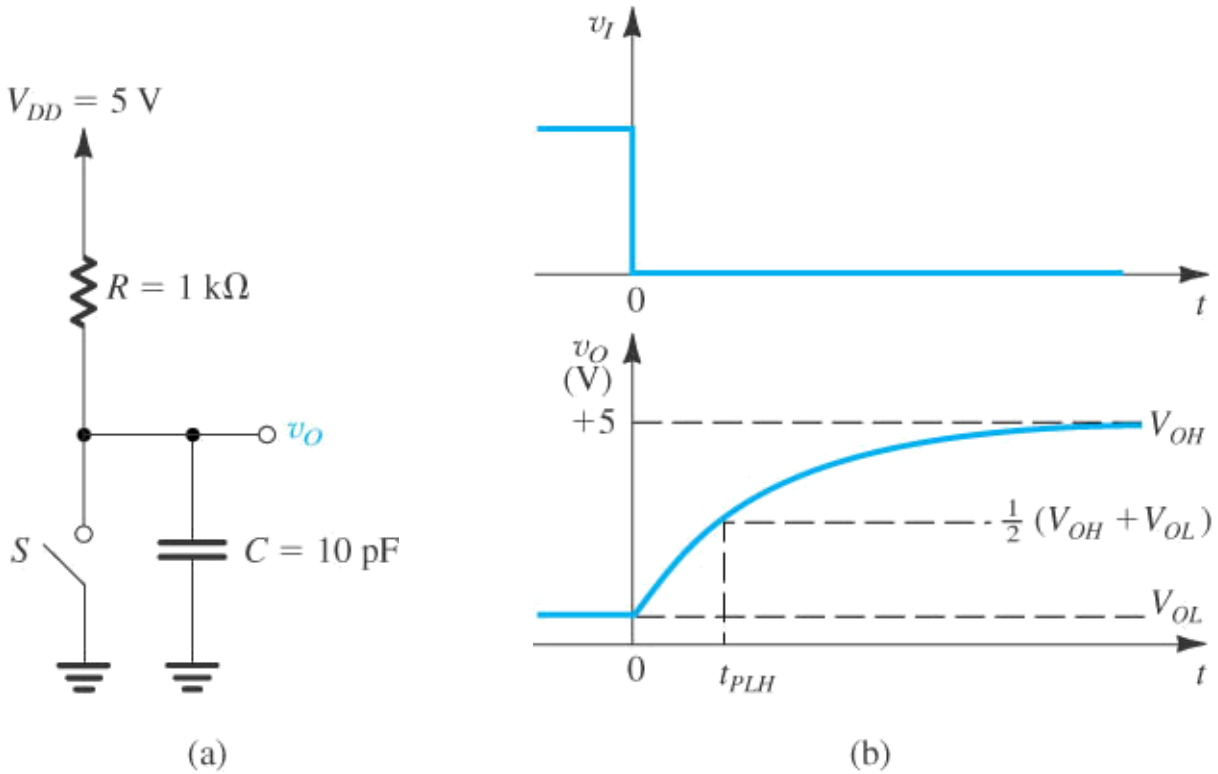


Figura 1.34 Ejemplo 1.6: (a) El circuito inversor después que el interruptor se abre (para $t \geq 0+$). (b) Ondas de v_I y v_O. Observe que se supone que S opera instantáneamente. v_O aumenta exponencialmente, iniciando en V_{OL} hacia V_{OH}.

Copyright © 2004 by Oxford University Press, Inc.

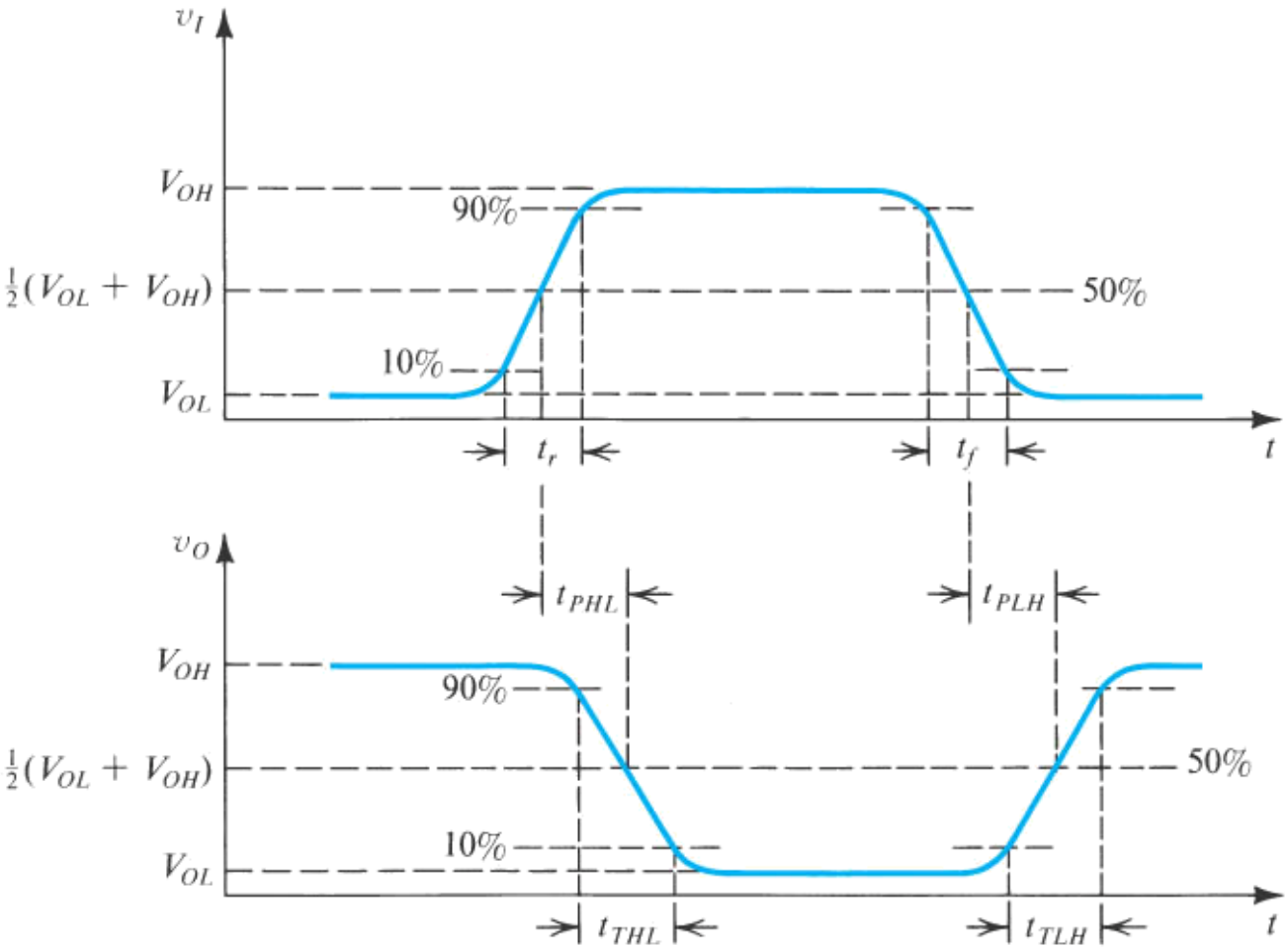


Figura 1.35 Definiciones de los retardos de propagación y tiempos de transición de un inversor lógico. Estas definiciones se usan en general para señales digitales.

Copyright © 2004 by Oxford University Press, Inc.

$$V_x = \frac{R_2}{R_1 + R_2} V_{DD}$$

$$V_{xDD} = \frac{R_1}{R_1 + R_2} V_{DD}$$

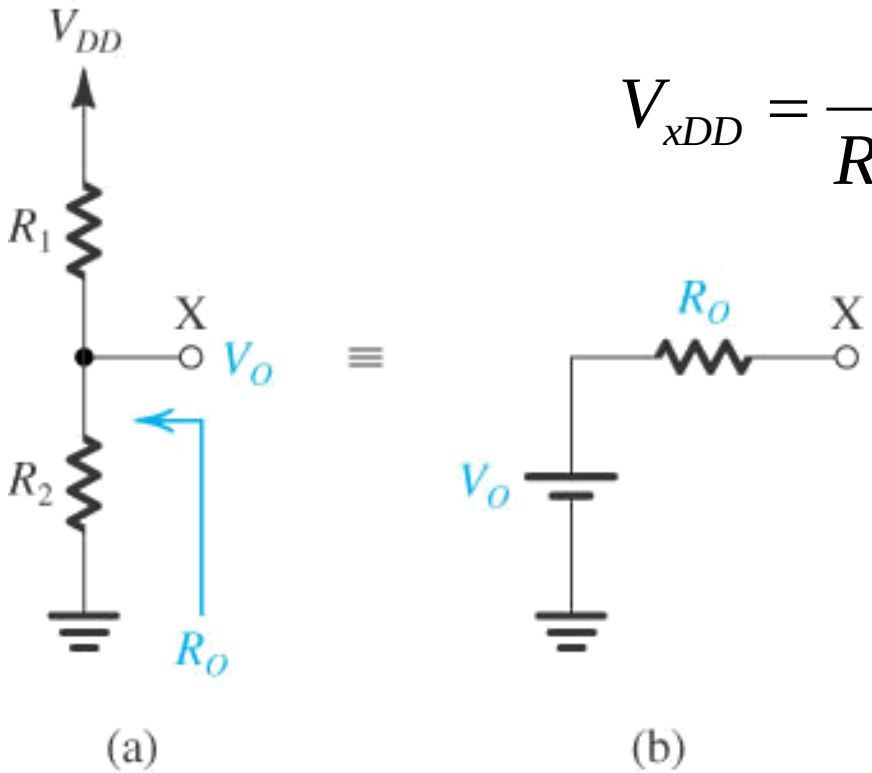
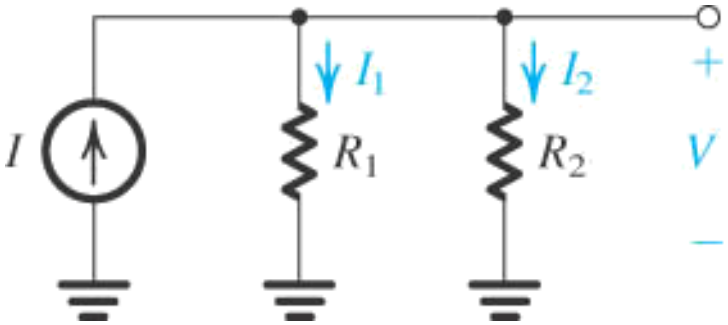


Figura P1.6 Divisor de tensión.

Copyright © 2004 by Oxford University Press, Inc.

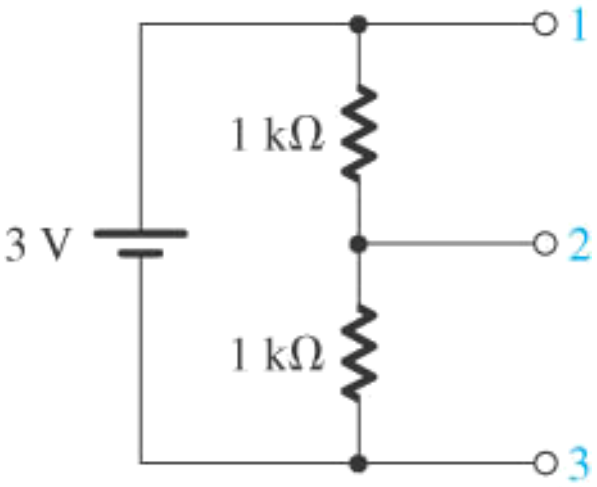


$$I_1 = \frac{R_2}{R_1 + R_2} I$$

$$I_2 = \frac{R_1}{R_1 + R_2} I$$

Figura P1.10 Divisor de corriente.

Copyright © 2004 by Oxford University Press, Inc.



Hallar el equivamente Thevenin a) Entre 1 y 2, b) Entre 2 y 3, c) Entre 1 y 3.

Figura P1.14

Copyright © 2004 by Oxford University Press, Inc.

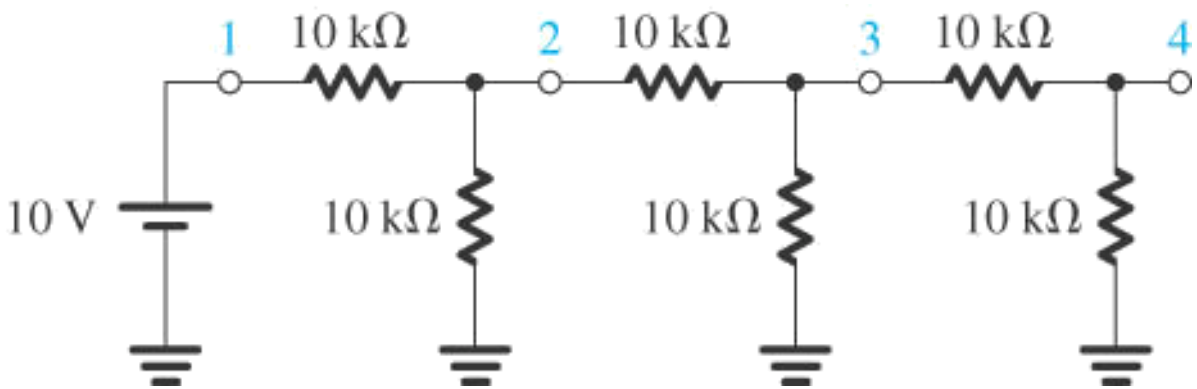


Figura P1.15

Copyright © 2004 by Oxford University Press, Inc.

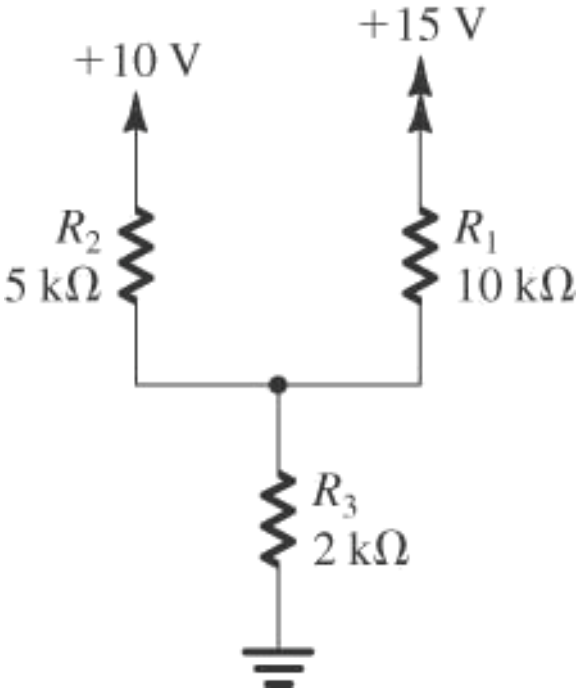


Figura P1.16

Copyright © 2004 by Oxford University Press, Inc.

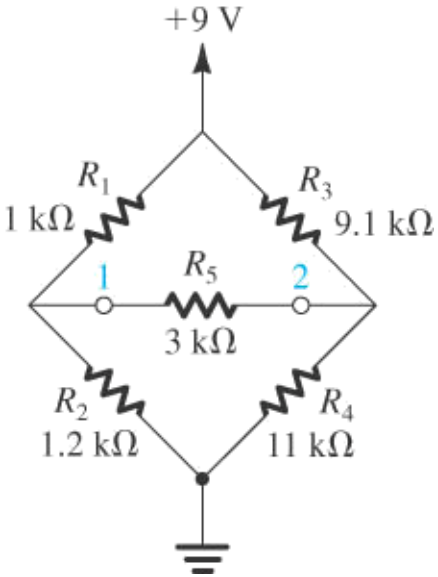


Figura P1.17

Copyright © 2004 by Oxford University Press, Inc.

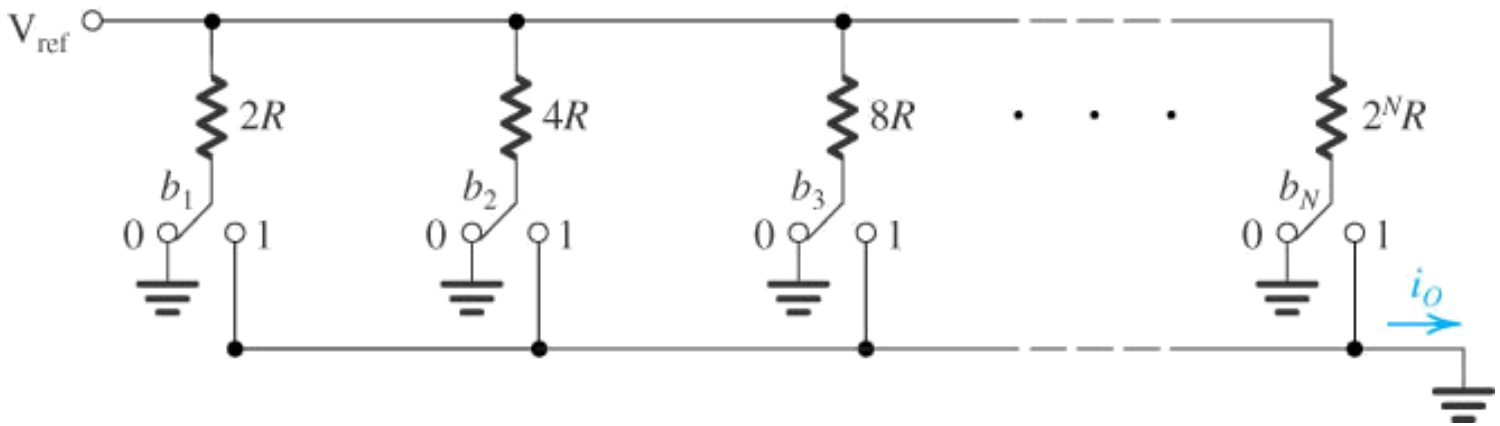


Figura P1.37

Copyright © 2004 by Oxford University Press, Inc.

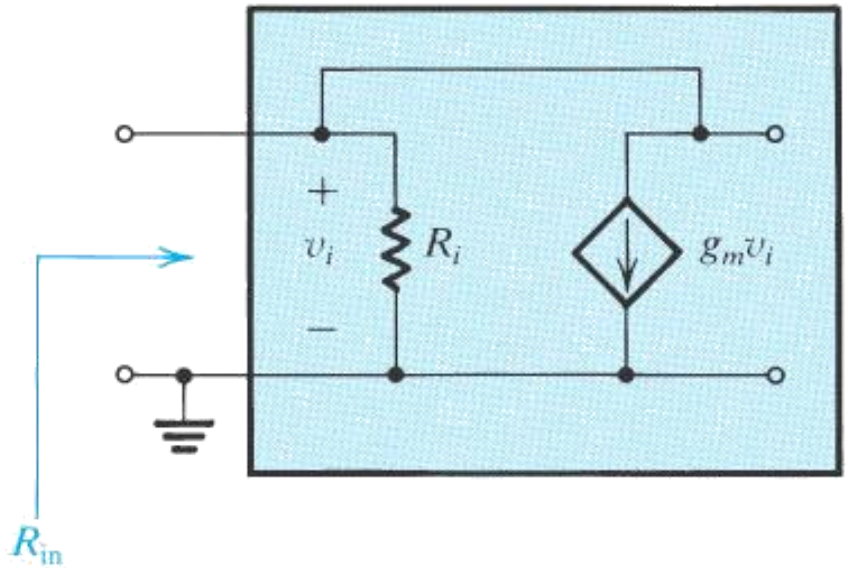


Figure P1.58

Copyright © 2004 by Oxford University Press, Inc.

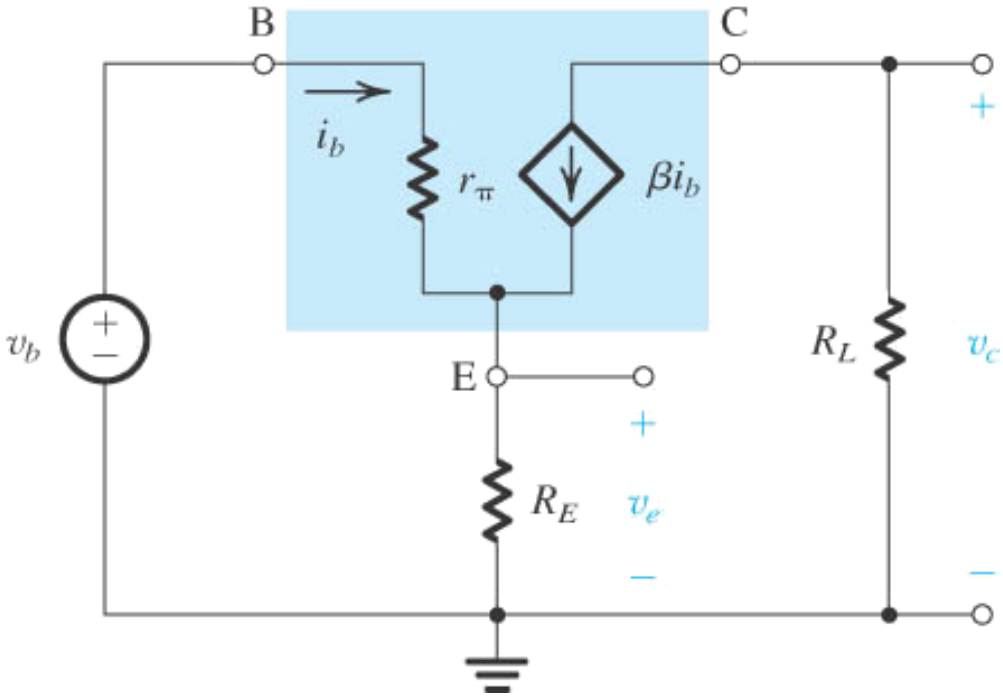
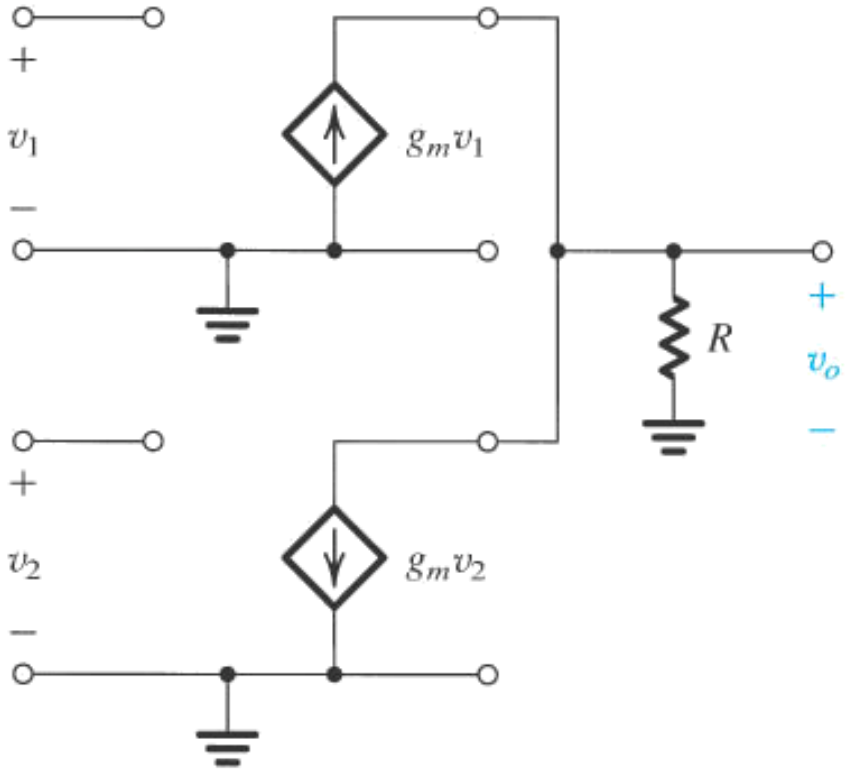
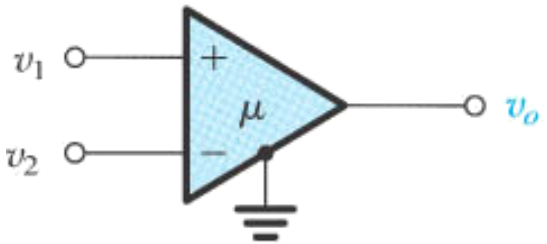


Figura P1.63

Copyright © 2004 by Oxford University Press, Inc.



(a)



(b)

Figura P1.65

Copyright © 2004 by Oxford University Press, Inc.

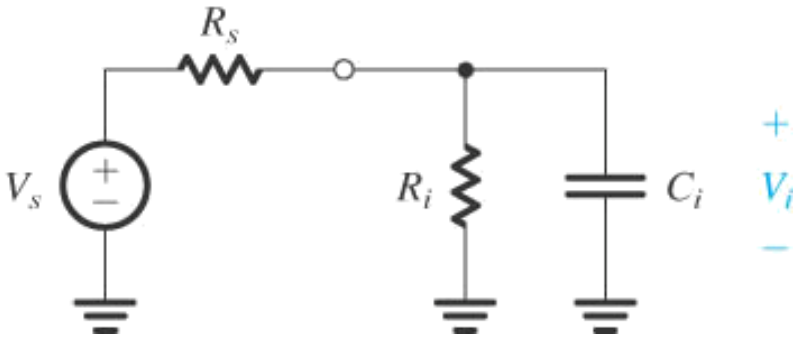


Figura P1.67

Copyright © 2004 by Oxford University Press, Inc.

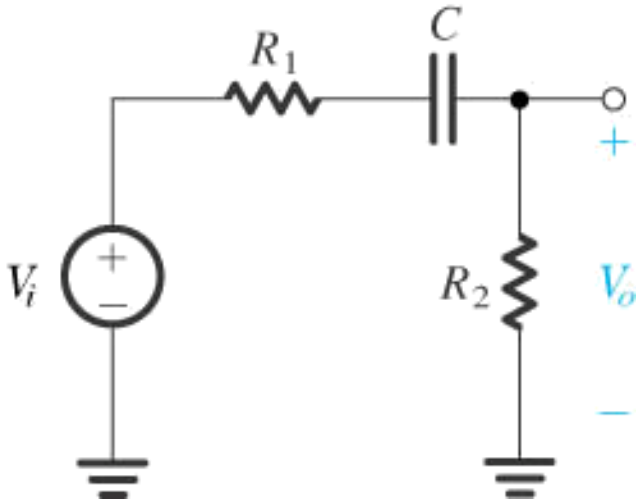


Figura P1.68

Copyright © 2004 by Oxford University Press, Inc.

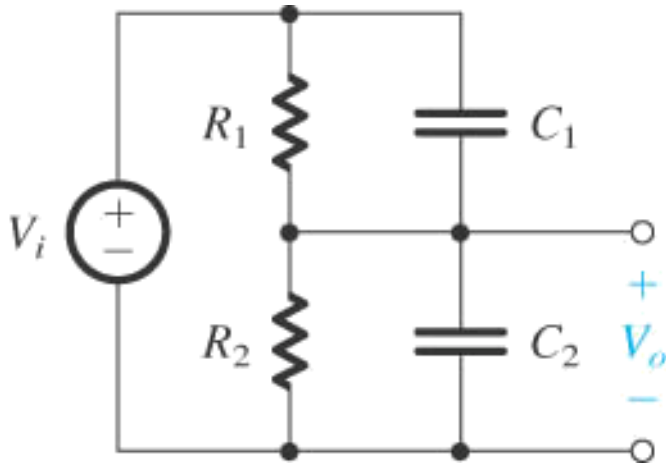


Figura P1.79

Copyright © 2004 by Oxford University Press, Inc.

BIBLIOGRAFÍA

CIRCUITOS MICROELECTRÓNICOS, A. S. Sedra, K. C. Smith, Oxford University Press, 5a Edición

Copyright © 2004 by Oxford University Press, Inc.

CAPÍTULO 2: DIODOS

Introducción

En este capítulo estudiaremos las características eléctricas de los diodos de juntura (componente no lineal), para luego abocarnos en la aplicación de este dispositivo como elemento de circuito. En esta situación veremos los modelos circuitales tanto en corriente continua como en alterna. Asimismo, se estudiarán luego las aplicaciones elementales de los diodos en circuitos limitadores, fijadores y en fuentes de alimentación.

2.1 El diodo ideal

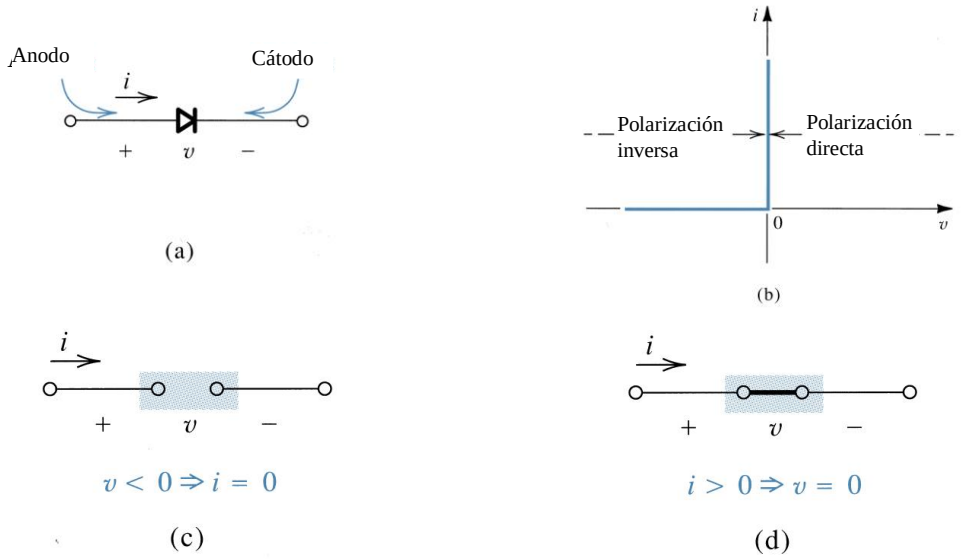
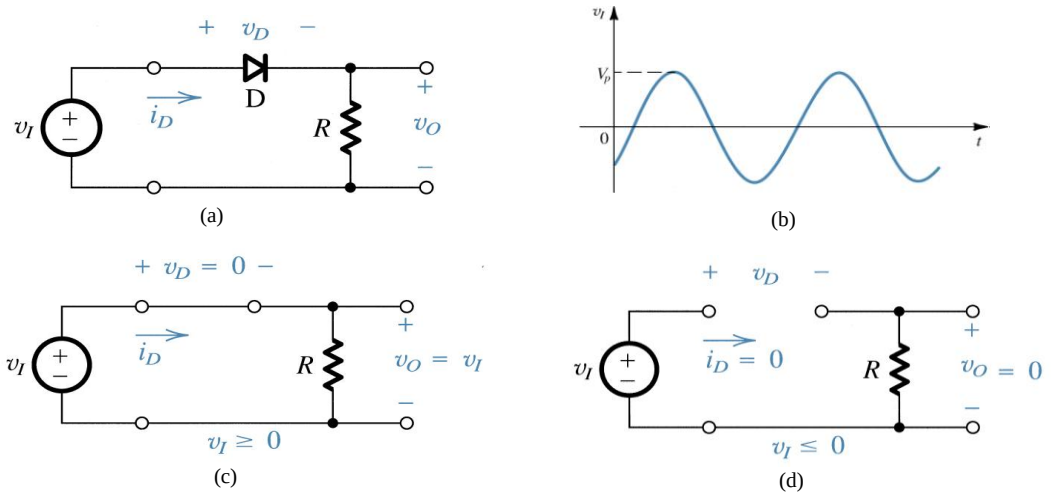
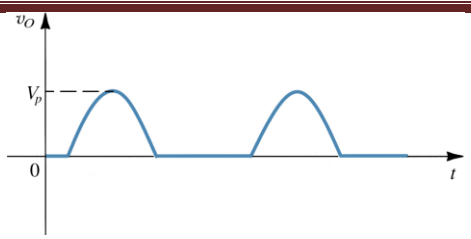


Fig. 2.1 El diodo ideal: **(a)** Símbolo circuital; **(b)** Característica *i-v*; **(c)** Circuito equivalente en dirección inversa; **(d)** Circuito equivalente en dirección directa.

En la figura 2.1 se observan las características de un diodo ideal.

En la figura 2.2 se muestran una aplicación básica del diodo.





(e)

Fig. 2.2 **(a)** Circuito rectificador. **(b)** Onda de entrada. **(c)** Circuito equivalente cuando $v_1 \geq 0$ **(d)** Circuito equivalente cuando $v_1 < 0$ **(e)** Onda de salida.

2.2 El diodo real

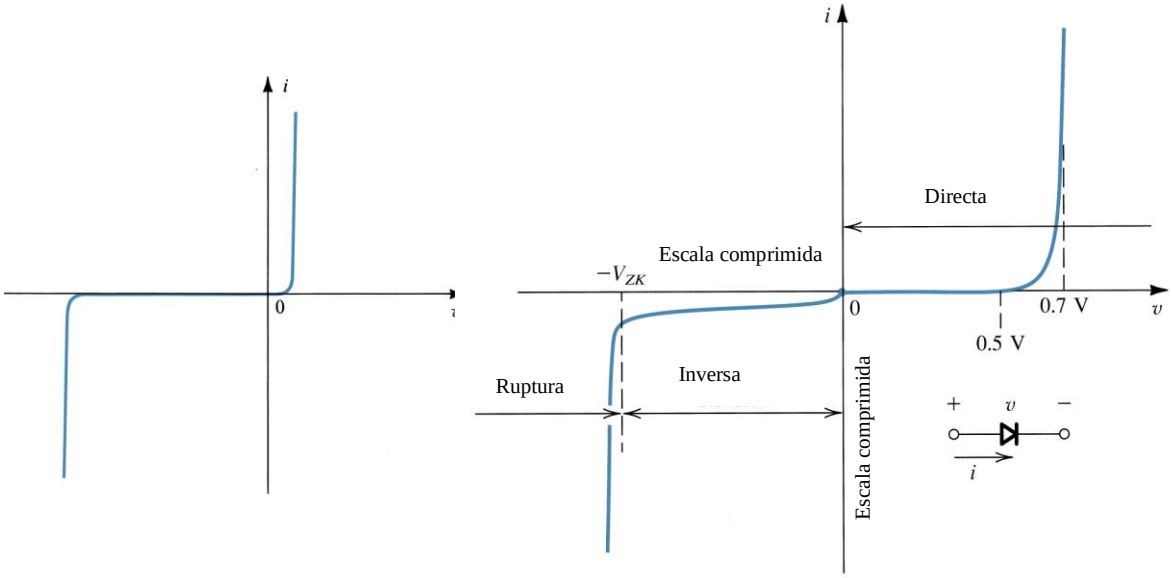


Fig. 2.3 Relación *i-v* del diodo con algunas escalas expandidas y otras comprimidas para distinguir detalles.

2.2.1. Polarización directa

$$i = I_s\left(e^{v/nV_T} - 1\right)$$

I_s	corriente inversa de saturación (10^{-9} a 10^{-15} en el Si, mayor en Ge).
$V_T = kT/q$	equivalente térmico de tensión, **≈ 26 mV** a temp. ambiente 300 K
k	constante de Boltzmann = $1{,}38.10^{-23}$ J/K.
T	temperatura absoluta en kelvin, K = 273 + temperatura en °C.
q	carga del electrón = $1{,}6.10^{-19}$ Coulomb.
n	constante del diodo (Ge = 1; Si entre 1 y 2 empírico)

I_s es directamente proporcional al área de sección transversal del diodo. Por lo tanto duplicar el área de la unión resulta en un diodo con el doble del valor de I_s

y, como indica la ecuación del diodo, duplica el valor de la corriente i para un voltaje dado v. Para diodos "a pequeña señal", $I_s \cong 10^{-15}$ A.

Para $i >> I_S$ $\Rightarrow$ $i \cong I_S e^{\frac{v}{nV_T}}$ (unas pocas V_T)

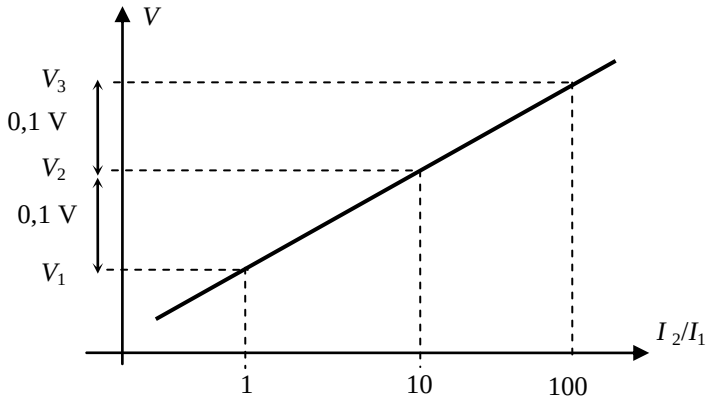
o $$v = nV_T \ln \frac{i}{I_S}$$

Para dos puntos de operación en I_1 e I_2

$$I_1 = I_S e^{V_1/nV_T}; \quad I_2 = I_S e^{V_2/nV_T}$$

$$\frac{I_2}{I_1} e^{V_2 - V_1/nV_T} \Rightarrow \quad V_2 - V_1 = nV_T \ln I_2/I_1 = 2{,}3nV_T \log I_2/I_1$$

Por cada década de cambio en I_2/I_1 la tensión cambia: 60 mV para n = 1; 120 mV para n = 2, en la práctica se toma **0,1V/década**. En una gráfica semi logarítmica la última ecuación es una recta de pendiente $2{,}3nV_T$ = 0,1 V/década. El valor de n si no se conoce se puede obtener experimentalmente.



Tensión de corte o arranque V_{DO} o $V\gamma$ valor de tensión a partir del cual suponemos que comienza a aumentar la corriente por el diodo. Para el Si, ≈ **0,6 V.**

Tensión de conducción V_D: valor de tensión para el punto de operación. Para el Si, 0,6 ~ 0,8 V, típico **0,7 V**. Los diodos con diferentes corrientes nominales (es decir diferentes áreas y diferentes I_S correspondientes) exhiben la caída de 0,7 V a sus corrientes nominales. Para otros materiales:

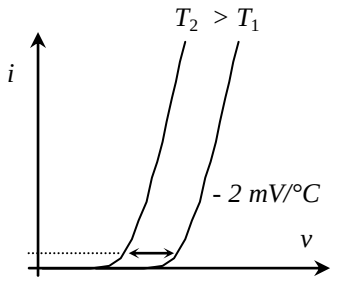
0,3 V	Ge
0,4 V	diodos Schottky
1,3 V	Arseniuro de Galio (GaAs)

Dependencia con la temperatura de la *Tensión de arranque $V\gamma$* o directa V_D, para una corriente constante

$$V_D(T_2) - V_D(T_1) = k_v(T_2 - T_1)$$
$$\Delta V_D = k_v \Delta T$$

T_1 ,T_2 temperaturas
k_v coeficiente de temperatura V/°C

- 2,5 mV/°C Germanio
- 2,0 mV/°C Silicio
- 1,5 mV/°C Schottky



2.2.2. Polarización inversa

Para una tensión inversa *v* unas pocas veces mayor a V_T (25 mV) resulta $\boldsymbol{i \cong -I_S}$. En diodos reales la corriente inversa es mucho mayor que I_S y aumenta ligeramente con la tensión inversa por la contribución de fugas a nivel superficie. Si I_S es del orden de 10^{-15} A, la corriente inversa real puede ser del orden de 1 nA.

Dependencia con la temperatura de la *Corriente Inversa*

$$I_S(T_1) = I_S(T_0)e^{k_i(T_1 - T_0)}$$

donde $\boldsymbol{k_i}$ **= 0,072/°C** = 7,2 %/°C, resulta

$$I_S(T_1) = I_S(T_0)2^{(T_1 - T_0)/10}, \ (e^{0,72} \cong 2)$$

"I_S se duplica aproximadamente cada 10 °C *de aumento de T "*

2.2.3. Región de ruptura

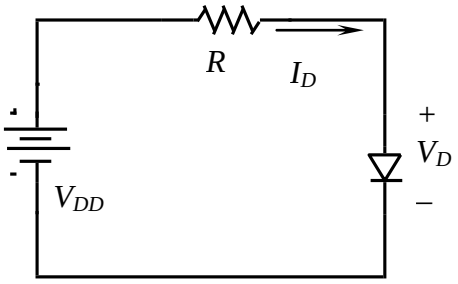
Se ingresa a ésta cuando se supera el valor específico de umbral de tensión inversa llamado **tensión de ruptura V_{ZK}**, en la rodilla (knee) de la curva *i-v*, por efecto zéner. La ruptura es no destructiva si se limita la corriente a la disipación máxima del dispositivo.

2.3 Circuito simple con diodo en corriente continua

Para conocer la corriente y la tensión en el diodo en el circuito que se muestra, se deberían resolver las siguientes ecuaciones:

$$I_D = I_S e^{V_D / nV_T}$$

$$I_D = \frac{V_{DD} - V_D}{R}$$



Son dos ecuaciones con dos incógnitas que se puede resolver en forma ***gráfica*** o en forma ***iterativa***. En forma gráfica se ve en la Figura 2.4 y a continuación se hace un ejemplo numérico.

Análisis gráfico:

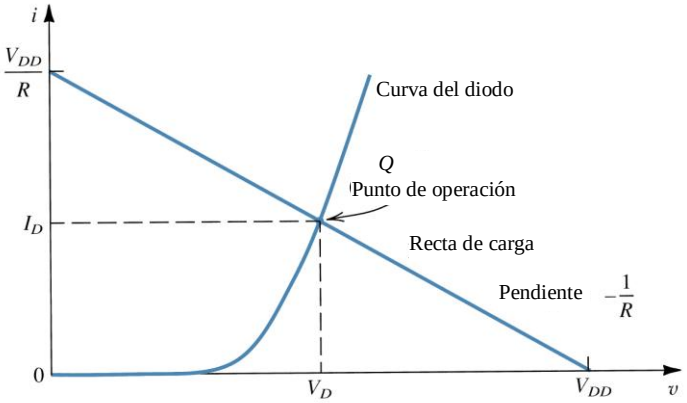


Fig. 2.4 Análisis gráfico del circuito elemental con diodo.

Análisis iterativo:
Se muestra a través de un ejemplo. Halle la corriente y la tensión en el diodo.

V_{DD} = 5 V, R = 1 kΩ, suponemos V_D = 0,7 V e I_D = 1 mA (a)

De la expresión ΔV = 0,1 V/década y con la I_D correspondiente a la caída supuesta calculamos el nuevo punto.

$I_D = (V_{DD} - V_D)/R = (5 - 0{,}7)/1\text{k} = 4{,}3$ mA
$V_2 - V_1 = 2{,}3nV_T \log I_2/I_1$
$V_2 = V_1 + 0{,}1\log I_2/I_1 = 0{,}7 + 0{,}1\log 4{,}3/1 = 0{,}763$ V

De la primera iteración resulta entonces: V_D = 0,763 V I_D = 4,3 mA (b)
Repitiendo el proceso tenemos:
$I_D = (5 - 0{,}763)/1\text{k} = 4{,}237$ mA y $V_2 = 0{,}763 + 0{,}1\log 4{,}237/4{,}3 = 0{,}762$ V

De la segunda iteración resulta entonces: V_D = 0,762 V I_D = 4,237 mA (c)

Vemos la rapidez de convergencia.

2.4 Modelos simples del diodo con líneas rectas

2.4.1 Aproximación lineal por tramos.

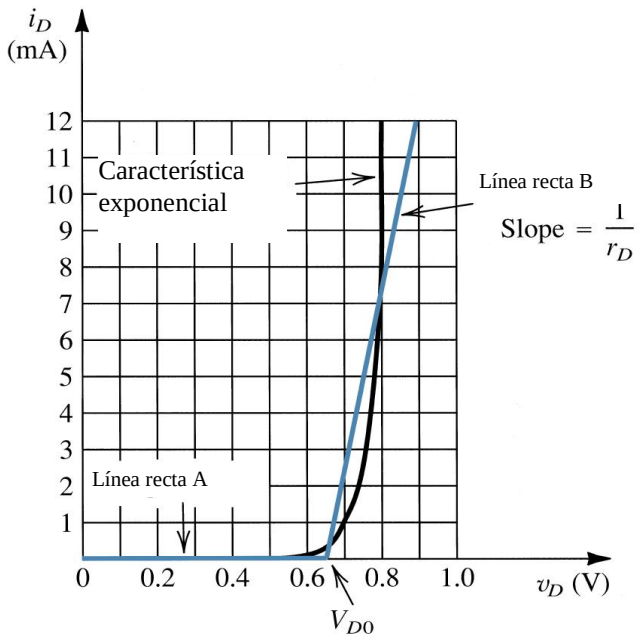


Figura 2.5 Aproximación de la característica directa del diodo con dos líneas rectas.

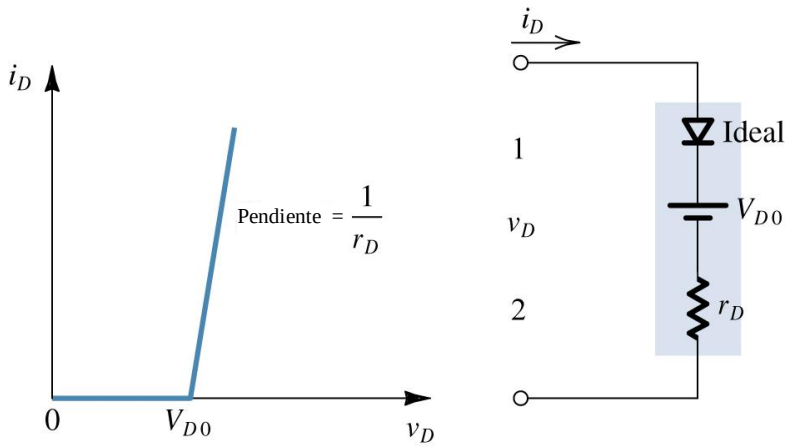


Fig. 2.6 Modelo lineal por tramos de la característica directa del diodo y su circuito equivalente.

V_{DO} = 0,65 V, r_D = 20 Ω; $i_D = 0$, $v_D <= V_{D0}$; $i_D = (v_D - V_{D0})/r_D$, $v_D >= V_{D0}$

r_D válida tanto para condiciones estáticas como dinámicas

2.4.2 Modelo de caída de voltaje constante

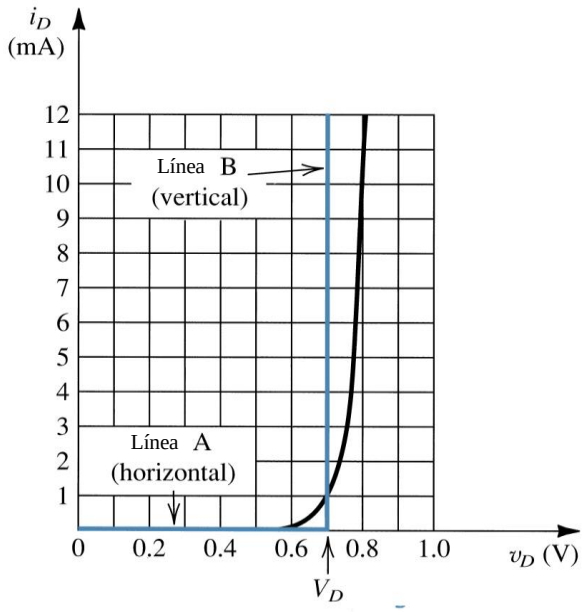


Fig. 2.7 Desarrollo del modelo de caída de voltaje constante de la característica directa del diodo. Línea vertical recta (B) para aproximar la exponencial de rápido crecimiento.

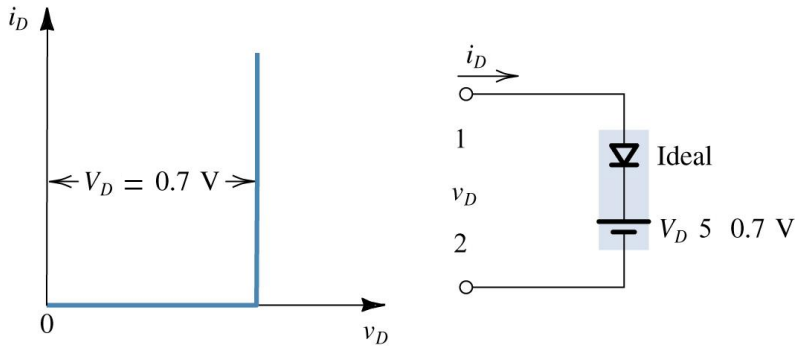


Fig. 2.8 Modelo de caída de voltaje constante de la característica directa del diodo y la representación de su circuito equivalente.

2.5 Modelo del diodo para pequeña señal (con fuente de dc y ac)

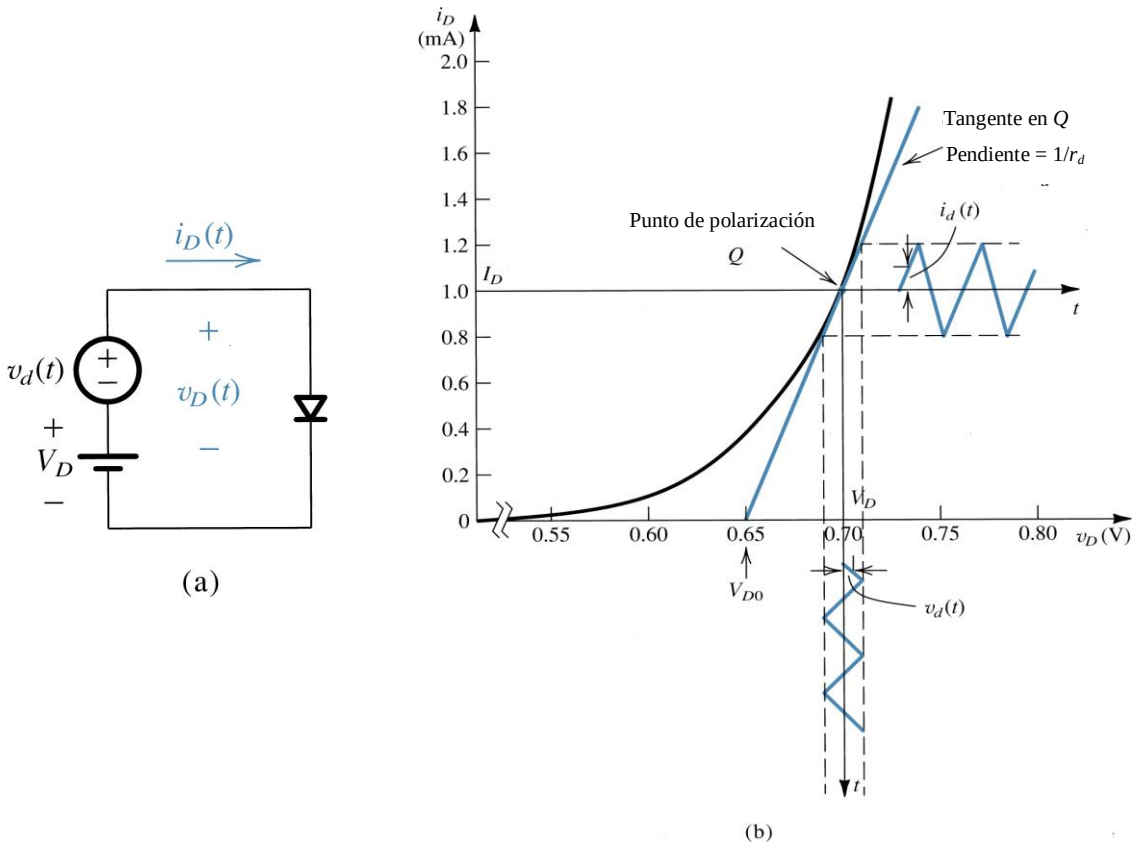


Fig. 2.9 Desarrollo del modelo de pequeña señal del diodo. Notese que los valores numéricos mostrados son para un diodo con $n = 2$.

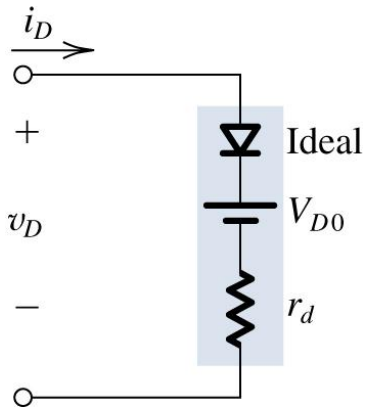


Fig. 2.10 Modelo del circuito equivalente para el diodo para pequeños cambios alrededor del punto de polarización Q. La resistencia incremental r_d es la inversa de la pendiente de la tangente en Q, y V_{D0} es la intersección de la tangente en el eje v_D (see **Fig. 2.9**).

Si hacemos $v_d(t) = 0 \Rightarrow I_D = I_s e^{V_D / nV_T}$

Si ahora agregamos $v_d(t)$ tenemos

$$v_D(t) = V_D + v_d(t)$$

$$i_D(t) = I_s e^{v_D(t)/nV_T}$$

$$i_D(t) = I_s e^{(V_D + v_d)/nV_T}$$

$$i_D(t) = I_s e^{V_D/nV_T} e^{v_d/nV_T}$$

$$i_D(t) = I_D e^{v_d/nV_T}$$

Para pequeña señal (v_d < 10 mV) se tiene

$$v_d/nV_T << 1 \quad \Rightarrow \quad i_D(t) \cong I_D\left(1 + \frac{v_d}{nV_T}\right),$$

$$i_D(t) = I_D + \frac{I_D v_d}{nV_T} = I_D + i_d(t) \quad \Rightarrow \quad i_d(t) = \left(\frac{I_D}{nV_T}\right) v_d$$

Se define, **resistencia incremental o dinámica** (solo para señal)

$$\frac{1}{r_d} = \frac{I_D}{nV_T} \quad \text{o} \quad r_d = \frac{nV_T}{I_D}$$

Se llega al mismo resultado considerando la pendiente en el punto de operación

$$\frac{1}{r_d} = \frac{\partial i_D}{\partial v_D} \qquad \text{calculada en} \quad i_D = I_D$$

Las ecuaciones para el modelo circuital resultan

$$\begin{aligned} v_D &= V_{D0} + i_D r_d \\ &= V_{D0} + (i_d + I_D) r_d \\ &= (V_{D0} + I_d r_d) + i_d r_d \\ &= V_D + i_d r_d \end{aligned}$$

2.6 Circuito simple con dc, ac, *R* y diodo

Analizando el circuito se tiene:

$$V_{DD} + v_s(t) = i_D R + V_{DO} + i_D r_d$$

$$= (I_D + i_d)R + V_{DO} + (I_D + i_d) r_d$$

$$= I_D R + (V_{DO} + I_D r_d) + i_d(R + r_d)$$

$$= I_D R + V_D + i_d(R + r_d)$$

Se observa que podemos separar el análisis de este circuito en dos:

1) análisis en continua $V_{DD} = I_D R + V_D$ gráfico o iterativo
2) análisis en señal $v_s(t) = i_d(R + r_d) \quad \therefore \quad v_d = v_s.r_d/(R + r_d)$

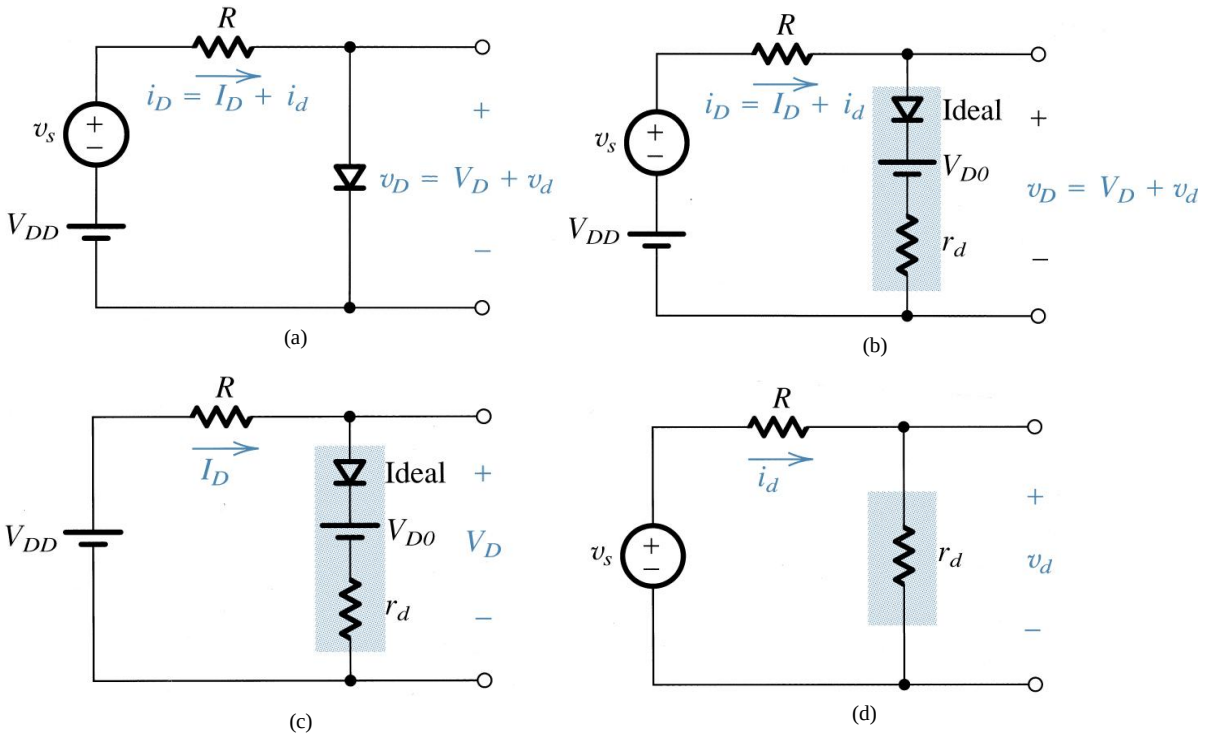


Fig. 2.11 El análisis del circuito en **(a)**, el cual contiene tanto señales de dc como de ac, puede resolverse reemplazando el diodo con el modelo de la fig. 2.10, como se ve en **(b)**. Esto permite separar el análisis de dc (el circuito en **(c)**) del análisis de ac (el circuito en **(d)**).

En los modelos de diodo a pequeña señal desarrollados solo aparecen elementos resistivos, es por ello que se aplican a bajas frecuencias donde se desprecian los efectos de almacenamiento de cargas en la unión *p-n*, tanto en la región directa como en la inversa. Tampoco hemos considerado, la resistencia en la región inversa R_r en paralelo con los modelos vistos, la cual la podemos despreciar por ser elevada (de algunos MΩ a muchos) no introduciendo errores apreciables en los cálculos frente a la resistencia en la región directa.

2.7 Modelo del diodo en la región de ruptura (Zener)

En la figura 2.12 se aprecian los detalles de las curvas características *i-v* en la región de ruptura. Observamos que para corrientes mayores de I_{ZK} (del codo o rodilla especificada en la hoja de datos del diodo Zener), la curva

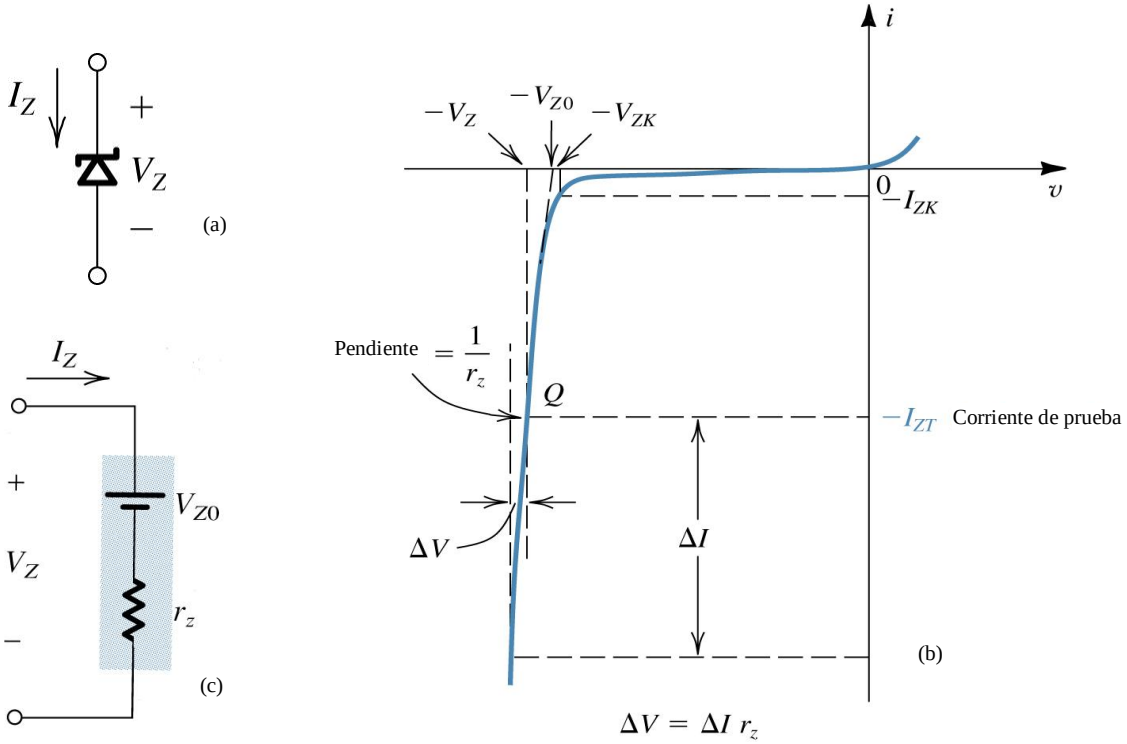


Fig. 2.12 **(a)** Símbolo de circuito para un diodo zener. **(b)** La característica *i-v* del diodo con detalles en la región de ruptura. **(c)** Modelo para el diodo zener.

característica *i-v* es casi una línea recta. El fabricante suele especificar el voltaje V_Z en paralelo con el diodo Zener a una corriente especificada de prueba, I_{ZT}. Estos parámetros se indican en la figura 2.12 como el punto marcado *Q*. De este modo, un diodo Zener de 7,5 V exhibirá una caída de 7,5 V a una corriente especificada de prueba de 10 mA, por ejemplo. A medida que la corriente que pasa por el Zener se desvía de I_{ZT} cambiará el voltaje en sus terminales, aunque ligeramente. En la figura 2.12 se muestra que correspondiendo al cambio de corriente ΔI, el voltaje del Zener cambia en ΔV, que está relacionado con ΔI por

$$\Delta V = r_z \Delta I$$

donde r_Z es el inverso de la pendiente de la curva casi lineal *i-v* en el punto *Q*. La resistencia r_Z es la resistencia incremental del diodo Zener en el punto de operación *Q*; también se conoce como resistencia dinámica del Zener y su valor

se especifica en las hojas de datos del dispositivo. Típicamente, el valor de r_Z es entre unos pocos ohms a varias decenas de ohms.

Es evidente que, cuanto menor sea el valor de r_Z, más constante permanece el voltaje Zener a medida que varía su corriente y así es más ideal su operación. A este respecto, observamos de la figura 2.12 que mientras r_Z permanece baja y casi constante en una amplia variación de corriente, su valor aumenta considerablemente en la vecindad del codo. Por lo tanto, como lineamiento general de diseño se debe evitar operar el Zener en esta región de baja corriente.

Los diodos Zener se fabrican con voltajes V_Z de entre unos pocos volts y varios cientos de volts. Además de especificar V_Z (a uno corriente particular I_{ZT}), r_Z y I_{ZK}, el fabricante también especifica la potencia máxima que el dispositivo puede disipar sin destruirse. De esta forma, un diodo Zener de 0,5 W y 7,5 V puede operar con seguridad a corrientes de hasta un máximo de unos 67 mA.

La curva casi lineal característica *i-v* del diodo Zener sugiere que el dispositivo se pueda modelar como se indica en la figura 2.12. Aquí, V_{Zo} denota el punto en que la recta de la pendiente $1/r_Z$ corta el eje del voltaje. Aun cuando V_{Zo} se ve que es ligeramente diferente del voltaje V_{ZK} del codo, en la práctica estos valores son casi iguales. El modelo de circuito equivalente se puede describir analíticamente por medio de

$$\boldsymbol{V_Z = V_{Zo} + r_z I_Z}$$

y se aplica para $I_Z > I_{ZK}$ y, obviamente, $V_Z > V_{Zo}$.

2.7.1 Mecanismos físicos en la región de ruptura

Consideremos una unión pn polarizada inversamente con una fuente externa variable V_R. A medida que aumenta V_R se barren más huecos del lado *p* por el circuito exterior y los introduce en el material *n*, y electrones del material *n* en el circuito exterior y los introduce en el material *p*. Esta acción resulta en que más y más carga espacial se descubre, por lo que la capa o zona de agotamiento se ensancha y se eleva la barrera de potencial. El proceso que lleva al ensanchamiento de la capa de agotamiento continúa hasta que se desarrolla un voltaje de unión suficientemente alto (y en consecuencia el campo eléctrico). Este alto valor del campo y potencial desarrolla el mecanismo de ruptura que puede ser de dos tipos: la ruptura por **efecto Zener** para tensiones $\boldsymbol{V_R < 5}$ **V** y el **efecto de avalancha** para $\boldsymbol{V_R > 7}$ **V**. Para uniones que se rompen entre 5 y 7 V, el mecanismo de ruptura puede ser ya sea el efecto Zener o el de avalancha, o una combinación de los dos.

La ruptura Zener ocurre cuando el campo eléctrico de la región de agotamiento aumenta al punto donde puede romper enlaces covalentes y generar

pares electrón-hueco. Los electrones generados de esta forma serán barridos por el campo eléctrico e introducidos en el lado *n* y los huecos en el lado *p*. Por lo tanto, estos electrones y huecos constituyen una corriente inversa en los terminales de la unión que ayuda a sostener la corriente $I \cong I_S$ resultante en el circuito exterior para V_R por debajo de la ruptura. Una vez que se inicia el efecto Zener, se puede generar un gran número de portadores, con un aumento despreciable en el voltaje de la unión. Así, la corriente inversa de la región de ruptura estará determinada por el circuito externo, mientras que el voltaje inverso que aparece entre los terminales del diodo permanecerá cercano al voltaje nominal de ruptura V_Z.

El otro mecanismo de ruptura es la ruptura de avalancha, que ocurre cuando los portadores minoritarios que cruzan la región de agotamiento bajo la influencia del campo eléctrico ganan suficiente energía cinética para romper enlaces covalentes en átomos con los que chocan. Los portadores liberados por este proceso pueden tener energía suficientemente alta para hacer que otros portadores se liberen en otra colisión de ionización. Este proceso ocurre en forma de avalancha, con el resultado que muchos portadores se crean y pueden soportar cualquier valor de corriente inversa, como se determina por el circuito externo, con un cambio despreciable en la caída de voltaje en los terminales de la unión.

La ruptura de la unión *pn* no es un proceso destructivo, siempre que no se exceda la disipación máxima de potencia especificada. Esta disipación máxima de potencia, a su vez, implica un valor máximo para la corriente inversa.

2.7.2 Dependencia con la temperatura de los diodos de ruptura

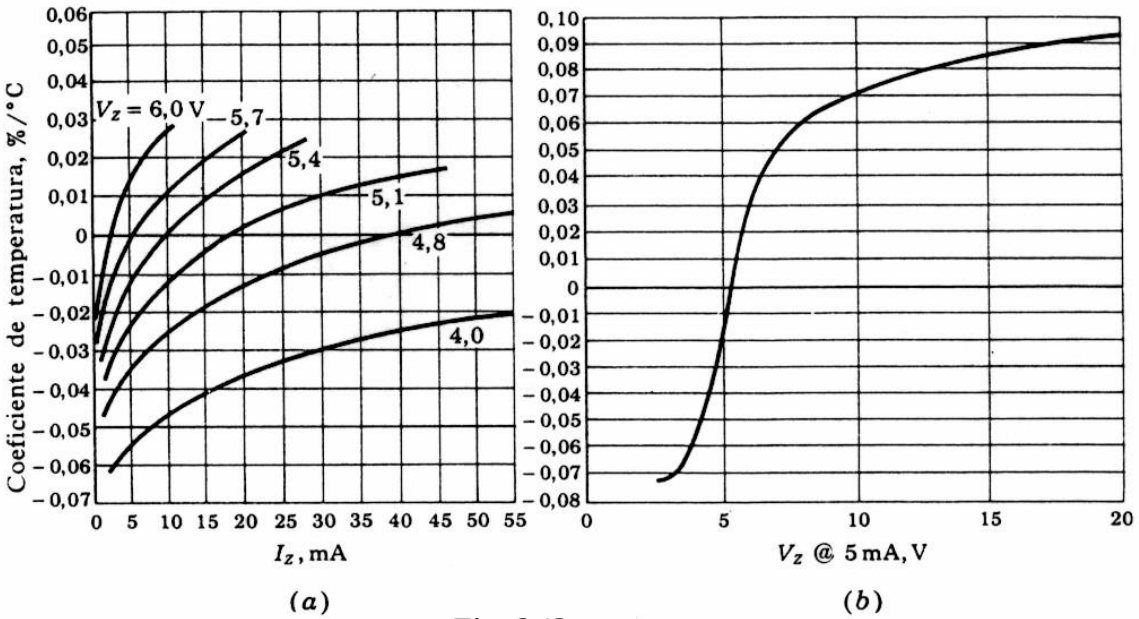


Fig. 2.13

Definimos el coeficiente de temperatura de la tensión Zener como:

$$C_T = \frac{\Delta V_Z}{V_Z (T_1 - T_o)} 100$$

Siendo T_o la temperatura de referencia, por lo general 25°C, y T_1 la de interés.

Ejemplo: sea un diodo Zener de 5,7V a 5mA y 25°C. Calcular V_Z a 100°C.
Del gráfico vemos que C_T = +0,02%/°C. Despejando ΔV_Z tememos:

$$\Delta V_Z = \frac{C_T V_Z (T_1 - T_o)}{100} = \frac{0{,}02.5{,}7.(100-25)}{100} = 0{,}085V$$

$$\Delta V_Z = V_{Z1} - Vzo = V_{Z1} - 5{,}7 = 0{,}085V$$

$$V_{Z1} = 5{,}785V$$

2.7.3 Variación de r_z

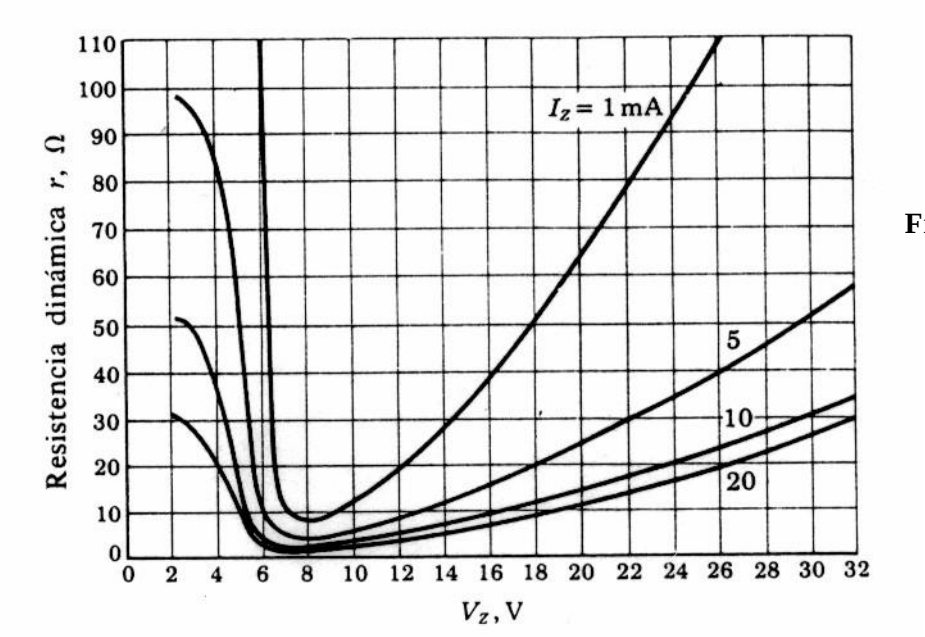


Fig. 2.14

2.8 Circuitos limitadores de amplitud

La Figura 2.15 muestra la curva característica general de transferencia de un circuito limitador. Se observa claramente la zona lineal de interés donde se cumple que $v_O = K.v_I$. K puede ser en general mayor que 1, pero en esta parte de nuestro estudio será siempre menor que 1 pues tratamos con limitadores pasivos. La Figura anterior también describe un limitador doble (ambas polaridades), y simétrico si los límites positivo y negativo son de igual magnitud. Cuando usamos como v_I una onda seno que supera los límites, los picos positivo y negativo se verán limitados (Figura 2.16), en este caso el circuito se denomina ***recortador***. En general los limitadores también se conocen como ***recortadores***.

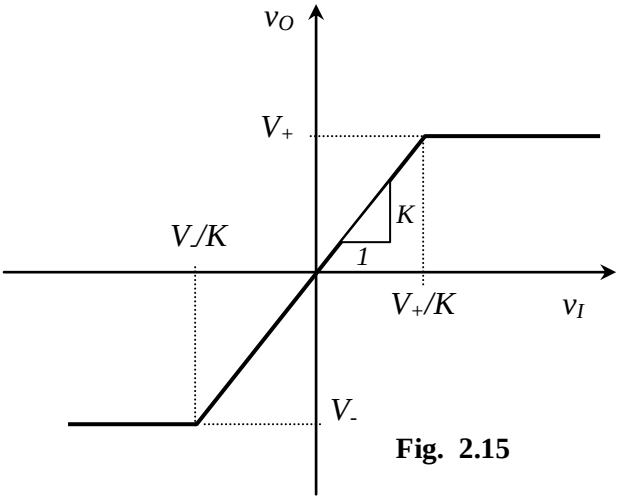


Fig. 2.15

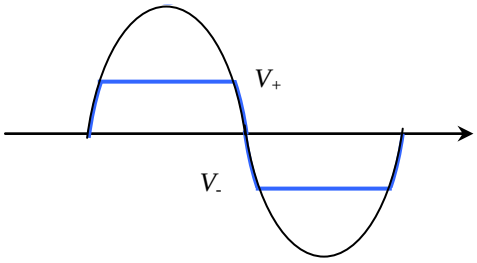


Fig. 2.16

El limitador cuya característica de transferencia se muestra arriba se denomina limitador duro o fuerte. En la Figura 2.17 se muestra un limitador denominado limitador suave, caracterizado por transiciones más suaves entre la región lineal y las regiones de saturación y una pendiente distinta de cero en la región de saturación. Según sea la aplicación se prefiere uno u otro.

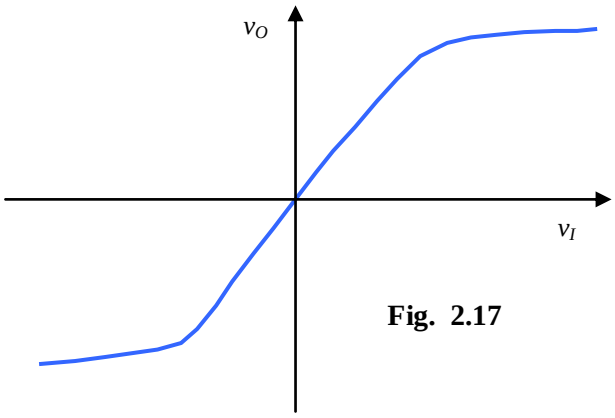


Fig. 2.17

Se pueden combinar diodos con resistores para obtener realizaciones sencillas de la función limitadora. En la Figura 2.18 se ilustran varios ejemplos. En cada una se dan el circuito y su curva característica de transferencia. Las curvas características se obtienen usando el modelo del diodo de caída constante de voltaje (V_D = 0,7 V), pero suponiendo una transición suave entre las regiones lineales y de saturación de la curva característica de transferencia. Se pueden obtener mejores aproximaciones para las curvas características de transferencia usando el modelo del diodo lineal por partes. Si se hace esto, la región de saturación de la curva característica adquiere una ligera pendiente (debida al efecto de r_D).

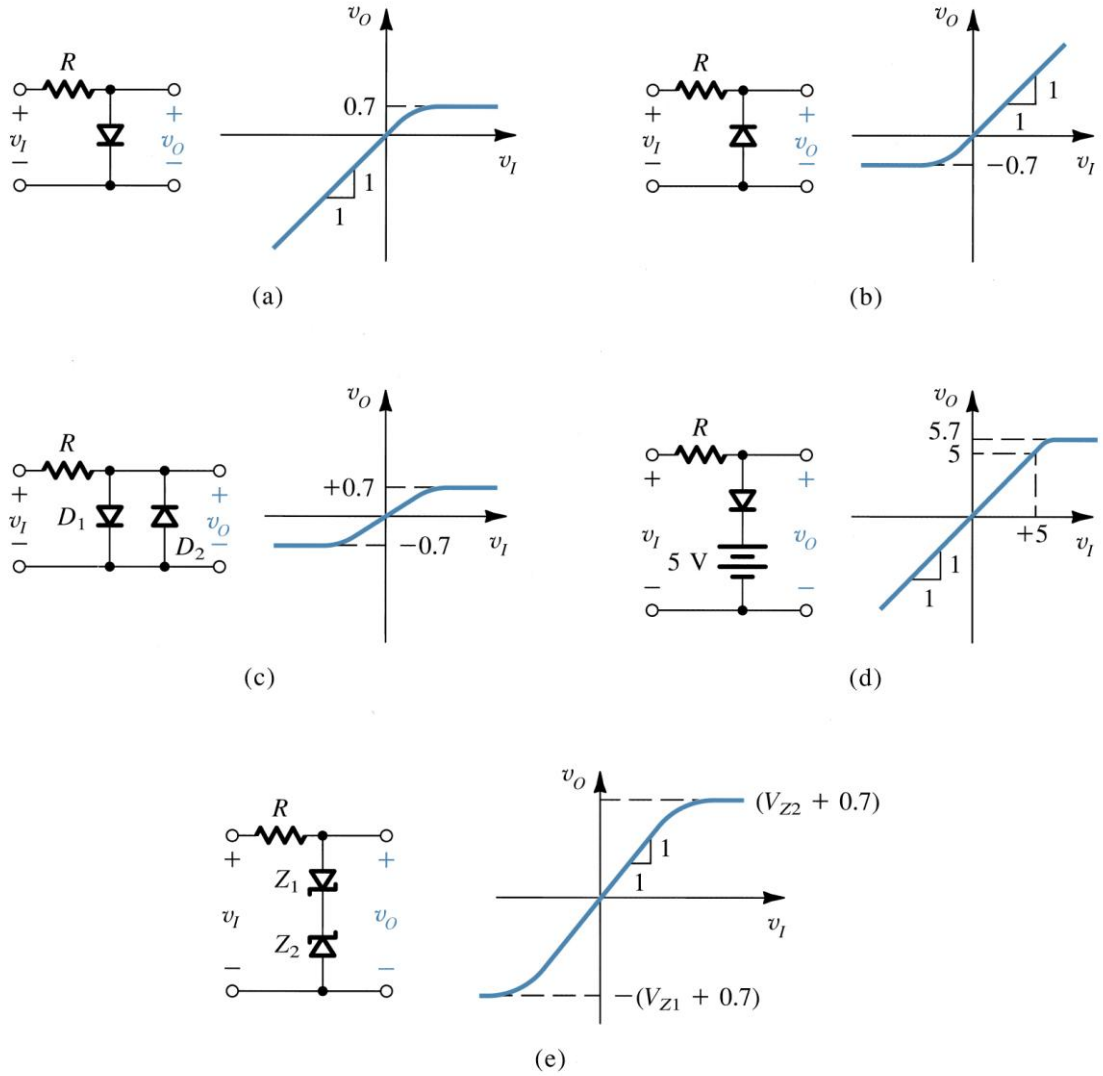


Fig. 2.18 Distintos tipos de circuitos limitadores básicos.

2.9 Circuitos fijadores de amplitud

Si se combina un diodo con un condensador como se ilustra en la Figura 2.19, resulta un circuito interesante con aplicaciones importantes. El circuito recibe el nombre de ***restaurador de cd o fijador***. Debido a la polaridad en que se conecta el diodo, el condensador se carga a un voltaje v_C igual a la magnitud del pico más negativo de la señal de entrada. Luego, el diodo no conduce y el condensador retiene indefinidamente su voltaje. Si, por ejemplo, la onda cuadrada de entrada tiene los niveles arbitrarios –6 V y +4 V, entonces v_C será igual a 6 V. Ahora, como el voltaje de salida v_O está dado por

$$v_O = v_I + v_C$$

se deduce que la onda de salida será idéntica a la de entrada, excepto que está desplazada hacia arriba en v_C volts. En nuestro ejemplo, la salida será una onda cuadrada con niveles de 0 V y +10 V.

Otra forma de visualizar la operación del circuito de la Figura 2.19 es observar que debido a que el diodo está conectado en paralelo a la salida con la polaridad que se muestra, impide que el voltaje de salida baje a menos de 0 V (al conducir y cargar el condensador, ocasionando que la salida se eleve a 0 V), pero esta conexión no restringe la alternancia positiva de v_O. La onda de salida, por lo tanto, tendrá su mínimo pico nivelado a 0 V, que es por lo que el circuito se denomina también ***condensador nivelado***. Debe ser evidente que invertir la polaridad del diodo dará una onda de salida cuyo máximo pico está nivelado a 0 V. En cualquier caso, la onda de salida tendrá un valor promedio finito de continua o componente de dc. Esta componente de dc está enteramente relacionada con el valor promedio de la onda de entrada. Como aplicación, considere una señal de pulso que se transmite por medio de un sistema capacitivamente acoplado, o acoplado a dc. El acoplamiento capacitivo hará que el tren de pulsos pierda cualquier componente de ce que originalmente tuviera. Alimentar la onda de pulsos resultante a un circuito nivelador le proporciona a éste una bien determinada componente de dc, proceso conocido como **restauración de dc**. Esto es por lo que el circuito se llama **restaurador de dc**.

Restaurar dc es útil porque la componente de dc de una onda de pulsos es una medida eficaz de su ciclo de trabajo. El ciclo de trabajo de una onda de pulsos se puede modular (en un proceso que recibe el nombre de *modulación de ancho de pulso*) y hacer que lleve información. En un sistema como éste, la detección o demodulación se puede obtener simplemente con alimentar la onda de pulso recibida a un restaurador de dc y luego usando un simple filtro *RC* de paso bajo para separar el promedio de la onda de salida de los pulsos superpuestos.

Cuando se conecta una resistencia de carga *R* en los terminales del diodo en un circuito nivelador, como se ve en la Figura 2.20, la situación cambia de manera considerable. Mientras que la salida está por encima de masa, una corriente neta de dc debe circular en *R*. Como en ese momento el diodo está en corte, es obvio que esta corriente proviene del condensador, causando así que el condensador se descargue y el voltaje de salida caiga. Esto se muestra en la Figura 2.20 para una entrada de onda cuadrada. Durante el intervalo t_0 a t_1 el voltaje de salida cae exponencialmente con la constante de tiempo *RC*. En t_1 la entrada se reduce en V_a volts y la salida intenta seguirla. Esto hace que el diodo conduzca fuertemente y cargue con gran rapidez al condensador. Al finalizar el intervalo t_1 a t_2, el voltaje de salida sería normalmente de unas pocas décimas de volt negativo (por ejemplo, -0,5 V). Entonces, a medida que se eleva la entrada en un valor de V_a volts (en t_2), la salida sigue y el ciclo se repite. En un estado estable, la carga perdida por el condensador durante el intervalo t_0 a t_1 se recupera durante el intervalo t_1 a t_2 . Este equilibrio de carga hace posible que podamos calcular el promedio de corriente del diodo, así como los detalles de la onda de salida.

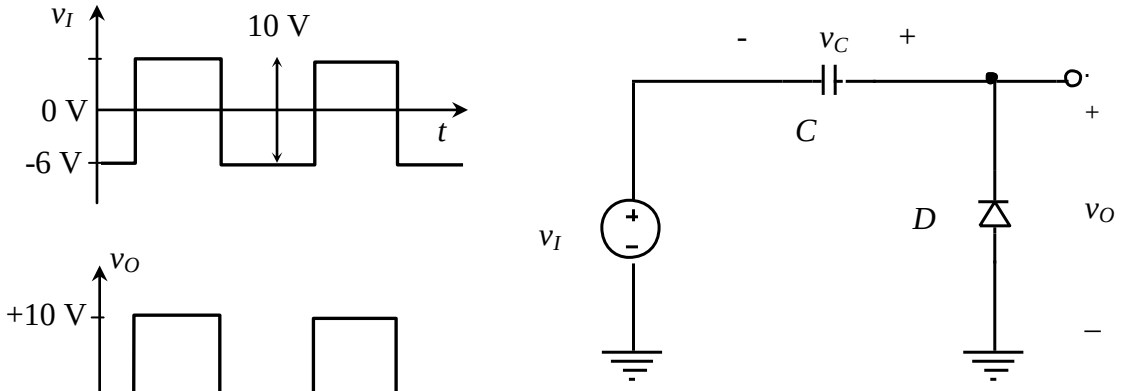


Fig. 2.19

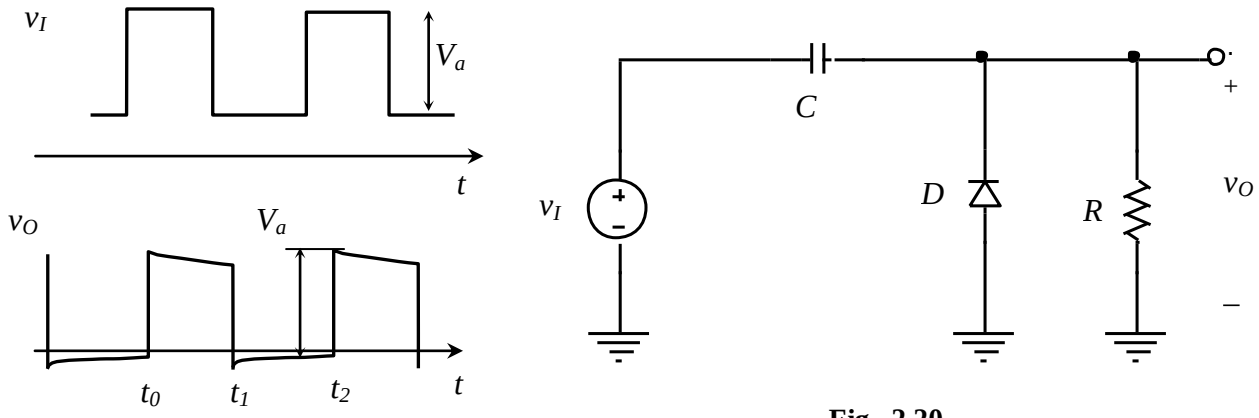


Fig. 2.20

2.10 Más aplicaciones

Llave analógica

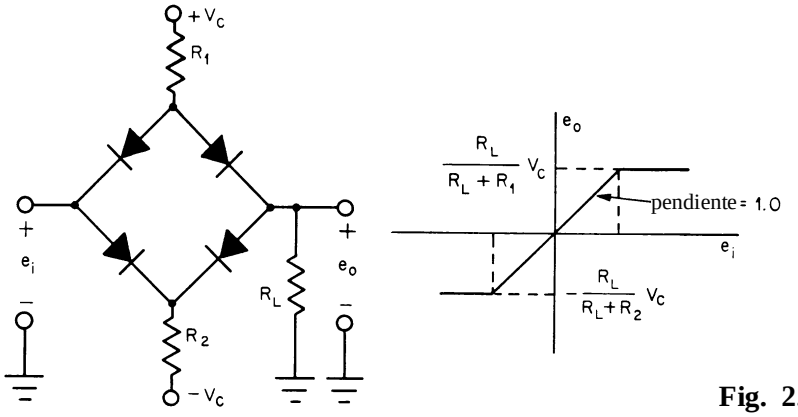


Fig. 2.21

Recortadores con polarización en paralelo

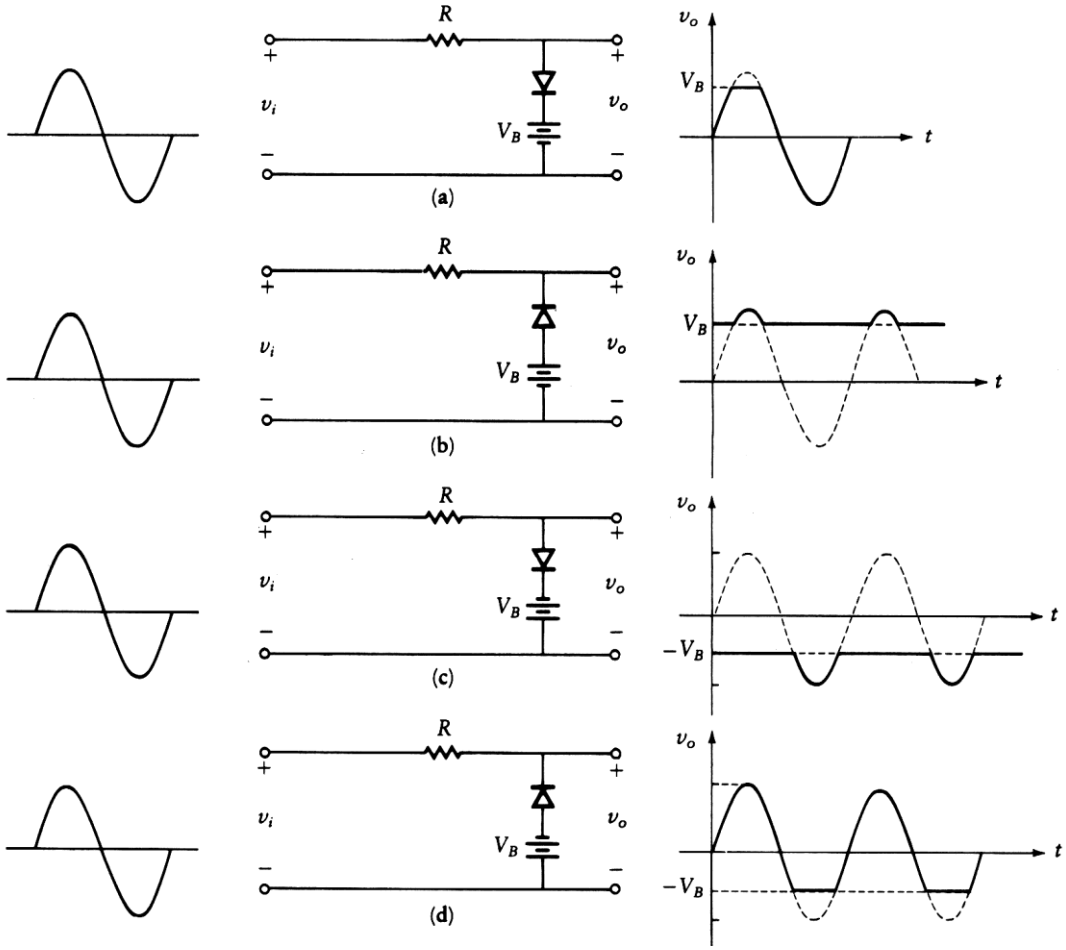
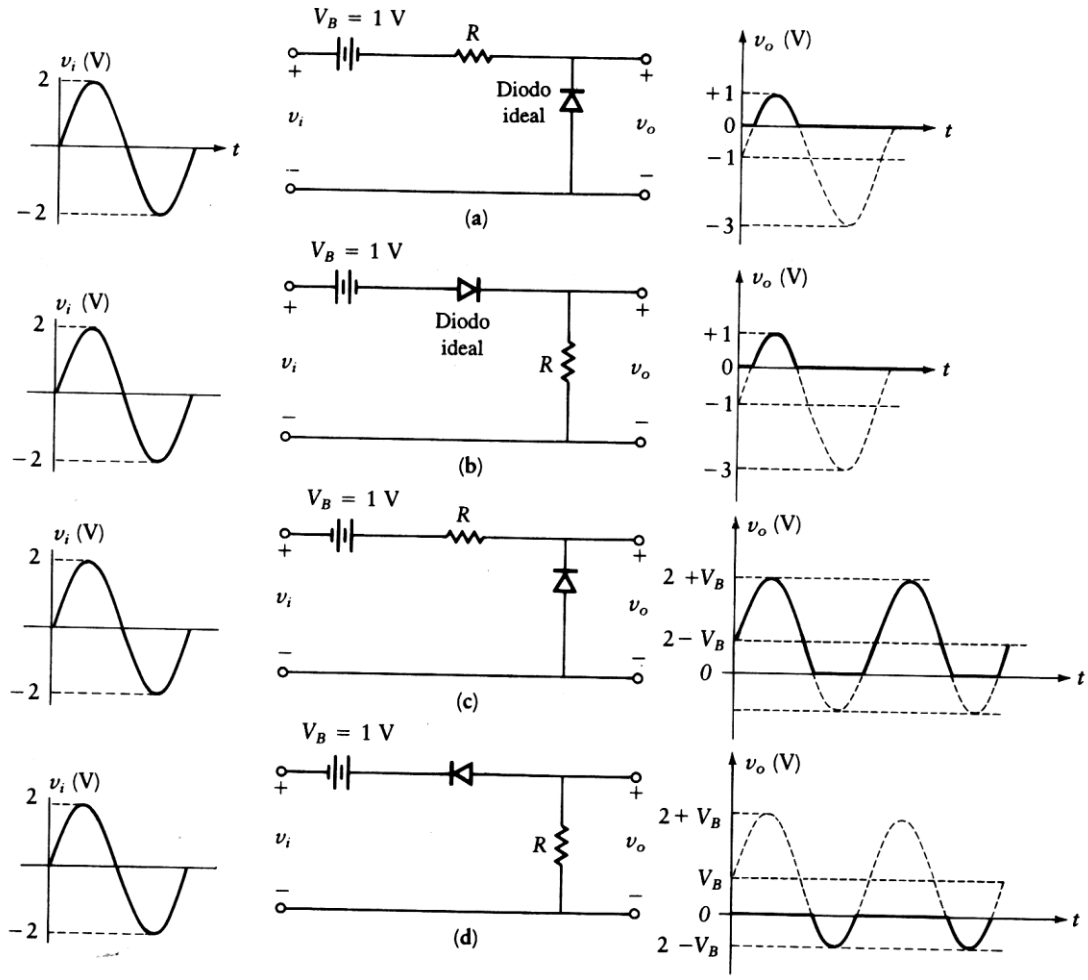
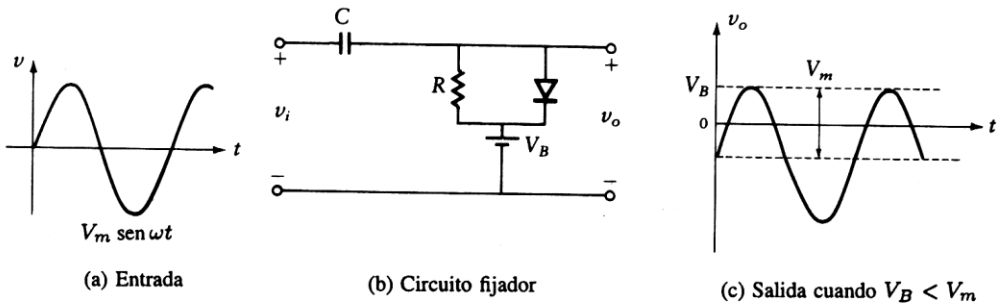


Fig. 2.22

Recortadores con polarización en serie





CAPÍTULO 3: TRANSISTOR BIPOLAR DE JUNTURA

3.1 Estudio en corriente continua (dc) y gran señal

Estructura simplificada y polaridades para BJTs funcionando en modo normal y en la región activa.

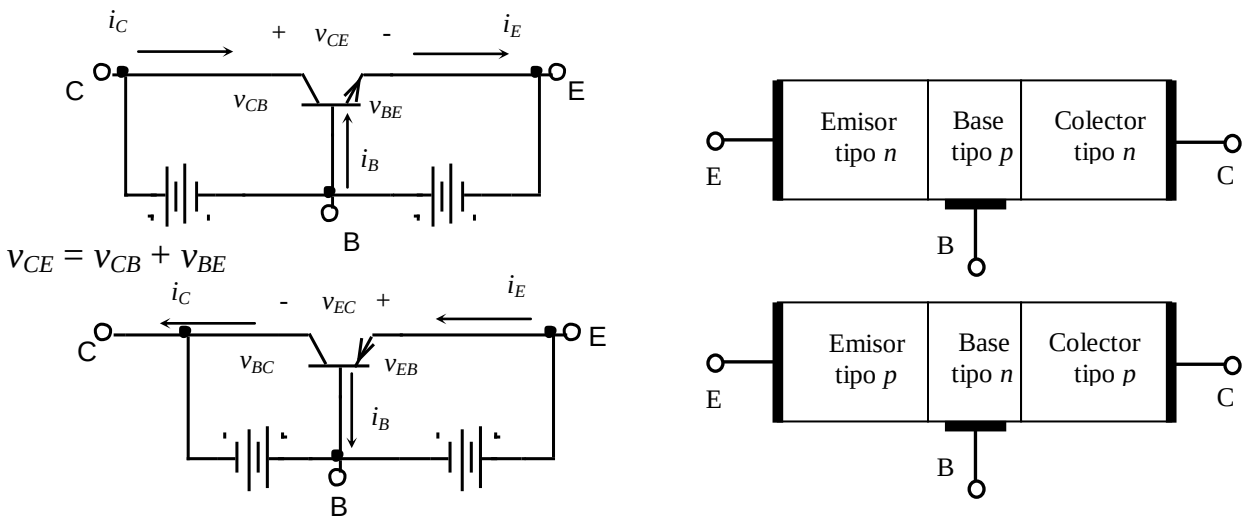


Figura 3.1.1

Para ambos $i_E = i_C + i_B$

En el modo inverso se invierten los roles entre colector y emisor, manteniendo las polaridades como antes para funcionamiento en la región activa.

Resumen de las relaciones *i-v* en un BJT funcionando en el ***modo normal y región activa***. Del modelo de Ebers-Moll, suponiendo los sentidos de corriente de la Fig. 3.1.1, para un *npn* tenemos para dc y gran señal,

$$\left(\begin{array}{l} 1)i_E = \dfrac{I_S}{\alpha_F}\left(e^{v_{BE}/V_T}-1\right) - I_S\left(e^{v_{BC}/V_T}-1\right) \\ 2)i_C = I_S\left(e^{v_{BE}/V_T}-1\right) - \dfrac{I_S}{\alpha_R}\left(e^{v_{BC}/V_T}-1\right) \\ 3a)i_B = (1-\alpha_F)I_{ES}\left(e^{v_{BE}/V_T}-1\right) + (1-\alpha_R)I_{CS}\left(e^{v_{BC}/V_T}-1\right) \\ 3b)i_B = \dfrac{I_S}{\beta_F}\left(e^{v_{BE}/V_T}-1\right) + \dfrac{I_S}{\beta_R}\left(e^{v_{BC}/V_T}-1\right) \end{array}\right);$$

$$\alpha_F I_{ES} = \alpha_R I_{CS} = I_S \; ; \quad I_{CBO} = I_{CS}(1 - \alpha_F \, \alpha_R)$$

De ahora en más, $\alpha = \alpha_F$ y $\beta = \beta_F$ ya que siempre trabajaremos en modo normal y región activa,

De 2) $i_C \cong I_S e^{\frac{v_{BE}}{V_T}}$ si $v_{BE} > 0$ y $>> V_T$, v_{CB} $\left(\begin{array}{l} i_C = \alpha \, i_E + I_{CBO} \\ i_C \cong \alpha \, i_E \; \therefore \alpha = \dfrac{i_C}{i_E} \end{array} \right)$ en base común(3.1.1)

Para transistores *pnp* tómese v_{EB}. Tomaremos $n = 1$ cuando el transistor opere en la zona normal de corriente según su límite. Para elevada corriente respecto a la normal o para muy baja corriente se tomará $n = 2$. I_{CBO} o I_{CO} es la corriente de portadores minoritarios entre colector y base con el emisor en circuito abierto. También llamada corriente inversa de saturación como en los diodos; recordando que es mucho mayor que I_S pues tiene una componente importante de fugas y variable con la tensión V_{CB}; es del orden de nanoamperes, en general mucho mayor que el valor teórico por lo dicho anteriormente. Se duplica aproximadamente cada 10°C.

Tanto en transistores *npn* como *pnp*, se tiene

$$i_E = i_B + i_C \qquad (3.1.2)$$

Con la ecuación (3.1.2) en la (3.1.1) queda,

$$i_C = \alpha i_B + \alpha i_C + I_{CBO}$$

$$\therefore \quad i_C = \frac{\alpha}{1-\alpha} i_B + \frac{1}{1-\alpha} I_{CBO} \qquad (3.1.3)$$

$$\beta = \frac{\alpha}{1-\alpha} \quad resulta \quad \beta + 1 = \frac{1}{1-\alpha} \qquad (3.1.4) \text{ y } (3.1.5)$$

Con las ecuaciones (3.1.4) y (3.1.5) en la (3.1.3) se tiene,

$$i_C = \beta i_B + (\beta + 1) I_{CBO} \cong \beta i_B \qquad (3.1.6)$$

Despreciando el término con $(\beta + 1) I_{CBO} = I_{CEO}$ se obtiene,

$$\beta = \frac{i_C}{i_B} \equiv h_{FE}$$ **Ganancia de corriente en EC de gran señal o continua**

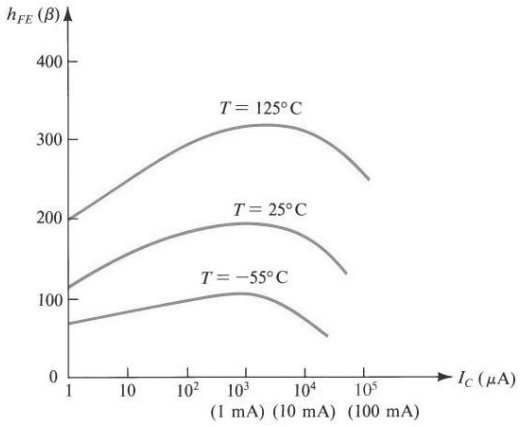
Las corrientes son ***totales***.

De las ecuaciones anteriores queda, $i_B = (I_S / \beta) e^{\frac{v_{BE}}{V_T}}$; $\dfrac{i_E}{i_B} = \beta + 1$ (3.1.7)

La ecuación (3.1.6) es válida para todas las configuraciones (EC, CC y BC). Para transistores modernos β entre 100 y 600, en dispositivos especiales hasta 1000. De la ec. (3.1.4) α es constante (para cada transistor particular) que es muy cercana a la unidad (**ganancia de corriente en base común**). Es decir para $\beta = 100$ tenemos $\alpha \cong 0{,}99$. La ecuación (3.1.4) muestra que para pequeños cambios en α resultan cambios muy grandes en β. Esta observación matemática se manifiesta físicamente en que transistores del mismo tipo tienen valores muy diferentes de β. En el modo inverso el β se indica β_R, normalmente es mucho menor que en modo directo ($<\beta_F/10$), y con el α ocurre algo similar.

La Fig. 3.1.2 muestra la variación de β con respecto a I_C y la variación de V_{BE} con la temperatura.

Dependencia de h_{FE} con I_C :



Dependencia de v_{BE} con T:

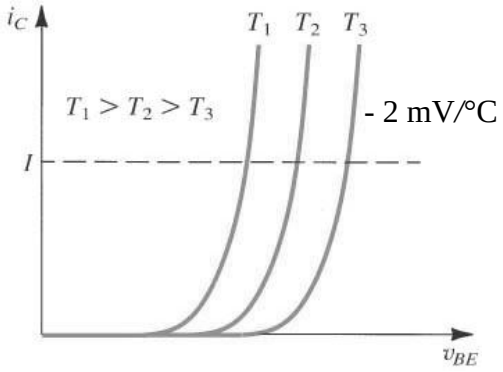


Figura 3.1.2

3.2 Curvas características en emisor común

Operando en modo normal se reconocen las siguientes regiones de funcionamiento:

Modos de operación	**JBE**	**JBC**
Corte (cutoff)	Inversa	Inversa
Activo	Directa	Inversa
Saturación	Directa	Directa

De la característica de salida Fig. 3.2.2 vemos:

a) **Región de saturación:** $V_{CEsat} \cong$ **0,2 V,** el transistor conduce una corriente apreciable, prácticamente sin caída en colector-emisor. Aquí el h_{FE} tiene valores muy inferiores que en la región activa y variable lo cual no da mucho sentido su uso.
b) **Región de ruptura:** para valores grandes de v_{CE} se produce la ruptura por avalancha que deteriora el dispositivo a BV_{CE}.
c) **Región activa:** en esta región se cumple la ecuación (3.1.6). Corresponde al funcionamiento "lineal" que tiene como límites la tensión anterior y la corriente máxima de colector.
d) **Región de corte:** límite inferior de corriente de colector por debajo del cual se considera que no circula corriente.

En las ecuaciones (3.1.1) a (3.1.7), se puede observar que la i_C es independiente del valor de voltaje de colector mientras la unión colector base permanezca polarizada inversamente, es decir $v_{CB} \geq 0$. Por lo tanto el colector se comporta como una fuente ideal de corriente constante controlada por la base como se ve en la Figura 3.2.1. Sin embargo la pendiente positiva que se puede observar en las curvas de salida reales indica la existencia de una resistencia de salida finita dada por:

$$r_o = \partial v_{CE}/\partial i_C \cong \Delta v_{CE}/\Delta i_C$$

(con v_{BE} constante) debido a la **tensión Early**. Esto se debe a la tensión v_{CB}, que al aumentar aumenta la región de agotamiento de carga (deplexión) y disminuye el ancho eficaz de la base W, por lo tanto aumenta i_C con v_{CE}. Se puede modelar esto como

$$i_C = I_S e^{\frac{v_{BE}}{V_T}} \left(1 + \frac{v_{CE}}{V_A}\right) \qquad (3.2.1)$$

Con lo cual resulta $r_o \cong |V_A|/I_C$

Gráficamente se puede obtener como lo indica la Fig. 3.2.3. V_A es un parámetro del transistor variable entre 50 y 100 Volts.

Vemos que para saltos iguales ΔI_B no corresponden saltos iguales en ΔI_C lo que hace que h_{FE} sea función de I_C. Para grandes excursiones de señal produce la deformación de la onda de salida (distorsión).

Las características de salida ideales, Fig. 3.2.1, se pueden trazar haciendo:

$$i_C = h_{FE}.i_B$$

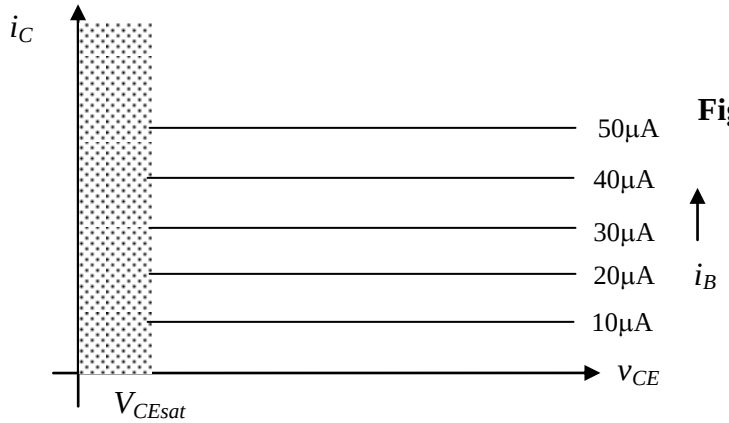


Figura 3.2.1

La característica de salida real de un transistor *npn* en emisor común (EC o CE) se puede observar en las Fig. 3.2.2 a 3.2.4:

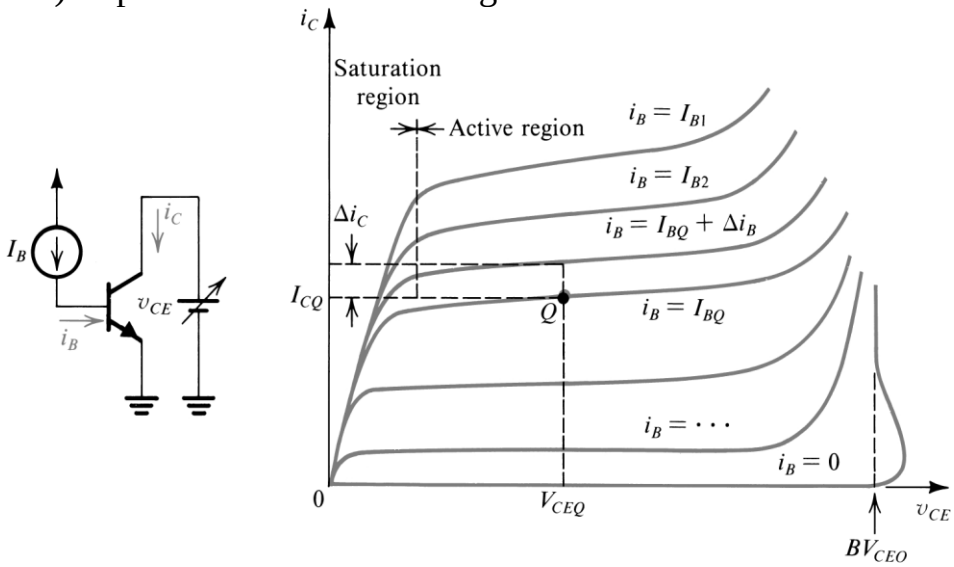


Figura 3.2.2

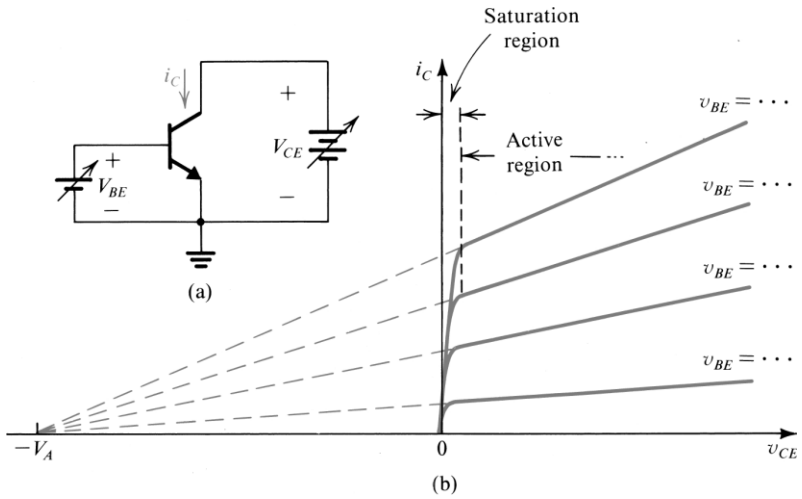


Figura 3.2.3

Características en emisor común expandidas en la región de saturación

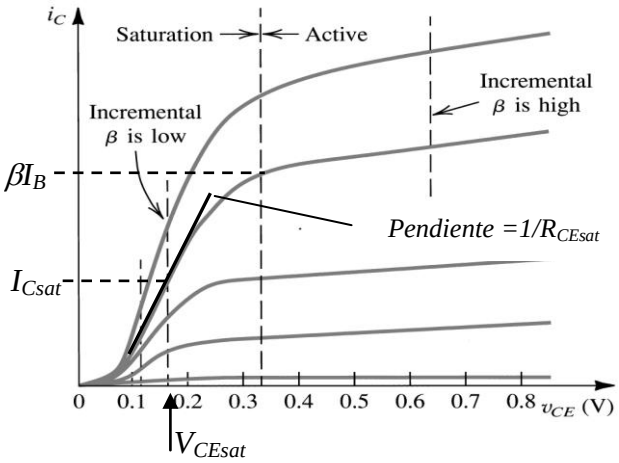


Figura 3.2.4

definición en general,

$$\beta = \frac{i_C}{i_B}$$

de continua en el punto *Q* de reposo,

$$\beta_{dc} \equiv \frac{I_{CQ}}{I_{BQ}} = h_{FE}$$

de señal, alterna o incremental,

$$\beta_{ac} \equiv \frac{\Delta i_C}{\Delta i_B}\Big|_{v_{CE}=cte} = h_{fe}$$

β_{dc} y β_{ac} difieren alrededor del 20% entre sí, por ello salvo mención en contrario, se deberán tomar del mismo valor.

3.3 Modelos del transistor para gran señal y continua

Para transistores *npn* en emisor común, en la zona activa, tenemos los modelos que se muestran en la Fig. 3.3.1,

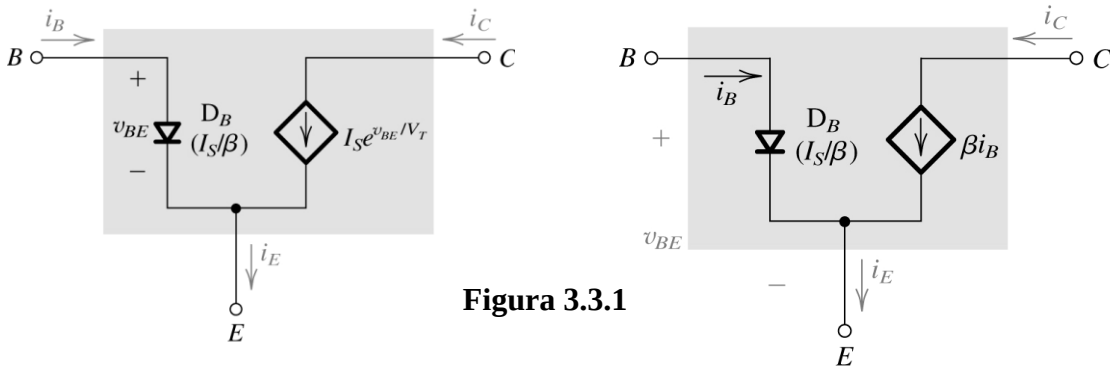


Figura 3.3.1

Podemos agregar modelos simples en la región activa y de saturación para cálculos rápidos de las corrientes cuando el transistor opera en ***corriente continua***.

Para transistores *npn* y *pnp*, en la región activa, se observan en la Fig. 3.3.2 los modelos correspondientes,

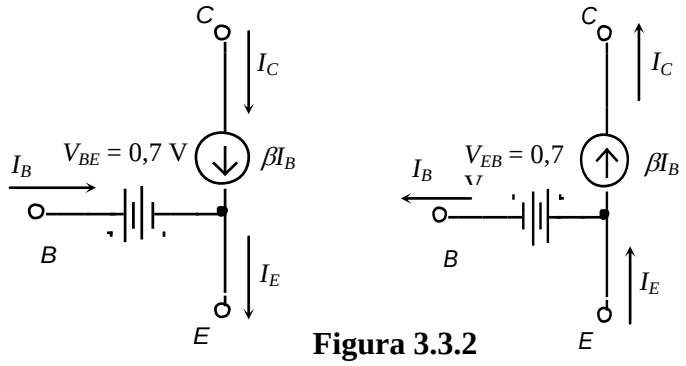


Figura 3.3.2

En la Fig. 3.3.3 a) tenemos un transistor *npn* que trabaja en saturación excitado por una fuente de corriente constante I_B. Observamos en b) la curva característica para la corriente $i_B = I_B$, aproximada por una recta de pendiente $1/R_{CEsat}$. En c) vemos al circuito equivalente del transistor saturado y en d) una versión simplificada de c) muy útil.

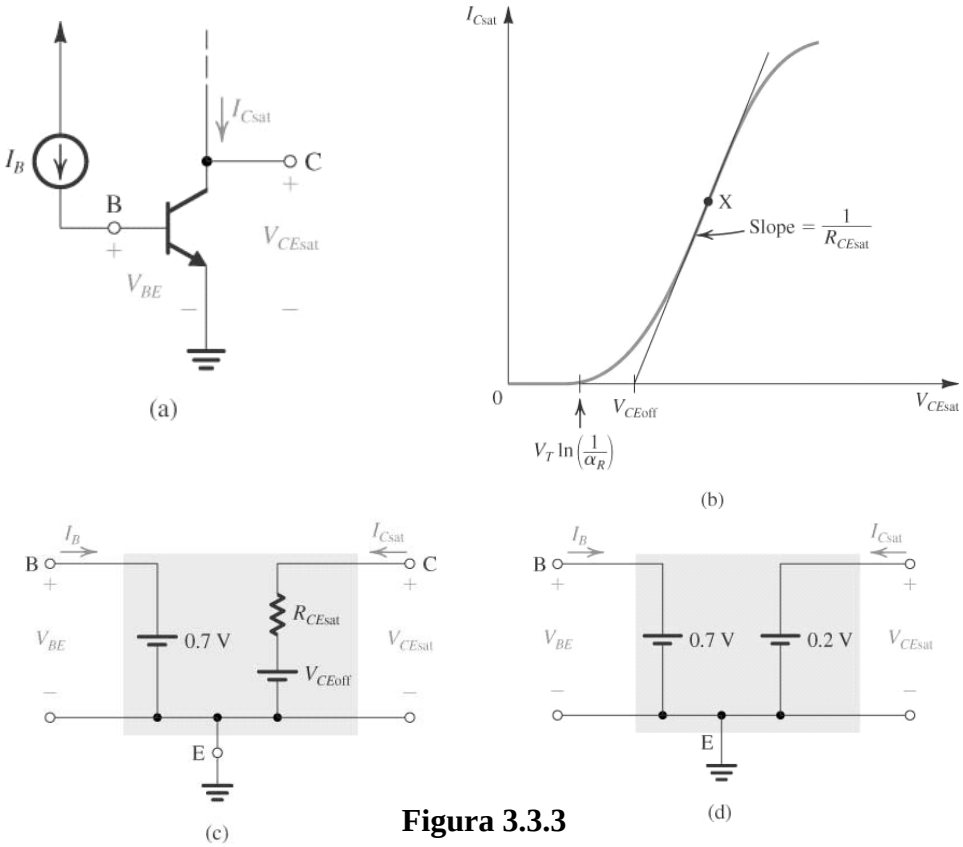


Figura 3.3.3

Para el corte, se considerará al transistor como un circuito abierto.

3.4 Operación a gran señal: la característica de transferencia.

En la Fig. 3.4.1 a) se observa una estructura básica reducida de una amplificador con BJT en emisor común. La señal $v_I = v_{BE}$ y $v_O = v_{CE}$ son totales (dc + ac). En la Fig. 3.4.1 b) se ve la característica de transferencia de tensión de la Fig. 3.4.1 a). Para la obtención de la curva característica se hace,

$$v_O = v_{CE} = V_{CC} - R_C i_C$$

Para < v_I < 0,5 V aproximadamente, i_C es insignificane y v_O es igual a V_{CC} (segmento XY). Para v_I > 0,5 V el transistor comenzará a funcionar en la región activa en el tramo YZ, siendo aquí la corriente de colectar dada por,

$$i_C = I_S e^{v_{BE}/V_T} = I_S e^{v_I/V_T}$$

Así se obtiene

$$v_O = V_{CC} - R_C I_S e^{v_I/V_T} \qquad (3.4.1)$$

ecuación para el segmento YZ.
La operación en la región activa termina cuando v_O disminuye hasta aproximadamente 0,4 V, donde se activa la juntura colector-base y el transistor entra en la región de saturación. Esto se considera a partir del punto Z de la característica de transferencia. Ya entrado en saturación al aumentar v_{BE} ligeramente, queda $v_O = v_{CE} = V_{CEsat}$ del orden de 0,2 V (puede ser un poco menos o más dependiendo de los niveles de i_C). Luego la corriente de colector en saturación permanece casi constante en el valor,

$$I_{Csat} = \frac{V_{CC} - V_{CEsat}}{R_C}$$

3.4.1 Ganancia del amplificador

Para operar el BJT como amplificador lineal, si se observa la Fig. 3.4.1 b), este se debe polarizar en la región activa en un punto identificado por ***Q*** (**punto de reposo**) con las tensiones de continua V_{BE} y V_{CE} respectivas. A estas tensiones le corresponde la corriente de colector de continua I_C, es decir,

$$I_C = I_S e^{V_{BE}/V_T} \qquad (3.4.2)$$

y del circuito se puede escribir

$$V_{CE} = V_{CC} - R_C I_C$$

Si la señal por amplificar, v_i, se superpone a V_{BE} y se mantiene pequeña, el punto de operación instantáneo estará restringido a un segmento corto, casi lineal de la curva de transferencia. La pendiente en el punto Q es la ganancia de tensión del amplificador para pequeñas señales. La ganancia A_v de pequeña señal se obtiene de la ec. 3.4.1 haciendo,

$$A_v \equiv \left.\frac{dv_O}{dv_I}\right|_{v_I = v_{BE}}$$

Por lo tanto,

$$A_v = -\frac{1}{V_T} I_S e^{V_{BE}/V_T} R_C$$

Usando la ec. (3.4.2) se puede expresar A_v,

$$A_v = -\frac{I_C R_C}{V_T} = -\frac{V_{R_C}}{V_T}$$

Siendo la caída en R_C,

$$V_{R_C} = V_{CC} - V_{CE}$$

Podemos concluir observando las ecuaciones anteriores que el amplificador en emisor común lleva a cabo una inversión de la señal de salida, es decir está fuera de fase 180º con respecto a la entrada. Para aumentar la ganancia deberíamos aumentar la caída en R_C, pero esto hace que Q se acerque a la saturación con la posibilidad que los picos negativos de salida queden recortados. Para tener espacio suficiente para que la señal de salida oscile hace que el punto Q se ubique de la manera más efectiva en la región activa correspondiente al segmento YZ.

La máxima ganancia teórica se da cuando polarizamos en el borde de la saturación, que por supuesto no dejará lugar a los picos negativos de la señal,

$$A_{v\max} = -\frac{V_{CC} - V_{CEsat}}{V_T}$$

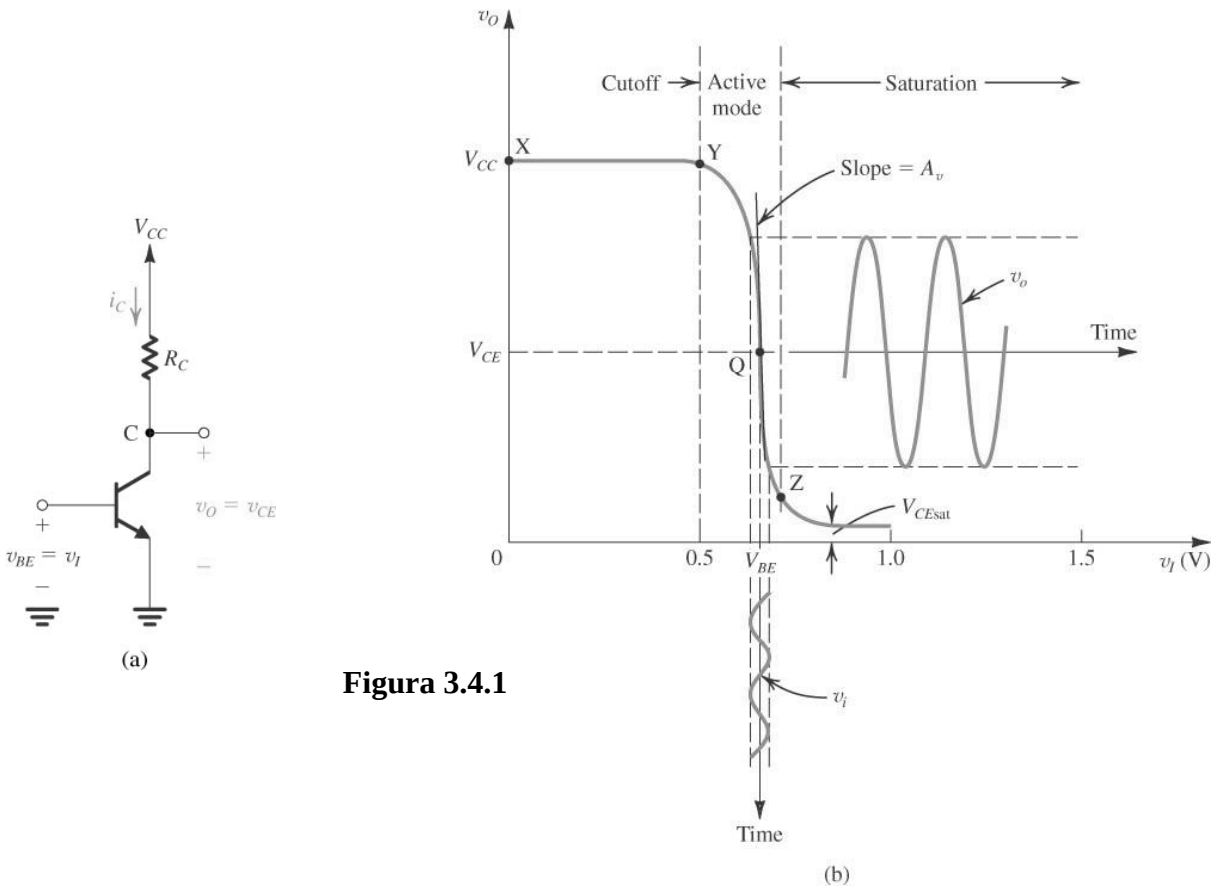
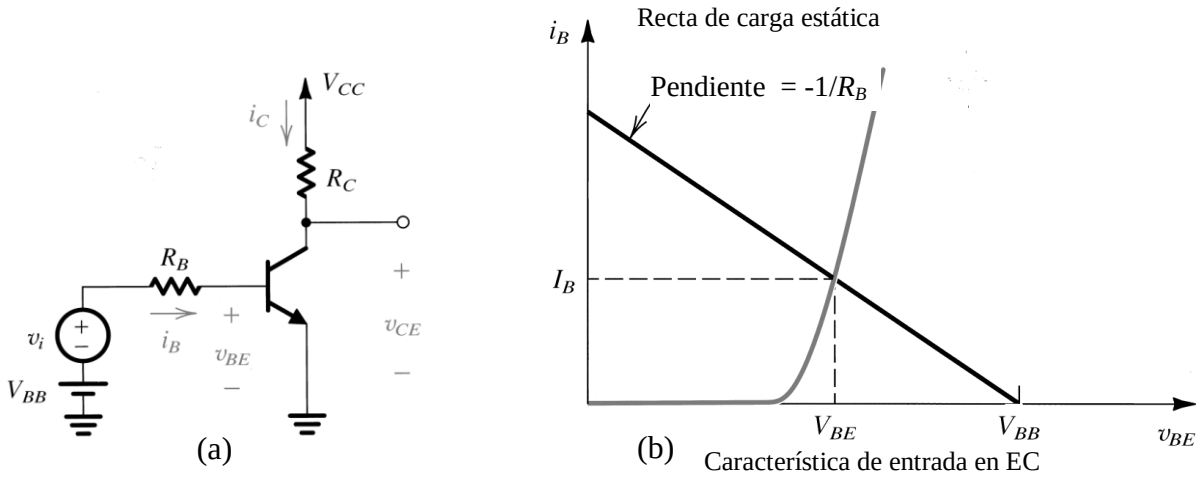
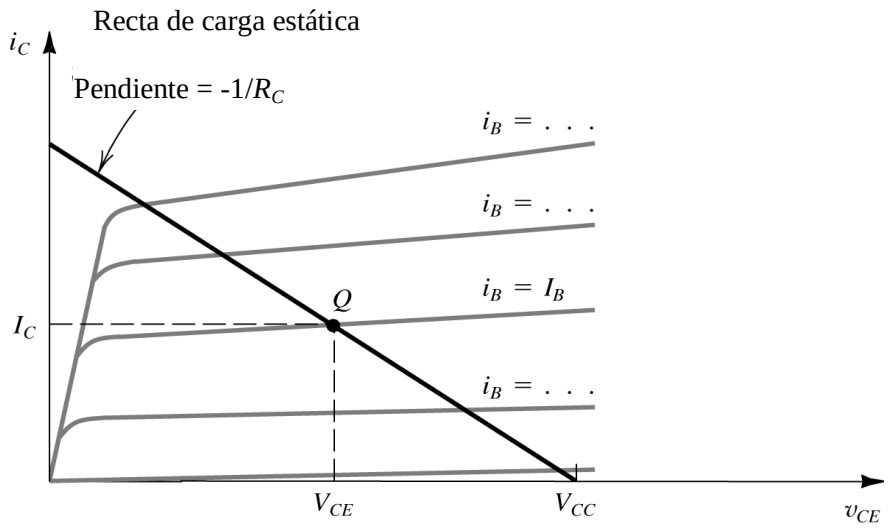


Figura 3.4.1

3.5 Determinación del punto de operación estático *Q*

Aún cuando los métodos gráficos formales son de poco valor práctico en el análisis y diseño de la mayor parte de circuitos transistorisados, es ilustrativo describir gráficamente la operación de un circuito amplificador sencillo a transistores. Primero analizaremos el problema de la polarización y luego agregaremos una fuente de señal.





Característica de salida en EC (c)

Figura 3.5.1

Si $\boldsymbol{v_i = 0}$, es decir analizando la polarización solamente (**dc**) de acuerdo a la Fig. 3.5.2, podemos hacer:

Circuito de salida en continua

$I_C R_C + V_{CE} - V_{CC} = 0 \quad \therefore \quad I_C = \dfrac{V_{CC} - V_{CE}}{R_C}$ Recta de carga estática de salida

$I_C = \beta I_B$, $\qquad \dfrac{dI_C}{dV_{CE}} = -\dfrac{1}{R_C}$ pendiente

Circuito de entrada en continua

$I_B R_B + V_{BE} - V_{BB} = 0 \quad \therefore \quad I_B = \dfrac{V_{BB} - V_{BE}}{R_B}$ Recta de carga estática de entrada

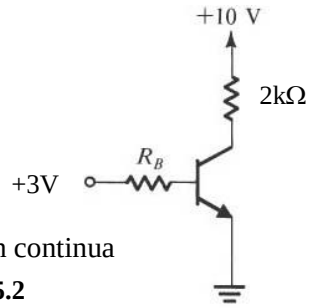
$\dfrac{dI_B}{dV_{BE}} = -\dfrac{1}{R_B}$ pendiente

En realidad R_B y V_{BB} son el circuito equivalente de polarización conectado a la base.

Se debería resolver

a) $I_B = \dfrac{I_S}{\beta}(e^{V_{BE}/V_T} - 1), \quad n = 1$

b) $I_B = \dfrac{V_{BB} - V_{BE}}{R_B}$



Circuito en continua

Figura 3.5.2

De b) si tomamos $V_{BE} \cong 0{,}7$ V encontramos I_B fácilmente, luego con la recta de carga de salida y $I_C = \beta I_B$ se calcula el punto Q.

Ejemplo: V_{CC} = 10 V V_{BB} = 3 V R_B = 100 kΩ R_C = 2 kΩ β = 100

Para **dc**,

$$I_B = \frac{3-0{,}7}{100\text{k}} = 0{,}023\text{mA} = 23\mu\text{A}$$ Fija, trae problemas con la variación de β

$I_C = \beta I_B$ = 100.0,023 mA = 2,3 mA

$V_{CE} = V_{CC} - I_C R_C$ = 10 – 2,3.2 = 5,4 V

Si agregamos una fuente de señal v_i, se tiene en la entrada en alterna (**ac**), reemplazando las fuentes de alimentación por cortocircuitos, el equivalente mostrado en la Fig. 3.5.3:

$$v_{BE} = V_{BE} + v_{be}$$

$$i_C = I_S e^{v_{BE}/V_T} = I_S e^{(V_{BE}+v_{be})/V_T}$$

$$i_C = I_S e^{V_{BE}/V_T} e^{v_{be}/V_T} = I_C e^{v_{be}/V_T}$$

Si $v_{be} << V_T \Rightarrow i_C \cong I_C\left(1 + v_{be}/V_T\right) = I_C + i_c$

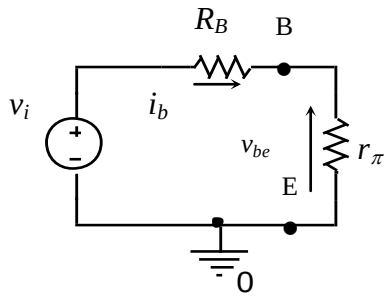


Figura 3.5.3

$$i_C = I_C + v_{be}\left(\frac{I_C}{V_T}\right)$$

$$i_B = \frac{i_C}{\beta} = \frac{I_C}{\beta} + v_{be}\left(\frac{I_C}{\beta V_T}\right) = I_B + i_b$$

$$r_\pi = \frac{v_{be}}{i_b} = \frac{\beta V_T}{I_C}$$ resistencia de entrada entre base y emisor (lineal alrededor de Q)

En el circuito de salida en **ac,** se tiene:

$$\hat{v}_i = 0{,}8\text{V}$$

$$v_{be} = \frac{v_i}{r_\pi + R_B} r_\pi$$; r_π = 25 mV/23μA = 1,087kΩ

$$\hat{v}_{be} = \frac{0{,}8}{1{,}087\text{k} + 100\text{k}} 1{,}087\text{k} = 8{,}5\text{mV} \Rightarrow$$

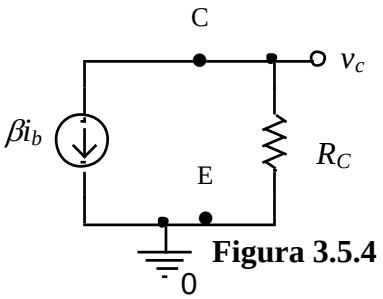


Figura 3.5.4

$$\hat{i}_b = \frac{v_{be}}{r_\pi} = \frac{8{,}5\text{mV}}{1{,}087\text{k}} \cong 8\mu\text{A} \; ; \; \hat{i}_c = \beta \hat{i}_b = 100.8\mu\text{A} = 0{,}8\text{mA}$$

$$\hat{v}_c = -i_c R_c = -0{,}8\text{mA}2\text{k} = -1{,}6\text{V}$$ invierte la fase.

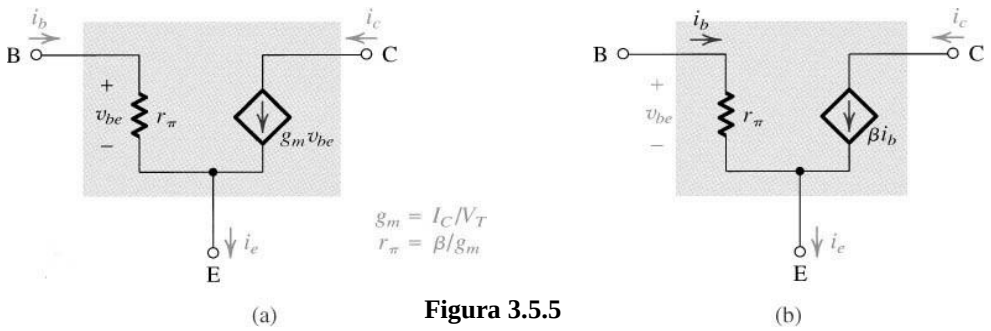


Figura 3.5.5

Modelos de señal del transistor: a) con fuente de corriente controlada por tensión, b) con fuente de corriente controlada por corriente.

La Fig. 3.5.6 muestra la característica de salida y las formas de onda de salida.

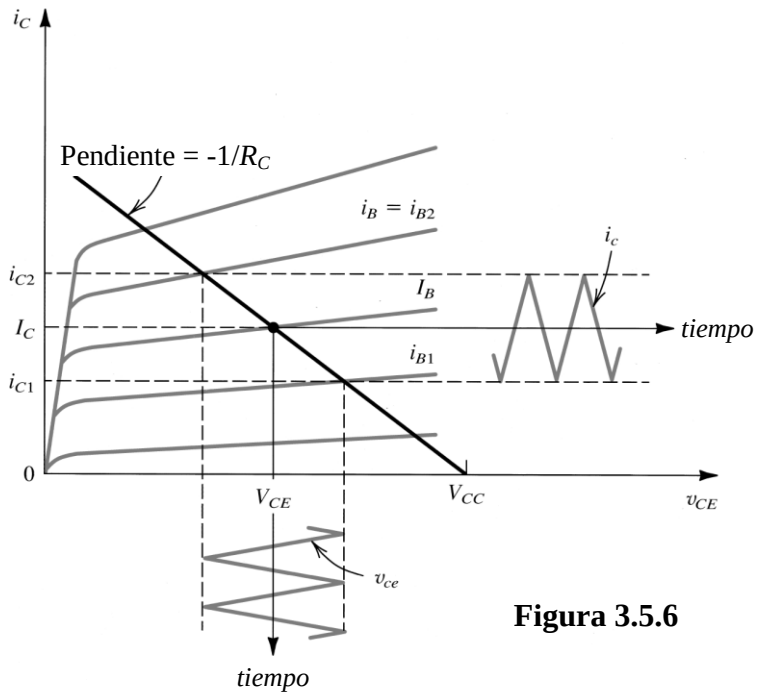


Figura 3.5.6

La Fig. 3.5.7 muestra la característica de entrada y las formas de onda de entrada.

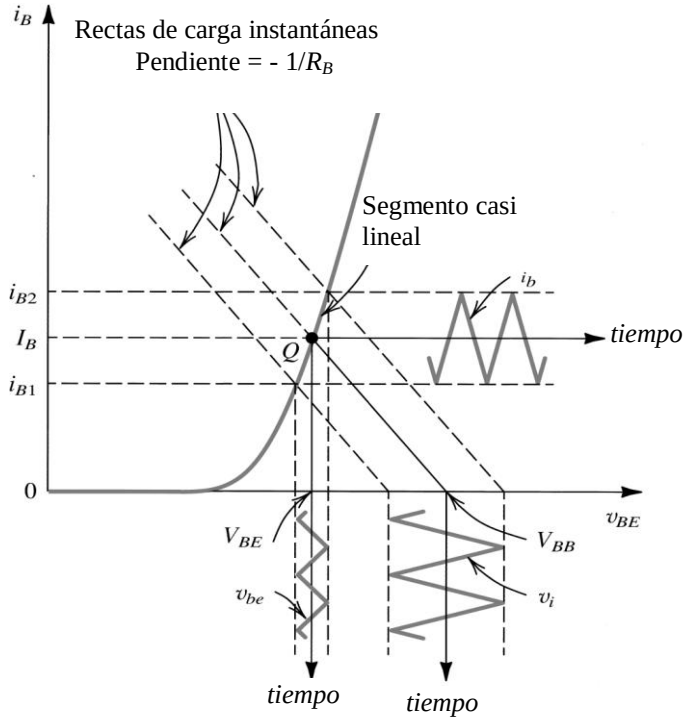


Figura 3.5.7

La Fig. 3.5.8 Muestra las formas de onda de entrada y salida con sus valores para el ejemplo anterior,

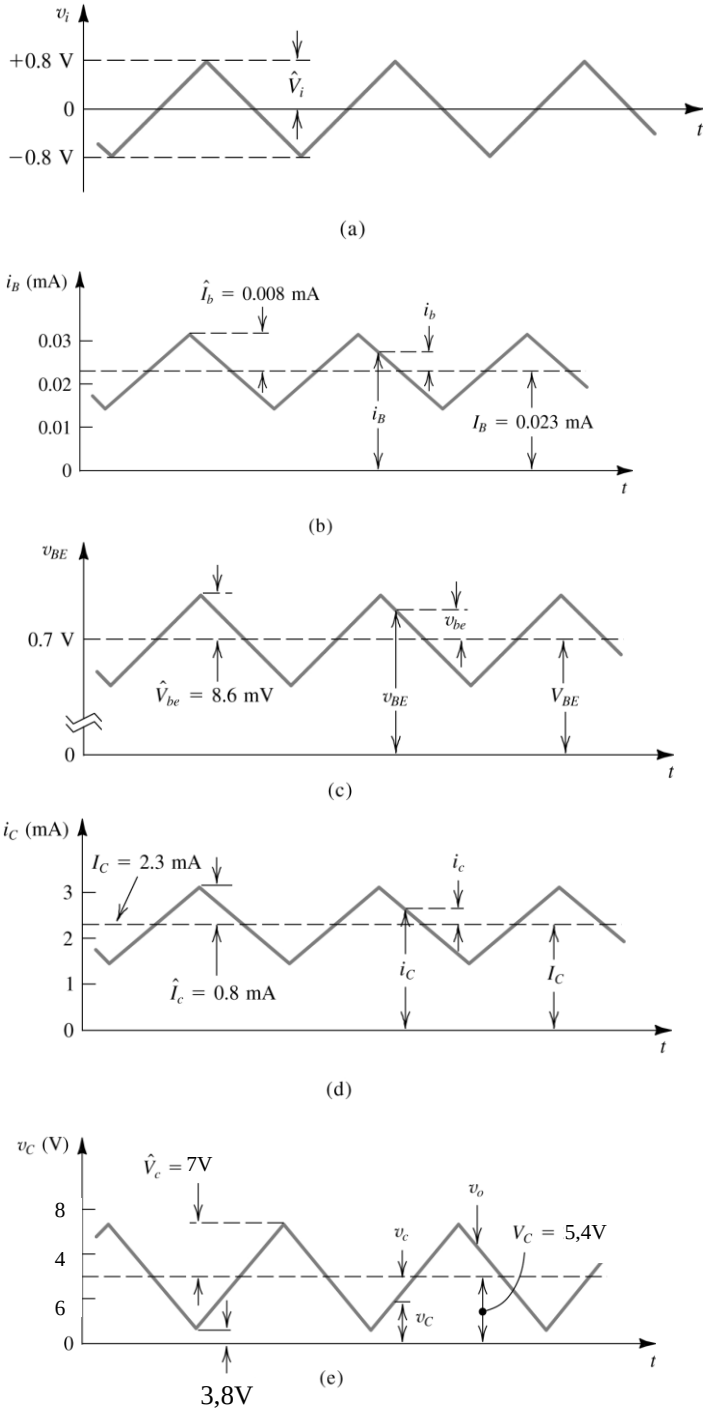


Figura 3.5.8

Señales para el circuito simple a transistor del ejemplo.

3.6 Desplazamiento del punto de operación *Q* por dispersión de β

En la Fig. 3.6.1 tenemos una estructura básica completa equivalente para analizar la polarización. Si I_B está fija al variar β se corre el punto Q y aparecen

recortes en v_{ce} ya sea en saturación o en corte, como se observa en la Fig. 36.2. Para evitarlo necesitamos hacer $I_C \cong$ constante.

Circuito de entrada

$V_{BB} = I_E R_E + I_B R_B + V_{BE}$ con $I_B = I_C/\beta$

$V_{BB} = (\beta+1) I_C R_E/\beta + (I_C/\beta) R_B + V_{BE}$ $\therefore$

$$I_C = \frac{V_{BB} - V_{BE}}{\frac{\beta+1}{\beta} R_E + \frac{R_B}{\beta}} \cong \frac{V_{BB} - V_{BE}}{R_E + \frac{R_B}{\beta}}$$

Si $R_E >> R_B/\beta \Rightarrow I_C \cong$ cte independiente de β.
Si tomamos $\beta_{mín}$ y consideramos como relación >> a ≥ 10 obtenemos:

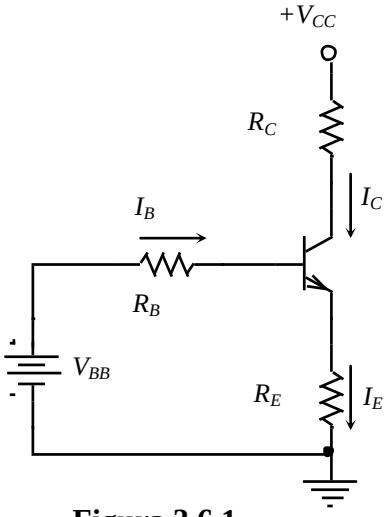


Figura 3.6.1

$$R_E \geq \frac{10 R_B}{\beta_{\min}}$$

Condición a cumplir para obtener una buena estabilidad de Q.

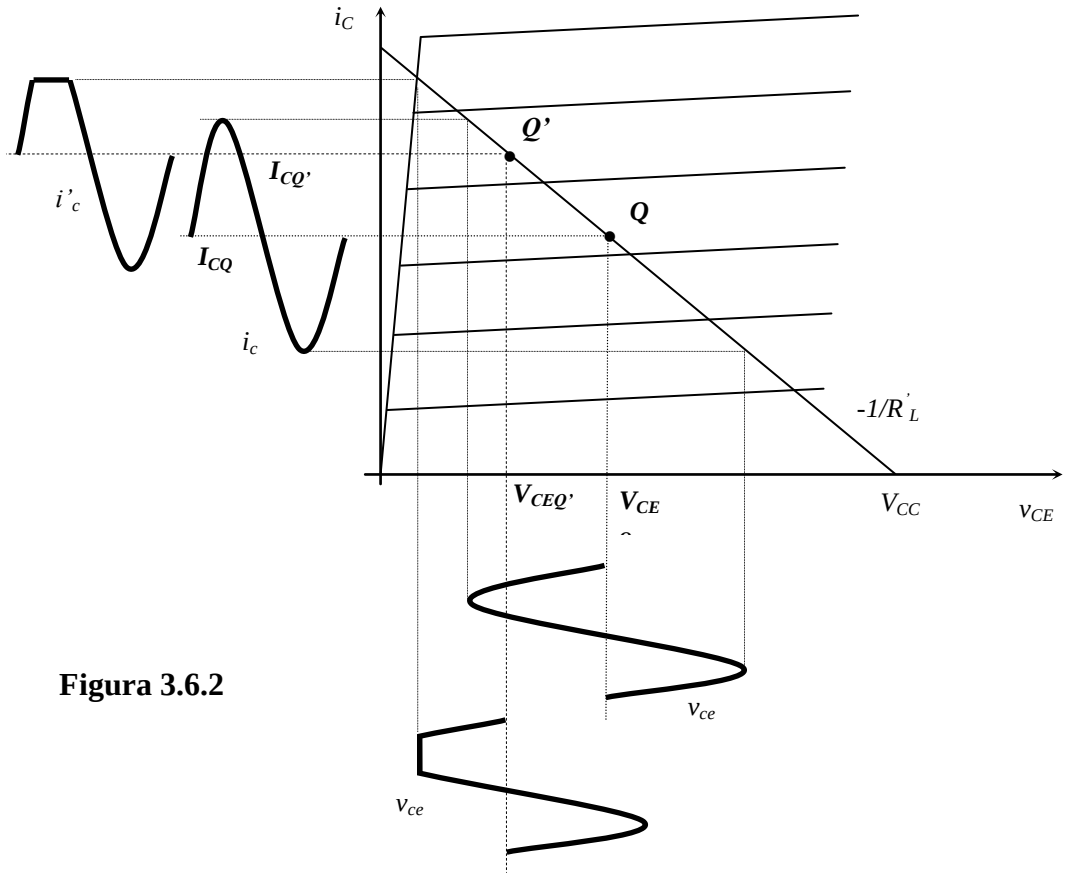


Figura 3.6.2

3.7 Circuitos para polarizar transistores con una sola fuente

El problema de la polarización consiste en establecer una corriente de continua constante en el emisor (o colector) del BJT. Esta corriente tiene que ser calculable, predecible e insensible a variaciones de temperatura y a las grandes variaciones del β en transistores del mismo tipo. La otra consideración importante es ubicar el punto Q en el plano i_C - v_{CE} para lograr la máxima excursión de señal posible.

3.7.1 Polarización fija

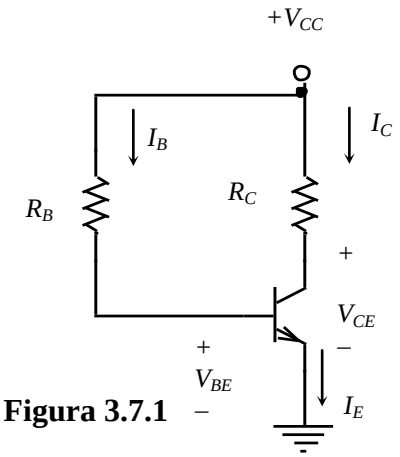


Figura 3.7.1

Supongamos el circuito de la Fig. 3.7.1 y como datos la tensión de alimentación V_{CC}; la ganancia de corriente del mismo, β; la tensión V_{BE} (caída de tensión en la juntura base-emisor cuando la misma está polarizada directamente -para todos los casos, y en el resto del curso, se adoptará V_{BE} = 0,7 V para todos los transistores de silicio y 0,2 V para los de germanio-) y el valor de las resistencias R_B y R_C. Así, la corriente de base I_B, se puede obtener:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B}$$

la corriente de colector será: $I_C = \beta I_B$

y la tensión colector-emisor: $V_{CC} = V_{CC} - I_C R_C$

$$V_{CE} = V_{CC} - I_C R_C$$

La corriente de base resulta fija, por lo que la corriente de colector resultará afectada por las variaciones de β.

3.7.2 Polarización colector base

En la polarización colector base, según la Fig. 3.7.2, la resistencia de base está tomada desde el colector a diferencia de la polarización fija, que se toma directamente desde V_{CC}. Este tipo de polarización es más estable, ya que si la corriente I_C tiende a aumentar por alguna causa (variación de la temperatura, dispersión de los componentes -se reemplaza el transistor por otro de β mayor-, etc.), la tensión V_{CE} disminuye; como R_B está tomada del colector, esto produce una disminución de la corriente de base, lo que resulta en una realimentación

negativa que se contrapone a la variación que dio origen al corrimiento. La polarización se calcula como sigue:

$$V_{CC} = (I_C + I_B)R_C + I_B R_B + V_{BE}$$

$$V_{CC} = [\beta I_B + I_B]R_C + I_B R_B + V_{BE}$$

$$V_{CC} = (\beta + 1)I_B R_C + I_B R_B + V_{BE}$$

$$I_B = \frac{V_{CC} - V_{BE}}{(\beta + 1)R_C + R_B}$$

$$I_C = \beta I_B = \frac{\beta}{\beta + 1}\frac{V_{CC} - V_{BE}}{R_C + \frac{R_B}{\beta + 1}}$$

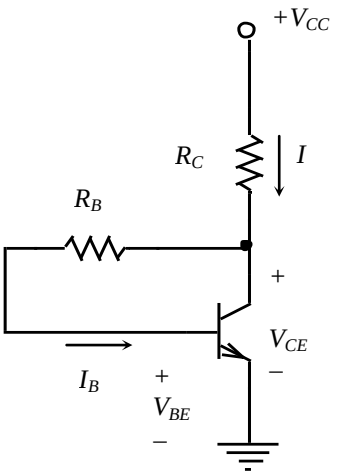


Figura 3.7.2

$$V_{CE} = V_{CC} - (I_C + I_B)R_C = V_{CC} - I_B(\beta + 1)R_C$$

Se desprende que R_B debe ser pequeña para que no haya una dependencia tan importante en I_C con β, sin embargo esto limita la excursión de señal por la caída $I_B R_B = V_{CB}$.

3.7.3 Autopolarización

En este caso, Fig. 3.7.3, para simplificar el cálculo de la polarización, podemos reemplazar el circuito de polarización de entrada por su equivalente de Thevenin entre la base y tierra. Así se tiene,

$$V_{BB} = V_{CC} R_2/(R_1 + R_2) \qquad (3.7.3.1)$$

$$R_B = R_1//R_2 \qquad (3.7.3.2)$$

El circuito equivalente resultante se observa en la Fig. 3.7.4 y 3.7.5.

Luego, la polarización será:

$$V_{BB} = I_B R_{BB} + V_{BE} + (I_C + I_B)R_E \qquad (3.7.3.3)$$

$$V_{BB} = I_B R_{BB} + V_{BE} + [\beta I_B + I_B]R_E$$

$$V_{BB} = I_B[R_{BB} + (\beta + 1)R_E] + V_{BE}$$

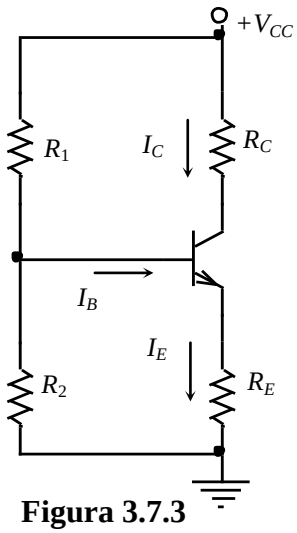


Figura 3.7.3

$$I_B = \frac{V_{BB} - V_{BE}}{R_{BB} + (\beta + 1)R_E} \qquad (3.7.3.4)$$

$$I_C = \beta I_B \qquad (3.7.3.5)$$

$$V_{CE} = V_{CC} - I_C R_C - (I_C + I_B)R_E \qquad (3.7.3.6)$$

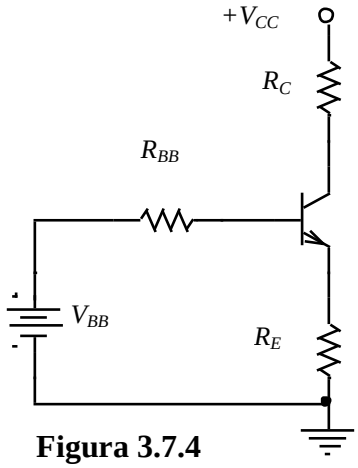


Figura 3.7.4

Observando la ecuación (3.6.3.3), podemos escribirla de la siguiente manera:

$$V_{BB} = I_B R_{BB} + V_{BE} + (\beta + 1)I_B R_E$$

$$V_{BB} = V_{BE} + I_B [R_{BB} + (\beta + 1)R_E]$$

Esto es, lo que ve la fuente V_{BB} es una caída V_{BE} en la juntura base-emisor; más otras dos caídas, una en la resistencia R_{BB} (producida por la corriente I_B), y otra en la resistencia R_E (producida por una corriente $I_E = (\beta + 1)I_B$. Para simplificar los cálculos se podría suponer que por toda la malla circula la corriente I_B, y reemplazar la resistencia R_E por otra de valor $(\beta + 1)R_E$, con lo que el circuito de la malla de entrada queda:

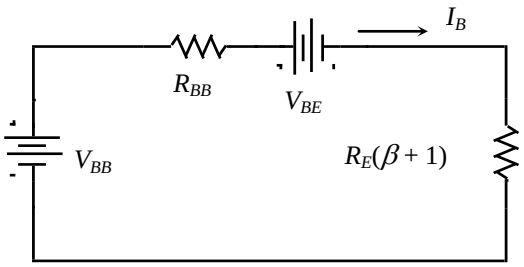


Figura 3.7.5

Lo que hemos hecho es referir la resistencia de emisor a la base, y el factor por el que hay que multiplicarla es $(\beta+1)$, ya que por el emisor circula $(\beta+1)$ veces la corriente de base. Los resultados serán los mismos, ya que la caída que produce una corriente de emisor I_E en R_E será la misma que produce la corriente de base correspondiente I_B en una resistencia $(\beta + 1)R_E$.

Luego, la corriente de base se calcula:

$$I_B = (V_{BB} - V_{BE})/[R_{BB} + (\beta + 1)R_E] \qquad (3.7.3.7)$$

De manera similar, cuando se desee referir una resistencia de base al emisor, se deberá dividir la misma por el facto $(\beta + 1)$.

3.7.4 Otros esquemas de polarización

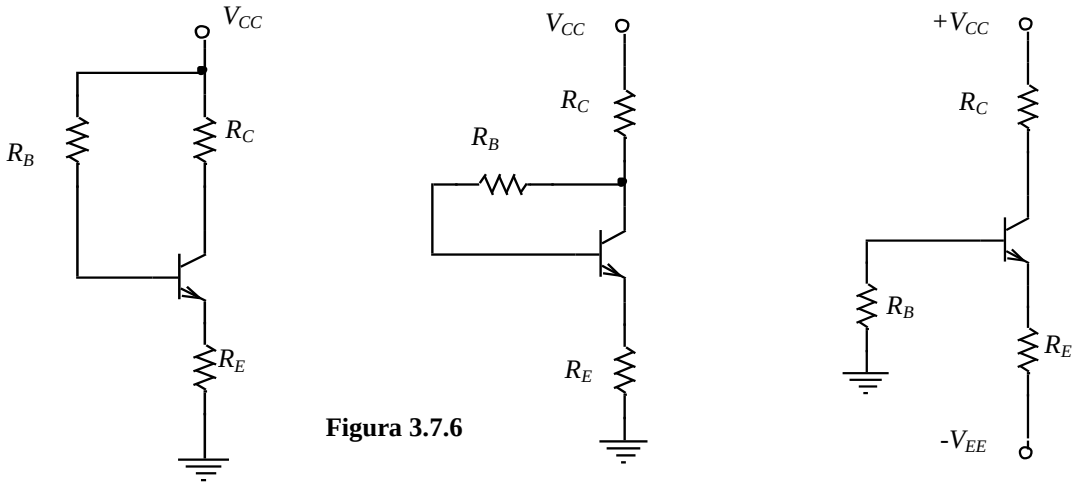


Figura 3.7.6

Encontrar las expresiones de I_C y V_{CE} de la Fig. 3.76. Determine la condición para mantener I_C aproximadamente constante.

3.8 Polarización para máxima excursión de señal simétrica

La amplificación puede estar restringida por la amplitud y posición de la excursión de salida sin distorsión. Los amplificadores que consisten estrictamente de transistores y resistores, pueden polarizarse de modo que el punto de reposo esté en la zona media del rango de tensión de salida lineal dado por la fuente de alimentación. Esta ubicación del punto *Q* permite excursiones simétricas de la tensión de señal alrededor de un punto central: la distorsión ocurrirá para excursiones de igual magnitud en la dirección positiva y negativa.
Los amplificadores que tienen cargas acopladas capacitivamente o resistencias puenteadas con capacitores, en la relación *i-v* de salida, no tienen el rango completo de la fuente de alimentación para la excursión del voltaje de salida. Ubicando el punto *Q* en el medio o centro de la fuente de alimentación no dará iguales excursiones de voltaje de salida lo cual limitará la utilidad del amplificador. Por lo tanto es importante ser capaz de elegir fácilmente el punto *Q* que dará la máxima excursión simétrica para el amplificador dadas las restricciones de diseño.

Una técnica que determina analíticamente el punto *Q* para máxima excursión simétrica se basa en el trazado de las rectas de carga de salida del transistor. La curva de salida de un transistor (BJT o FET) viene dada normalmente como una curva *i-v*. Sobre esta curva se trazan las rectas de carga de DC (estática) y AC (dinámica) como se observa en la Figura 3.8.1.

Las dos líneas de carga se deben interceptar siempre en el punto de reposo: si hay cero AC, la salida debe estar en el punto *Q* de la línea de carga estática. También se cumple que la magnitud, a frecuencias medias de la banda, de la pendiente de la recta de carga dinámica es siempre mayor que la estática. El aumento en la magnitud de la pendiente de la recta de AC disminuye la excursión disponible a lo largo de la abscisa a un valor que es a menudo significativamente menor que los límites de la fuente de alimentación. El límite máximo de alimentación (*S*) es normalmente igual a los límites que dan las fuentes de alimentación. El límite mínimo de alimentación (*C*) está determinado por el borde de la región lineal del transistor (para un BJT es la saturación, V_{CEsat}; para un FET es la parábola de contracción).

Para máxima excursión simétrica es necesario elegir el punto *Q* que permita iguales espacios de oscilación en las direcciones positiva y negativa. Una elección tanto a la derecha como a la izquierda, de este valor óptimo, disminuirá la capacidad del amplificador para una excursión de tensión simétrica. En la Figura 3.8.1 el punto *Q* se elige de modo que

$$x = y$$

Con los triángulos $Q\overset{\Delta}{Q'}P$ $Q\overset{\Delta}{Q'}S$ de la Figura 3.8.1, $\frac{I_{CQ}}{y} = m_{ac}$ y $\frac{I_{CQ}}{S - Q'} = m_{dc}$, igualando para I_{CQ} queda,

$$y = \frac{m_{dc}}{m_{ac}}[S - Q'], \qquad x = Q' - C$$

Igualando y resolviendo para el punto *Q´* donde *x = y*,

$$\frac{m_{dc}}{m_{ac}}[S - Q'] = Q' - C \quad \text{o} \quad \frac{m_{dc}}{m_{ac}}[V_{CC} - V_{CEQ}] = V_{CEQ} - V_{CEsat}$$

$$Q'\left(1 + \frac{m_{dc}}{m_{ac}}\right) = \frac{m_{dc}}{m_{ac}}S + C$$

El punto de reposo para *máxima excursión simétrica* queda determinado finalmente por:

$$Q' = \frac{(m_{dc}/m_{ac})S + C}{1 + m_{dc}/m_{ac}} \quad \text{o} \quad V_{CEQ} = \frac{(m_{dc}/m_{ac})V_{CC} + V_{CEsat}}{1 + m_{dc}/m_{ac}} \text{ para un BJT}$$

El punto *Q* óptimo puede determinarse fácilmente de la relación de pendientes de las líneas de carga estática y dinámica y los límites de la tensión de salida (fuente de alimentación y tensión mínima en el borde de la región lineal del transistor).

La Figura 3.8.1 muestra para un transistor BJT el análisis anterior, pero es válida en general para otros dispositivos, solo se deberá reemplazar por las variables adecuadas a cada caso. Para un BJT se tiene V_{CEQ} dados en general V_{CC}, R_C, R_L, R_E deducible con la red de polarización de base.

m_{dc} y m_{ac} dependerán del circuito particular que se considere.

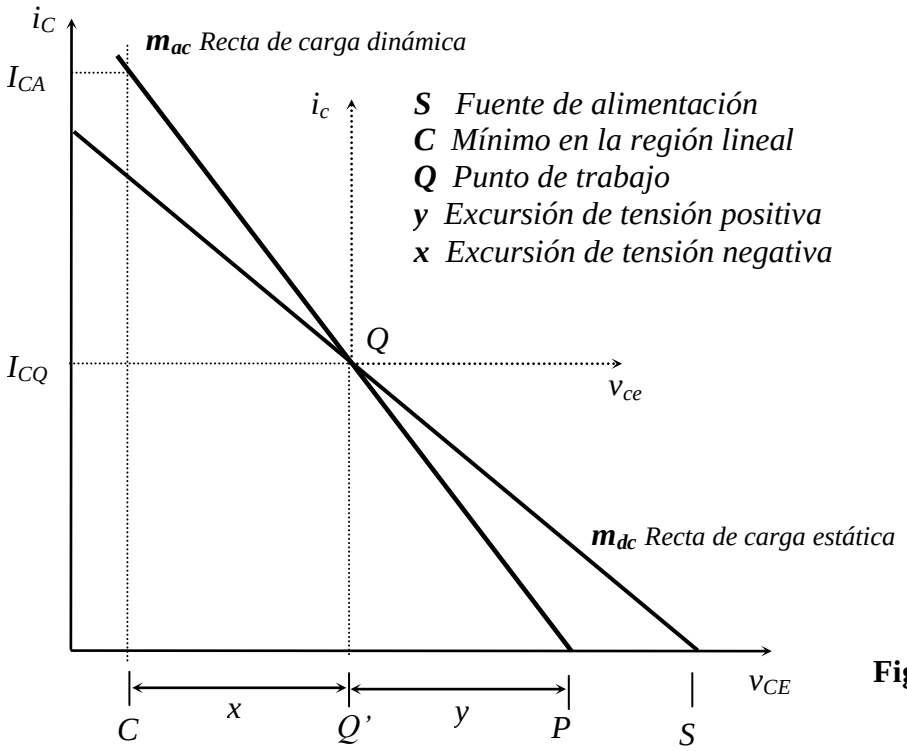


Figura 3.8.1

Otra manera para el BJT, a partir de I_{CQ}:

En continua se tiene en el circuito de salida del transistor autopolarizado: $I_{CQ} = (V_{CC} - V_{CEQ})m_{dc}$ **(a)**, que es la recta de carga estática, cuya pendiente *negativa* de valor absoluto es $m_{dc} = \frac{1}{R_C + R_E}$ o $\frac{1}{R_C}$ según el circuito particular*. En el circuito de base $I_{BQ} = \frac{V_{BB} - V_{BE}}{R_B + R_E(1+\beta)}, I_{CQ} = \beta I_{BQ}$. Para alterna o señal se tiene: $i_c = -v_{ce} m_{ac}$, siendo $m_{ac} = \frac{1}{R'_L + R_E}$ o $\frac{1}{R'_L}$ según el circuito particular*. La recta de carga dinámica tendrá una pendiente *negativa* de valor absoluto m_{ac}. $R'_L = R_L // R_C$ según el circuito particular.*

**** Prestar atención al circuito***

Si queremos máxima excursión simétrica, conocido I_{CQ}, de la gráfica hacemos $I_{CA} = 2I_{CQ} = I_{CQ} + (V_{CEQ} - V_{CEsat})m_{ac} \therefore I_{CQ} = (V_{CEQ} - V_{CEsat})m_{ac}$ **(b)**. Esta última es la ecuación de la recta que pasa por V_{CEsat} y V_{CEQ} y con pendiente m_{ac}.

$$QI_{CQ}\overset{\Delta}{I}_{CA} : I_{CA} - I_{CQ} = I_{CQ} \therefore \frac{I_{CQ}}{V_{CE} - V_{CEsat}} = m_{ac}$$

De **(a)** y **(b)**, despejando en cada una V_{CEQ} e igualando se tiene:

$$\frac{I_{CQ}}{m_{ac}} + V_{CEsat} = V_{CC} - \frac{I_{CQ}}{m_{dc}} \Rightarrow I_{CQ} = \frac{S - C}{\frac{1}{m_{ac}} + \frac{1}{m_{dc}}}$$

Por último, $$V_{CEQ} = V_{CC} - \frac{I_{CQ}}{m_{dc}}$$

Dados V_{CC}, R_C, R_L y R_E para el autopolarizado, en general, podemos hallar el punto de reposo para máxima excursión simétrica a partir de I_{CQ}; o, suponiendo conocido de antemano I_{CQ} pues se tiene la red de polarización $R_1|R_2$, y R_E se puede hallar R_C y V_{CEQ} que serían desconocidos.

Para un BJT: en el proceso de diseño normalmente se partirá conociendo las tensiones de fuentes de alimentación así como la resistencia de carga R_L, y la R_C (de acuerdo generalmente a la ganancia necesaria) restando conocer los valores de R_E y los resistores de polarización. La R_E se puede considerar de bajo valor y poca influencia para los cálculos preliminares empleando alguna técnica como se verá en el siguiente ejemplo.

Ejemplo 3.8.1: Para el siguiente circuito: a) Halle el punto de reposo para máxima excursión simétrica. b) Halle la red de polarización de entrada R_1 y R_2. c) Grafique sobre la característica de salida las rectas de carga estática y dinámica y el valor de pico de la señal de salida.

$\beta = 150$, $S = V_{CC} = 15$ V, $C = 0{,}2$ V $= V_{CEsat}$,

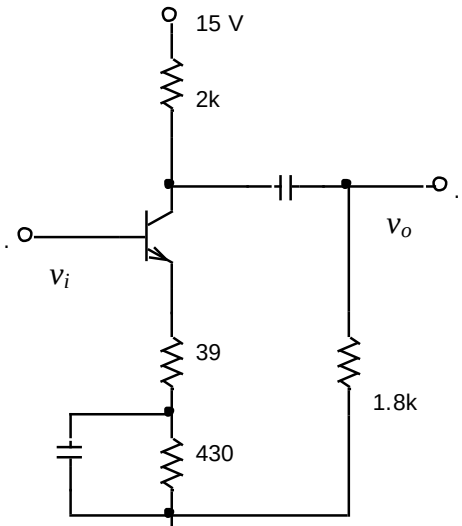


Figura 3.8.2 a)

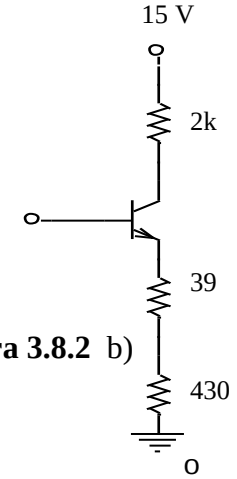


Figura 3.8.2 b)

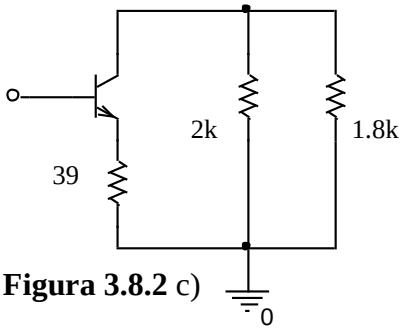


Figura 3.8.2 c)

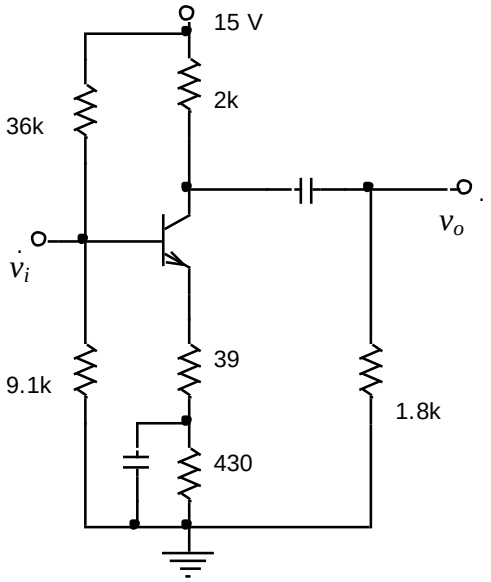


Figura 3.8.2 d)

Reemplace el transistor por su modelo de señal de Giacoletto simplificado y halle la ganancia de tensión v_o/v_i.

3.9 Potencia

La potencia de continua entregada por la fuente se disipa en las resistencias del circuito y en el dispositivo activo. A su vez, la energía de continua es modificada por el elemento activo con la misma rapidez que impone la excitación o entrada. Es por ello que resulta obtener una potencia de salida amplificada. Interesa calcular el rendimiento de la conversión de la potencia de continua entregada por las fuentes de alimentación a la potencia de señal en corriente alterna entregada a la salida por el dispositivo activo. En la Figura 3.8.1 se observa una etapa simple en configuración emisor común.

En general, la potencia media desarrollada o entregada por un elemento cualquiera es

$$P = \frac{1}{T}\int_0^T v(t)i(t)dt$$

$$P = \frac{1}{2\pi}\int_0^{2\pi} v(t)i(t)d\omega t$$

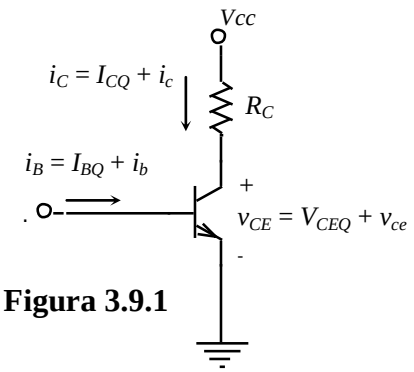


Figura 3.9.1

siendo i y v totales, y si hacemos en general $i_c = I_{cm}\text{sen}\omega t$ y $v_{ce} = V_{cem}\text{sen}\omega t$ con $\omega = 2\pi/T$ y $\omega T = \alpha$, para los cálculos.

3.9.1 Potencia entregada por la fuente

$$P_S = P_T + P_{Rpol}$$

$$= \frac{1}{2\pi}\int_0^{2\pi} V_{CC}\left(I_{CQ} + i_c(t)\right)d\omega t + I_{BQ}^2 R_1 + \frac{V_{CC}^{\ 2}}{R_1 + R_2}$$

$$= V_{CC}I_{CQ} + I_{BQ}^2 R_1 + \frac{V_{CC}^{\ 2}}{R_1 + R_2}$$

Se podría obviar la potencia en la red de polarización si es pequeña, por lo tanto $P_S \cong V_{CC}I_{CQ}$

3.9.2 Potencia en la resistencia de carga

$$P_{R_C} = \frac{1}{2\pi}\int_0^{2\pi} R_C i_C^2 d\omega t = \frac{1}{2\pi}\int_0^{2\pi} R_C (I_{CQ} + i_c)^2 d\omega t$$

$$= \frac{1}{2\pi}\int_0^{2\pi} R_C (I_{CQ}^2 + 2I_{CQ}i_c + i_c^2)d\omega t$$

$$= \frac{1}{2\pi}\int_0^{2\pi} R_C [I_{CQ}^2 + 2I_{CQ}I_{cm}\,\text{sen}\,\omega t + I_{cm}^2(\text{sen}\,\omega t)^2]d\omega t$$

$$= \frac{1}{2\pi}\left(R_C I_{CQ}^2 2\pi + 0 + 2\pi R_C I_{cm}^2 \frac{1}{2}\right)$$

$$P_{R_C} = R_C I_{CQ}^2 + (R_C I_{cm}^2 / 2)$$

3.9.3 Potencia en el transistor

$$P_T = \frac{1}{2\pi}\int_0^{2\pi} v_{CE}(t) i_C(t) d\omega t$$

$$= \frac{1}{2\pi}\int_0^{2\pi} (V_{CC} - i_C R_C) i_C d\omega t = \frac{1}{2\pi}\int_0^{2\pi} (V_{CC} i_C - i_C{}^2 R_C) d\omega t$$

$$= \frac{1}{2\pi}\int_0^{2\pi} \left(V_{CC} I_{CQ} + V_{CC} i_c - R_C [i_c + I_{CQ}]^2\right) d\omega t$$

$$= V_{CC} I_{CQ} + 0 - \frac{1}{2} R_C I_{cm}^2 - I_{CQ}^2 R_C$$

Pero se tiene que $P_T = P_S - P_{Rc}$ que si se desprecia la polarización queda,

$$P_T \cong V_{CC} I_{CQ} - R_C I^2{}_{CQ} - ½ R_C I^2{}_{cm}$$

$$P_T \cong I_{CQ}(V_{CC} - R_C I_{CQ}) - ½ R_C I^2{}_{cm} = V_{CEQ}\, I_{CQ} - ½ R_C I^2{}_{cm}$$

"La disipación en el transistor es máxima cuando no hay señal"
Esta última se utiliza para determinar el régimen de disipación del transistor y para el cálculo del disipador.

3.9.4 Rendimiento

$$\eta = \frac{P_O(ac)}{P_S(dc)}$$

$$\eta = \frac{1/2 R_C I_{cm}^2}{V_{CC} I_{CQ}}$$

Para máxima excursión de señal ($R'_L = R_C // R_L \cong R_C$ y $V_{CEQ} \cong V_{CC}/2$) se tiene

$\boldsymbol{I_{CQ} = V_{CC}/2R_C}$ **y** $\boldsymbol{I_{cm} = I_{CQ}}$

$$\eta = \frac{\frac{1}{2} R_C \left(\frac{V_{CC}}{2R_C}\right)^2}{V_{CC}\left(\frac{V_{CC}}{2R_C}\right)} = \frac{1}{4}$$

Que es el rendimiento ***teórico máximo.***

3.10 Carga acoplada a transformador

Se utilizará para el análisis el circuito de la Fig. 3.10.1 a) con:

$$R_B = R_1 \,//\, R_2$$

$$V_{BB} = \frac{V_{CC} R_2}{R_1 + R_2}$$

R_b resistencia primaria en el trafo
R_d resistencia dinámica en el primario del trafo

V_{CC} = 42V, R_B = 510//27 = 25,6Ω, V_{BB} = 2,11V
R_E = 12Ω, I_{CQ} = 115 mA,
BD137, T_A = 25 a 65 °C, β = 95 a 135,
R_b = 8 Ω, R_L = 8 Ω
R'_L = 288Ω, Resistencia de carga dinámica referida al primario
$N_1 = 6N_2$

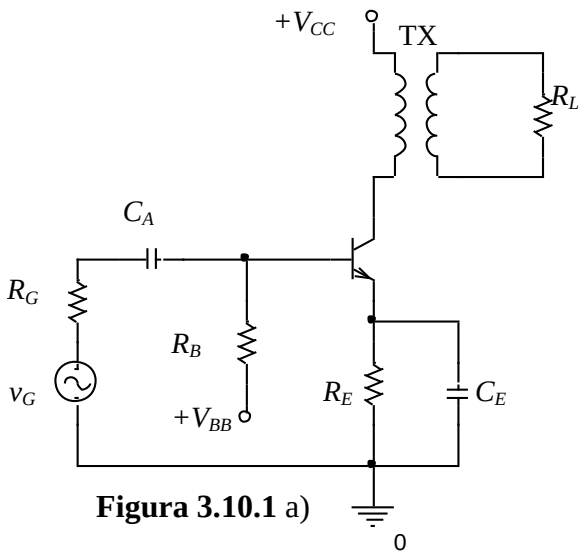


Figura 3.10.1 a)

El ***circuito para dc*** se observa en la Fig. 3.10.1 b), y las ecuaciones para la polarización son:

$$I_{BQ} = \frac{V_{BB} - V_{BE}}{R_B + (\beta + 1) R_E}$$

$$I_{CQ} = \beta \, I_{BQ}$$

$$V_{CEQ} = V_{CC} - I_{CQ}(R_E + R_b) \cong \frac{V_{CC}}{2}$$

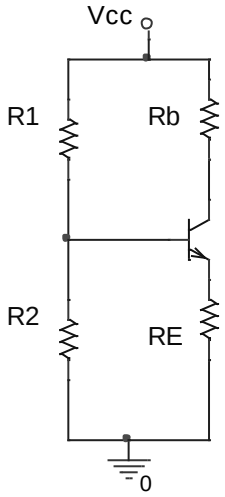


Figura 3.10.1 b)

R_b es muy pequeña y R_E puede no estar, aunque limita la corriente en el circuito y sirve para calcular los factores de estabilidad.

La recta de **carga estática** es (-1/(R_b + R_E)), es casi vertical por las pequeñas resistencias involucradas. En la Fig. 3.10.2 se grafican las distintas rectas de carga

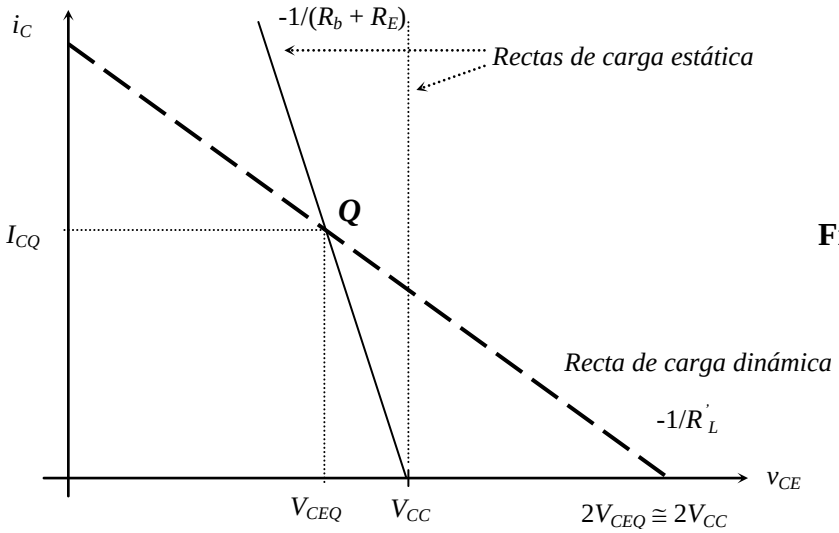


Figura 3.10.2

Como $\boldsymbol{V_{CEQ} > V_{CC}/2}$ ($V_{CEQ} \cong V_{CC}$) puede ocurrir **corrida térmica**, se debe verificar entonces la condición necesaria vista para que no ocurra el escape térmico ($\partial P_D/\partial T_j < 1/\theta$).
Para el circuito de señal se tiene:

$$v_{ce} = -\, i_c R'_L$$

Los circuitos equivalentes para ***análisis de alterna*** se observan en la Fig. 3.10.3

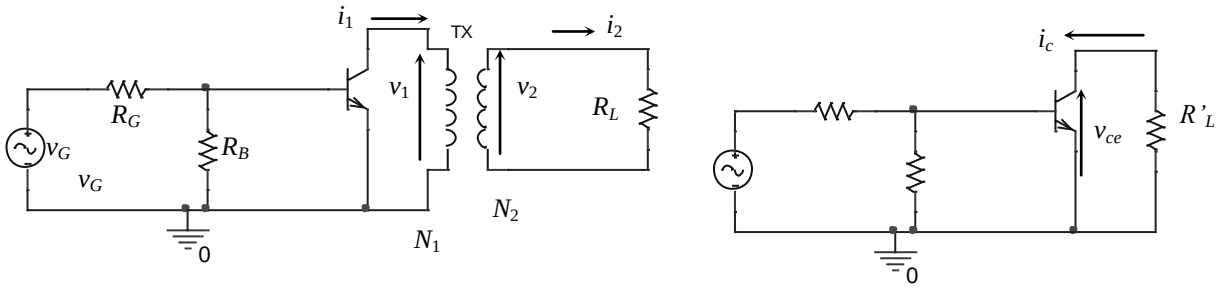


Figura 3.10.3

En el trafo se tiene:

$$\frac{v_2}{v_1} = \frac{N_2}{N_1}$$

$$P_1 = P_2 \Rightarrow v_2.i_2 = v_1.i_1 \Rightarrow i_2 = \frac{v_1}{v_2} i_1 = \frac{N_1}{N_2} i_1$$

$$R_L = \frac{v_2}{i_2} = \frac{v_1 \dfrac{N_2}{N_1}}{i_1 \dfrac{N_1}{N_2}} = \frac{v_1}{i_1}\left(\frac{N_2}{N_1}\right)^2 = R'_L\left(\frac{N_2}{N_1}\right)^2$$

$$R'_L = R_L\left(\frac{N_1}{N_2}\right)^2 \qquad \text{con } N_1 > N_2$$

Donde R'_L es la resistencia de carga reflejada en el primario del transformador de acoplamiento, que permite trazar la **recta de carga dinámica** (despreciamos la resistencia dinámica propia del primario). Si $N_1 > N_2$ el transformador es reductor y $R'_L > R_L$.

Análisis de las potencias involucradas: si se tiene en cuenta el gráfico siguiente para el caso de máxima excursión de señal (y además R_b y $R_E \cong 0$) para la potencia entregada por la fuente y la potencia de señal en la carga:

$$P_{Fuente} = \frac{1}{2\pi}\int_0^{2\pi} v_{CC}.i_{CC}d\omega t = \frac{1}{2\pi}\int_0^{2\pi} V_{CC}.[I_{CQ} + I_{Cm}sen\omega t]d\omega t = V_{CC}.I_{CQ}$$

$$P_{R_L} = P_{R'_L} = V_{rms}I_{rms} = \frac{V_{CC}}{\sqrt{2}}\frac{I_{CQ}}{\sqrt{2}} = \frac{V_{CC}.I_{CQ}}{2}$$

$$P_{R_L} = \frac{V_{CC}^{\ 2}}{2}\frac{1}{R'_L} = \frac{I_{CQ}^{\ 2}}{2}R'_L$$

$$\eta = \frac{V_{CC}.I_{CQ}/2}{V_{CC}.I_{CQ}} = \frac{1}{2}$$

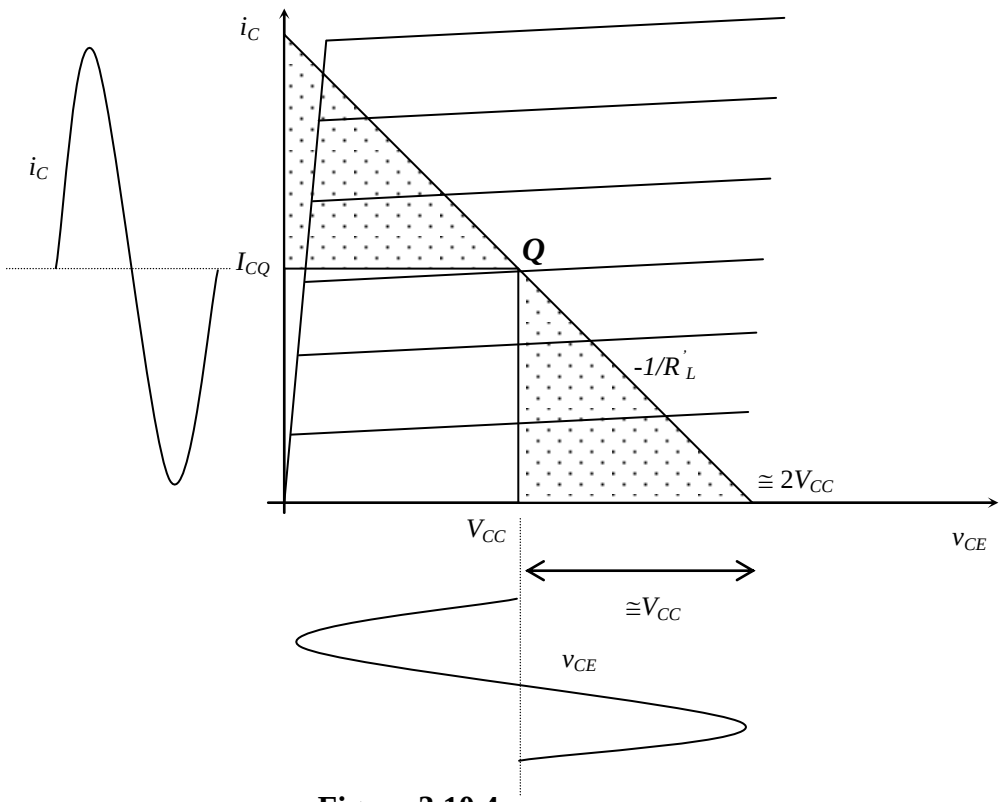


Figura 3.10.4

3.11 Estabilidad Térmica

3.11.1 Escape térmico

La potencia media máxima $P_{D(máx)}$ que un transistor puede disipar, depende de su construcción, variando desde algunos cientos miliwatts a unos 200 watts. Esta potencia máxima está limitada por la temperatura que puede soportar la unión colector base. Esta temperatura oscila entre 150ºC y 225ºC para los transistores de silicio; y 60ºC a 100ºC, para los de germanio. La temperatura de la unión puede elevarse porque la temperatura ambiente aumenta o por autocalentamiento. La disipación de potencia máxima, al igual que los parámetros del transistor, habitualmente se especifica para una temperatura ambiente (o de la cápsula del transistor) de 25ºC. El autocalentamiento se produce debido a que la potencia disipada en la unión de colector provoca un aumento en la temperatura de la unión, lo que a su vez produce un aumento en la corriente de colector; si este aumento de corriente se traduce en un aumento en la disipación de potencia, el ciclo vuelve a tener lugar. A este fenómeno se lo denomina ***escape térmico***, y el mismo, de continuar, puede llegar a destruir al transistor.

3.11.2 Resistencia térmica

Experimentalmente, se ha establecido que el aumento de temperatura en estado estacionario en la unión de colector es proporcional a la potencia disipada en la unión, es decir:

$$\Delta T = T_j - T_a = \theta P_C \qquad (3.11.1)$$

Donde T_j y T_a son, respectivamente, la temperatura de la unión y la del ambiente, en grados centígrados, y P_D es la potencia en watt disipada en la unión de colector. La constante de proporcionalidad $\boldsymbol{\theta}$ se denomina ***resistencia térmica***, con unidades °C/W. Su valor depende del tamaño del transistor, de la convección o radiación de calor al ambiente, de la utilización de refrigeración y del contacto térmico del dispositivo con el chasis o con un disipador. Los valores típicos oscilan entre unos 0,2 ºC/W para los transistores de potencia con un buen disipador, y unos 1000 ºC/W para transistores de pequeña potencia al aire libre.

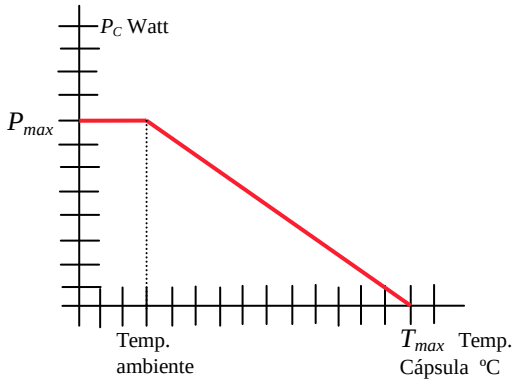


Figura 3.11.1

La potencia máxima permitida P_C para un buen funcionamiento se especifica a 25ºC (tanto para la cápsula como el ambiente, según los casos). Para temperaturas ambientes superiores a este valor, la P_C debe disminuir, y a la temperatura máxima a la que puede trabajar el transistor, P_C se reduce a cero. Si bien la potencia máxima P_C se especifica para 25ºC, ésta será la máxima que podrá disipar el transistor, aún a temperaturas de cápsula

inferiores a 25ºC. En la figura se representa una curva típica de potencia máxima en función de la temperatura.

3.11.3 Punto de polarización

Cuando antes se habló de escape térmico, se dijo que el mismo se producía porque al aumentar la temperatura de la unión, debido a la disipación de potencia, ésta producía un aumento en la corriente de colector. Si este aumento de corriente, a su vez produce un aumento en la potencia disipada, este aumento elevará aún más la temperatura, con lo que se vuelve a cumplir el ciclo. Si observamos la característica de salida del transistor con las

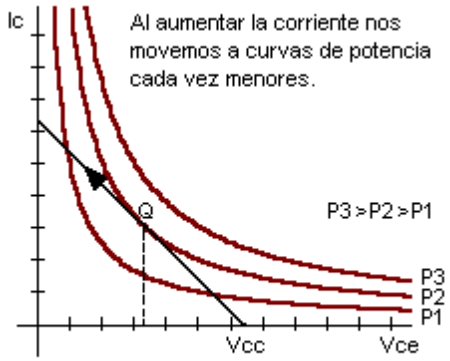


Figura 3.11.2

curvas de potencia constante incluidas en ella, podemos ver claramente que si el punto de polarización se sitúa por debajo del nivel $V_{CC}/2$, un aumento de temperatura se traduce en una disminución en la potencia disipada en el transistor. Es decir, si las condiciones son tales que nos permiten polarizar al transistor en un valor de V_{CE} menor a $V_{CC}/2$, esto nos asegura que no se producirá el fenómeno de escape térmico.

La condición antes mencionada ($V_{CE} \leq V_{CC}/2$) es suficiente pero no necesaria para evitar el escape térmico. La condición necesaria es que la velocidad a la que se genera calor en la unión o juntura de colector debe ser inferior a la velocidad con que el calor puede ser evacuado, esto es:

$$\frac{\partial P_C}{\partial T_j} < \frac{\partial P_D}{\partial T_j} \qquad (3.11.2)$$

Como $\theta P_D = T_j - T_a$, derivando queda,

$$\frac{\partial P_D}{\partial T_j} = \frac{1}{\theta} \qquad (3.11.3)$$

Por lo tanto, la condición que debe satisfacerse para evitar el escape térmico es:

$$\frac{\partial P_C}{\partial T_j} < \frac{1}{\theta} \qquad (3.11.4)$$

Para un circuito autopolarizado tendremos:

$$P_C = V_{CB} I_C \cong V_{CE} I_C \qquad (3.11.5)$$

$$V_{CE} = V_{CC} - I_C(R_C + R_E) \qquad (3.11.6)$$

$$P_C = [V_{CC} - I_C(R_C + R_E)]I_C = V_{CC}I_C - I_C^2\,(R_C + R_E) \qquad (3.11.7)$$

$$\frac{\partial P_C}{\partial T_J} = V_{CC}\frac{\partial I_C}{\partial T_J} - 2I_C(R_C + R_E)\frac{\partial I_C}{\partial T_J}$$

$$= \left[V_{CC} - 2I_C(R_C + R_E)\right]\frac{\partial I_C}{\partial T_J} \qquad (3.11.8)$$

Además, si tenemos en cuenta que: $\frac{\partial I_C}{\partial T_j} = S_\beta \frac{\partial \beta}{\partial T_j} + S_V \frac{\partial V_{BE}}{\partial T_j} + S_I \frac{\partial I_{CO}}{\partial T_j}$

y consideramos sólo la variación de I_{CO} con la temperatura:

$$\frac{\partial I_C}{\partial T_j} = \frac{\partial I_C}{\partial I_{CO}}\frac{\partial I_{CO}}{\partial T_j} = S_I\, 0{,}07 I_{CO} \qquad (3.11.9)$$

Ya que: $\frac{\partial I_C}{\partial I_{CO}} = S_I$ y $\frac{\partial I_{CO}}{\partial T_j} = 0{,}07 I_{CO}$ (I_{CO} aumenta aproximadamente un 7% por grado centígrado).

Reemplazando en (3.11.8) nos queda:

$$\frac{\partial P_C}{\partial T_j} = \left[V_{CC} - 2I_C(R_C + R_E)\right]S_I\, 0{,}07 I_{CO} \qquad (3.11.10)$$

Luego, la condición final será:

$$\left[V_{CC} - 2I_C(R_C + R_E)\right]S_I\, 0{,}07 I_{CO} < \frac{1}{\theta} \qquad (3.11.11)$$

De esta última ecuación podemos ver que una condición suficiente (no necesaria) para que la anterior se cumpla siempre, independientemente de los valores de I_{CO}, S_I y θ es:

$$V_{CC} - 2I_C(R_C + R_E) < 0 \qquad (3.11.12)$$

Sumando V_{CC} a ambos lados:

$$2V_{CC} - 2I_C(R_C + R_E) < V_{CC}$$
$$2[V_{CC} - I_C(R_C + R_E)] < V_{CC}$$

El término $[V_{CC} - I_C(R_C + R_E)]$ es igual a V_{CE}, por lo tanto:

$$2V_{CE} < V_{CC}$$

Es decir: $V_{CE} < V_{CC}/2$ (3.11.13)

3.12 Disipación de Calor

En las especificaciones técnicas provistas por los fabricantes de semiconductores, uno de los datos que se provee es la máxima disipación posible, para que no se destruya el componente, de manera que otro de los cálculos a realizar en las etapas de potencia, es la disipación del calor producido durante el funcionamiento, y por ende el disipador a utilizar.

Ejemplo con encapsulado TO-3 metálico

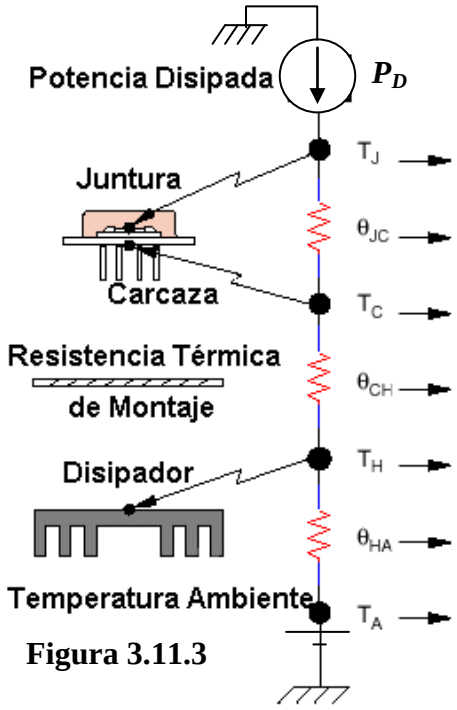


Figura 3.11.3

Unidades	Aplicaciones de Gran Potencia		Aplicaciones de Baja Potencia	
Watts	100W	10W	10W	1W
°C	145°C	37°C *	158°C *	39°C
°C/Watt	0.8	0.8	0.8	0.8
°C	65°C	29°C	150°C	38°C
°C/Watt	0.1	0.1	0.5	0.5
°C	55°C	28°C	145°C	37°C
°C/Watt	0.3	0.3	12	12
°C	25°C	25°C	25°C	25°C

* Nótese la diferencia de temperatura en la Juntura, debido a la diferencia de resistencia térmica, siendo iguales las potencias.

Siendo la temperatura de la juntura:

$$T_J = T_A + P_D \theta_{JA}$$

T_J (°C) = Temperatura de la juntura el semiconductor
T_A (°C) = Temperatura ambiente
P_D (Watts) = Potencia disipada en el semiconductor
θ_{JA} ((°C) / Watts) = Resistencia térmica Juntura – Ambiente

La resistencia térmica total es:

$$\theta_{JA} = \theta_{JC} + \theta_{CH} + \theta_{HA}$$

θ_{JA} ((°C) / Watts) = Resistencia térmica Juntura – Ambiente
θ_{JC} ((°C) / Watts) = Resistencia térmica Juntura - Cápsula
θ_{CH} ((°C) / Watts) = Resistencia térmica Cápsula - Disipador
θ_{HA} ((°C) / Watts) = Resistencia térmica Disipador - Ambiente

Tabla 3.1: Resumen de fórmulas para el BJT

$i_C = I_S e^{\frac{v_{BE}}{V_T}}$	$i_C = \alpha\, i_E + I_{CBO}$ $i_C \cong \alpha\, i_E \therefore \alpha = \frac{i_C}{i_E}$	$i_E = i_B + i_C$ $i_C = \alpha i_B + \alpha i_C + I_{CBO}$	$i_C = \frac{\alpha}{1-\alpha} i_B + \frac{1}{1-\alpha} I_{CBO}$
$\beta = \frac{\alpha}{1-\alpha}$	$\beta + 1 = \frac{1}{1-\alpha}$	$i_C = \beta i_B + (\beta+1) I_{CBO}$ $\cong \beta i_B$	$\beta = \frac{i_C}{i_B}$ $\beta = h_{FE}$
$i_B = \left(\frac{I_S}{\beta}\right) e^{\frac{v_{BE}}{V_T}}$	$\frac{i_E}{i_B} = \beta + 1$	$i_C = I_S e^{\frac{v_{BE}}{V_T}} \left(1 + \frac{v_{CE}}{V_A}\right)$ $r_o \cong \lvert V_A \rvert / I_C$	$R_E \geq \frac{10 R_B}{h_{FE\,\min}}$
$V_{CEQ} = \frac{\frac{m_{dc}}{m_{ac}} V_{CC} + V_{CEsat}}{1 + m_{dc}/m_{ac}} = \frac{\frac{m_{dc}}{m_{ac}} S + C}{1 + m_{dc}/m_{ac}}$		$I_{CQ} = \frac{S - C}{\frac{1}{m_{ac}} + \frac{1}{m_{dc}}}$ $S \equiv V_{CC}$; $C \equiv V_{CEsat}$	

3.10 Factores de Estabilidad

3.10.1 Introducción

Como se ha visto, el punto de polarización en una etapa a transistor depende de tres parámetros fundamentales del transistor, que son su ganancia de corriente en continua β_{dc} (o h_{FE}), su tensión base emisor V_{BE} y su corriente inversa de saturación I_{CO}. Estos tres parámetros dependen, a su vez, de la temperatura, por lo que una variación de la misma afectará sus valores y por lo tanto el de la polarización. I_{CO}, por ejemplo, aumenta un 7% por grado centígrado o, lo que es aproximadamente lo mismo, se duplica cada 10 ºC de aumento de la temperatura; la tensión base emisor sufre una disminución de $\cong$ 2 mV/°C de aumento en T; la ganancia de corriente de continua (simplemente β) tiene variaciones diferentes para cada tipo de transistor.

Para comparar los diversos circuitos de polarización en lo que hace a su estabilidad térmica se utiliza lo que se llama factores de estabilidad. Existe un factor de estabilidad para cada parámetro, y éste es indicativo de cuánto varía la corriente de colector con respecto a la variación de ese parámetro cuando los otros permanecen constantes. Esto es:

$$I_C = f(\beta, V_{BE}, I_{CO})$$

Luego podemos escribir

$$\frac{dI_C}{dT} = \frac{\partial I_C}{\partial \beta}\frac{\partial \beta}{\partial T} + \frac{\partial I_C}{\partial V_{VE}}\frac{\partial V_{BE}}{\partial T} + \frac{\partial I_C}{\partial I_{CO}}\frac{\partial I_{CO}}{\partial T}$$

de lo cual se deducen los siguientes factores de estabilidad

$$S_\beta = \frac{\partial I_C}{\partial \beta}\Big|_{V_{BE},I_{CO}} \cong \frac{\Delta I_C}{\Delta \beta}\Big|_{V_{BE},I_{CO}} \qquad (3.10.1)$$

$$S_V = \frac{\partial I_C}{\partial V_{BE}}\Big|_{\beta,I_{CO}} \cong \frac{\Delta I_C}{\Delta V_{BE}}\Big|_{\beta,I_{CO}} \qquad (3.10.2)$$

$$S_I = \frac{\partial I_C}{\partial I_{CO}}\Big|_{\beta,V_{BE}} \cong \frac{\Delta I_C}{\Delta I_{CO}}\Big|_{\beta,V_{BE}} \qquad (3.10.3)$$

Luego, si tenemos calculado el valor de la corriente de colector, I_C, en una determinada polarización a una temperatura inicial T_1, y se produce una variación en la temperatura, para obtener la desviación total de la corriente de colector con respecto a su valor a la temperatura T_1, bastará multiplicar cada factor de estabilidad por la desviación de cada parámetro con respecto a su valor a la temperatura inicial; y por último sumamos los tres términos. Esto es:

$$\Delta I_C = I_{C2} - I_{C1} = S_\beta \Delta\beta + S_V \Delta V_{BE} + S_I \Delta I_{CO} \qquad (3.10.4)$$

Donde:

$$\Delta I_C = I_{C2} - I_{C1} = I_C(T_2) - I_C(T_1) \qquad (3.10.5)$$

$$\Delta\beta = \beta_2 - \beta_1 = \beta(T_2) - \beta(T_1) \qquad (3.10.6)$$

$$\Delta V_{BE} = V_{BE2} - V_{BE1} = V_{BE}(T_2) - V_{BE}(T_1) \qquad (3.10.7)$$

$$\Delta I_{CO} = I_{CO2} - I_{CO1} = I_{CO}(T_2) - I_{CO}(T_1) \qquad (3.10.8)$$

Por lo general, el valor de T_1 es normalmente 25 ºC, ya que los datos de los parámetros del transistor que figuran en las hojas de datos del fabricante, corresponden a esa temperatura.

Para un transistor, la relación entre la corriente de colector, la de base y la corriente inversa de saturación es:

$$I_C = \beta I_B + (\beta + 1) I_{CO} \qquad (3.10.9)$$

Por lo tanto, despejando I_{CO} en función de I_C, I_B y β, la $\partial I_{CO}/\partial I_C$ será:

$$\frac{\partial I_{CO}}{\partial I_C} = \frac{1 - \beta dI_B / dI_C}{\beta + 1} \qquad (3.10.10)$$

Con lo que:

$$\frac{\partial I_C}{\partial I_{CO}} = \frac{\beta + 1}{1 - \beta \dfrac{dI_B}{dI_C}} = S_I \qquad (3.10.11)$$

La ecuación (3.10.11) es válida para todo tipo de polarización.

En lo que sigue, se desarrollará el cálculo de los distintos factores de estabilidad para las diferentes polarizaciones típicas.

3.10.2 Polarización Fija

3.10.2.1 Factor de estabilidad S_I :

Para la polarización fija, la I_B es independiente del valor de la corriente de colector, por lo tanto de la ecuación (3.10.11) da:

$$S_I = \frac{\partial I_C}{\partial I_{CO}} = \beta + 1 \qquad (3.10.12)$$

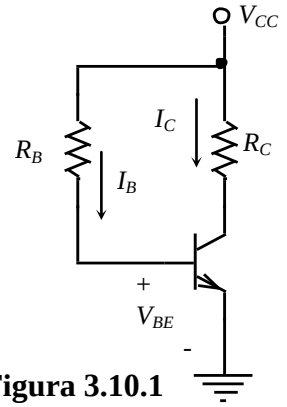


Figura 3.10.1

3.10.2.2 Factor de estabilidad S_V :

Si despreciamos el valor de I_{CO}, la relación entre la corriente de base y la de colector es:

$$I_C = \beta I_B \qquad (3.10.13)$$

La corriente de base, para una polarización fija, se calcula a partir de:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B} \qquad (3.10.14)$$

Por lo que, combinando (3.10.13) y (3.10.14):

$$I_C = \beta \frac{V_{CC} - V_{BE}}{R_B} \qquad (3.10.15)$$

El factor de estabilidad S_V será, entonces:

$$S_V = \frac{\partial I_C}{\partial V_{BE}} = -\frac{\beta}{R_B} \qquad [\Omega^{-1}] \qquad (3.10.16)$$

3.10.2.3 Factor de estabilidad S_β :

Partiendo de la ecuación (3.10.15):

$$S_\beta = \frac{\partial I_C}{\partial \beta} = \frac{V_{CC} - V_{BE}}{R_B} \qquad [\mathrm{A}] \qquad (3.10.17)$$

3.10.3 Polarización Colector-Base (Fija con realimentación en colector):

3.10.3.1 Factor de estabilidad S_I :

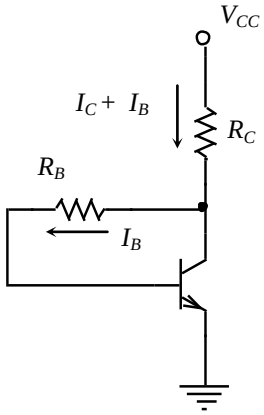


Figura 3.10.2

Para el circuito colector base se cumple:

$$V_{CC} = (I_C + I_B)R_C + I_B R_B + V_{BE} \qquad (3.10.18)$$

despejando I_B:

$$I_B = \frac{(V_{CC} - V_{BE} - I_C R_C)}{R_C + R_B}$$

Con lo que:

$$\frac{dI_B}{dI_C} = -\frac{R_C}{R_C + R_B} \qquad (3.10.19)$$

Reemplazando la ecuación (3.10.19) en la (3.10.11), obtenemos:

$$S_I = \frac{\partial I_C}{\partial I_{CO}} = \frac{\beta + 1}{1 + \beta\left(\dfrac{R_C}{R_C + R_B}\right)}$$

$$S_I = \frac{\partial I_C}{\partial I_{CO}} = \frac{(1+\beta)(R_C + R_B)}{R_B + (1+\beta)R_C} \qquad (3.10.20)$$

3.10.3.2 Factor de estabilidad S_V :

Podemos partir de la ecuación (3.10.18):

$$V_{CC} = (I_C + I_B)R_C + I_B R_B + V_{BE}$$

Teniendo en cuenta que $I_B = I_C/\beta$

$$V_{CC} = I_C\left(1 + \frac{1}{\beta}\right)R_C + \frac{I_C}{\beta}R_B + V_{BE}$$

Despejando I_C:

$$I_C = \frac{(V_{CC} - V_{BE})}{\left(1 + \dfrac{1}{\beta}\right)R_C + \dfrac{R_B}{\beta}}$$

$$= \frac{\beta(V_{CC} - V_{BE})}{(1+\beta)R_C + R_B} \qquad (3.10.21)$$

Por último: $$S_V = \frac{\partial I_C}{\partial V_{BE}} = -\frac{\beta}{(1+\beta)R_C + R_B} \qquad (3.10.22)$$

3.10.3.3 Factor de estabilidad S_β :

De la ecuación (3.10.21):

$$I_C = \frac{\beta(V_{CC} - V_{BE})}{(\beta+1)R_C + R_B}$$

Vemos que tanto la ecuación de I_C en función de β, como también su derivada, dependen de β (si deriváramos I_C con respecto a β para obtener S_β, esta derivada nos quedaría en función de β). Como las variaciones de β, para una variación determinada de la temperatura, pueden ser grandes, lo que se utiliza, en vez de la derivada, es el cálculo de S_β mediante diferencias finitas. Procedemos así:

A una temperatura T_1 tendremos un valor β_1 que nos da una corriente:

$$I_{C1} = \frac{\beta_1(V_{CC} - V_{BE})}{(1+\beta_1)R_C + R_B} = \frac{a}{b} \qquad (3.10.23)$$

A una temperatura T_2 tendremos un valor β_2 que nos da una corriente:

$$I_{C2} = \frac{\beta_2(V_{CC} - V_{BE})}{(1+\beta_2)R_C + R_B} = \frac{c}{d} \qquad (3.10.24)$$

Haciendo el cociente:

$$I_{C2}/I_{C1} = \frac{\beta_2(V_{CC} - V_{BE})\big((1+\beta_1)R_C + R_B\big)}{\big((1+\beta_2)R_C + R_B\big)\beta_1(V_{CC} - V_{BE})}$$
$$= \frac{\beta_2\big((1+\beta_1)R_C + R_B\big)}{\beta_1\big((1+\beta_2)R_C + R_B\big)} = \frac{bc}{ad} = \frac{B}{A}$$

Por lo tanto:

$$\frac{I_{C2} - I_{C1}}{I_{C1}} = \frac{\beta_2\big(R_B + (1+\beta_1)R_C\big) - \beta_1\big(R_B + (1+\beta_2)R_C\big)}{\beta_1\big(R_B + (1+\beta_2)R_C\big)} = \frac{c/d - a/b}{a/b}$$

$$= \frac{\beta_2 R_B + \beta_2 R_C - \beta_1 R_C - \beta_1 R_B}{\beta_1\big(R_B + (1+\beta_2)R_C\big)} = \frac{(cb - ad)/bd}{a/b} = \frac{cb - ad}{ad} = \frac{B - A}{A}$$

$$= \frac{\Delta\beta(R_B + R_C)}{\beta_1\big(R_B + (1+\beta_2)R_C\big)} = \frac{\Delta I_C}{I_{C1}}$$

Donde $\Delta\beta = \beta_2 - \beta_1$, por lo tanto:

$$S_\beta = \frac{\Delta I_C}{\Delta\beta} = \frac{I_{C1}(R_B + R_C)}{\beta_1\left(R_B + R_C(1+\beta_2)\right)} \qquad (3.10.25)$$

Nótese que el factor de estabilidad depende de la corriente I_{C1}, que es la corriente de polarización que se tiene en el circuito a la temperatura T_1, cuando la ganancia de corriente es β_1; es decir, la corriente I_{C1} en el circuito se debe corresponder con el valor β_1 de ganancia de corriente en el transistor.

3.10.4 Circuito Autopolarizado

3.10.4.1 Factor de estabilidad S_I :

Utilizaremos, para los cálculos, la malla de entrada con su equivalente Thevenin (V_{BB} y R_B) y la resistencia de emisor referida a la base.

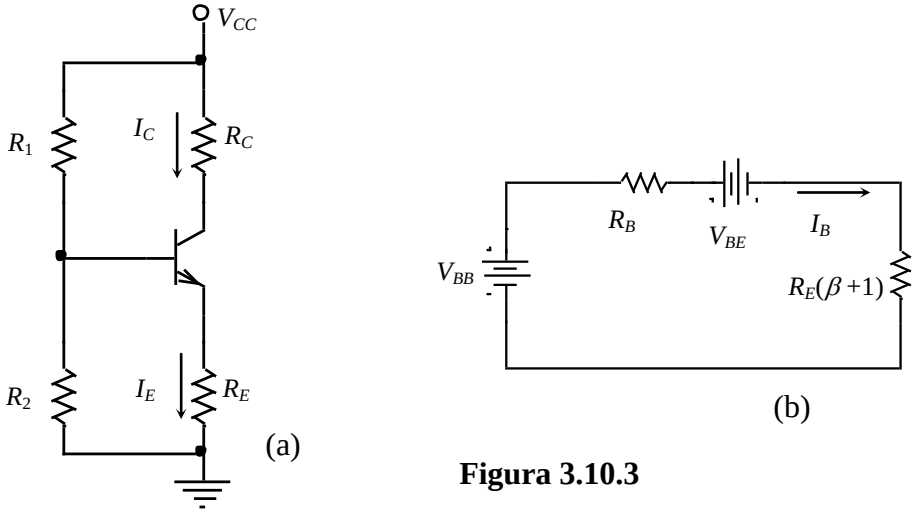


Figura 3.10.3

$$V_{BB} = I_B R_B + V_{BE} + (I_C + I_B)R_E$$

$$I_B = \frac{V_{BB} - V_{BE} - I_C R_E}{R_B + R_E} \qquad (3.1026)$$

Por lo tanto:

$$\frac{dI_B}{dI_C} = \frac{-R_E}{R_B + R_E} \qquad (3.10.27)$$

Reemplazando la ecuación (3.10.27) en la (3.10.11):

$$S_I = \frac{\partial I_C}{\partial I_{CO}} = \frac{1+\beta}{1 + \dfrac{\beta R_E}{R_B + R_E}}$$

$$= \frac{(1+\beta)(R_B + R_E)}{R_B + R_E(1+\beta)} \qquad (3.10.28)$$

3.10.4.2 Factor de Estabilidad S_V :

$$I_B = \frac{V_{BB} - V_{BE}}{R_B + R_E(1+\beta)} \qquad (3.10.29)$$

$$I_C = \frac{\beta(V_{BB} - V_{BE})}{R_B + R_E(1+\beta)} \qquad (3.10.30)$$

$$S_V = -\frac{\beta}{R_B + R_E(1+\beta)} \qquad (3.10.31)$$

3.10.4.3 Factor de Estabilidad S_β :

En este caso, al igual que en el caso de la polarización colector base, también lo obtendremos mediante diferencias finitas a partir de la ecuación (3.10.30) a las temperaturas T_1 y T_2:

A la temperatura T_1:

$$I_{C1} = \frac{\beta_1(V_{BB} - V_{BE})}{R_B + R_E(1+\beta_1)}$$

A la temperatura T_2:

$$I_{C2} = \frac{\beta_2(V_{BB} - V_{BE})}{R_B + R_E(1+\beta_2)}$$

Mediante un procedimiento similar al empleado en el caso de la polarización colector-base se llega a:

$$S_\beta = \frac{\partial I_C}{\partial \beta} = \frac{I_{C1}(R_E + R_B)}{\beta_1\left(R_B + (1+\beta_2)R_E\right)} \qquad (3.10.32)$$

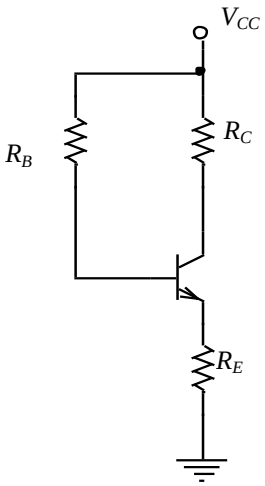
Tabla 3.1: Factores de estabilidad para distintas configuraciones de polarización del BJT

Tipo de polarización	S_I	S_V	S_β
Polarización Fija	$\beta + 1$	$-\dfrac{\beta}{R_B}$	$\dfrac{V_{CC} - V_{BE}}{R_B}$
Polarización Fija con R_E	$\dfrac{(1+\beta)(R_E + R_B)}{R_B + (1+\beta)R_E}$	$-\dfrac{\beta}{(1+\beta)R_E + R_B}$	$\dfrac{I_{C1}(R_B + R_E)}{\beta_1[R_B + R_E(1+\beta_2)]}$
Polariz. Colector Base (Fija con realim. En colector)	$\dfrac{(1+\beta)(R_C + R_B)}{R_B + (1+\beta)R_C}$	$-\dfrac{\beta}{(1+\beta)R_C + R_B}$	$\dfrac{I_{C1}(R_B + R_C)}{\beta_1[R_B + R_C(1+\beta_2)]}$
Polariz. Fija con realim. En colector y emisor	$\dfrac{(1+\beta)(R_B + R_C + R_E)}{R_B + (1+\beta)(R_C + R_E)}$	$\dfrac{-\beta}{R_B + (1+\beta)(R_C + R_E)}$	$\dfrac{I_{C1}(R_B + R_C + R_E)}{\beta_1[R_B + (R_E + R_C)(1+\beta_2)]}$
Pol. en emisor con dos fuentes	$\dfrac{(1+\beta)(R_E + R_B)}{R_B + (1+\beta)R_E}$	$-\dfrac{\beta}{(1+\beta)R_E + R_B}$	$\dfrac{I_{C1}(R_B + R_E)}{\beta_1[R_B + R_E(1+\beta_2)]}$
Autopolarizado	$\dfrac{(1+\beta)(R_B + R_E)}{R_B + R_E(1+\beta)}$	$-\dfrac{\beta}{R_B + R_E(1+\beta)}$	$\dfrac{I_{C1}(R_E + R_B)}{\beta_1[R_B + (1+\beta_2)R_E]}$

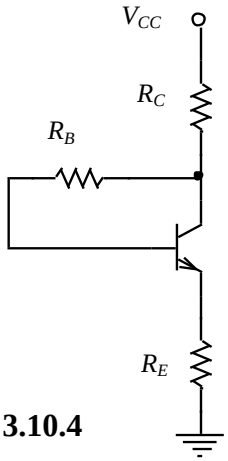
Tabla 3.2: Cambio en I_C para un cambio en β

Tipo de polarización	ΔI_C en función de β
Polarización fija	$\dfrac{I_{C1}\Delta\beta}{\beta_1}$
Polarización fija con R_E	$\dfrac{I_{C1}\Delta\beta}{\beta_1}\dfrac{R_B + R_E}{R_B + (\beta_2 + 1)R_E}$
Polarización Colector Base	$\dfrac{I_{C1}\Delta\beta}{\beta_1}\dfrac{R_B + R_C}{R_B + (\beta_2 + 1)R_C}$
Polarización Colector Base con R_E	$\dfrac{I_{C1}\Delta\beta}{\beta_1}\dfrac{R_B + R_C + R_E}{[R_B + (\beta_2 + 1)(R_C + R_E)]}$
Polarización en Emisor con dos fuentes	$\dfrac{I_{C1}\Delta\beta}{\beta_1}\dfrac{R_B + R_E}{R_B + (\beta_2 + 1)R_E}$
Autopolarizado	$\dfrac{I_{C1}\Delta\beta}{\beta_1}\dfrac{R_B + R_E}{R_B + (\beta_2 + 1)R_E}$

Polariz. fija con R_E



Polariz. Colector Base con R_E



Polariz. en emisor con dos fuentes

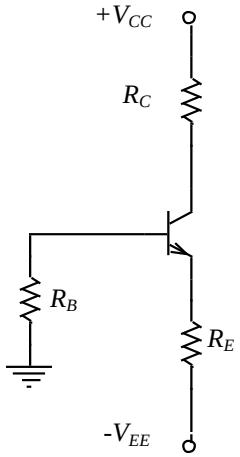


Figura 3.10.4

Ejemplo 3.10.1: Cálculo de los factores de estabilidad y desplazamiento de la corriente de colector para una polarización colector base.

Supongamos tener el siguiente circuito de polarización colector base visto anteriormente, con los siguientes datos:

V_{CC} = 12 V
R_C = 4,7 kΩ
R_B = 330 kΩ

Datos del transistor:

T	-5ºC	25ºC	45ºC
I_{CO} [nA]	0,25	2	8
β	60	80	100
V_{BE} [V]	0,675	0,6	0,55

El primer paso consiste en calcular el punto de polarización, lo que se realiza utilizando los parámetros del transistor a 25ºC. Para nuestro caso será:

$$V_{CC} = (I_C + I_B)R_C + I_BR_B + V_{BE}$$

$$V_{CC} = I_B[R_B + (1 + \beta)R_C] + V_{BE} + (1 + \beta)I_{CO}R_C$$

$$I_B = [V_{CC} - V_{BE} - (1 + \beta)I_{CO}R_C]/[R_B + (1 + \beta)R_C] = 16{,}04\ \mu A$$

$$I_C = \beta I_B + (1 + \beta)I_{CO} = 1{,}283\ mA$$

$$V_{CE} = V_{CC} - (I_B + I_C)R_C = 5{,}893\ V$$

El segundo paso consiste en calcular los factores de estabilidad:

$$S_I = [(1 + \beta)(R_C + R_B)]/[R_B + (1 + \beta)R_C] = 38{,}146$$

$$S_V = -\beta/[R_B + (1 + \beta)R_C] = -0{,}1126\ mA/V$$

Para el caso de S_β tendremos que calcular dos factores de estabilidad, uno para el margen 25ºC / 45ºC, y otro para el margen 25ºC / -5ºC.

$$S_\beta\,(25 \text{ a } 45) = [I_C(25)(R_C + R_B)]/\{\beta(25)[R_B + R_C(1 + \beta(45))]\} = 6{,}7.10^{-3}\ mA$$

$$S_\beta\,(25 \text{ a } -5ºC) = [I_C(25)(R_C + R_B)]/\{\beta(25)[R_B + R_C(1 + \beta(-5))]\} = 8{,}7.10^{-3}\ mA$$

Por último, el desplazamiento de la corriente de colector que se tendrá cuando la temperatura varíe de 25ºC a 45ºC será:

$$\Delta I_C(25ºC \text{ a } 45ºC) = S_I\,\Delta I_{CO} + S_V\,\Delta V_{BE} + S_\beta\,\Delta\beta$$

$$= 38{,}146.6.10^{-6}mA + (-0{,}1126)mA/V(-0{,}05)V + 6{,}67.10^{-3}mA.20 = 0{,}1392\ mA$$

$$= 2{,}3.10^{-7}A + 5{,}63.10^{-6}A + 1{,}33.10^{-4}A = 0{,}1392\ mA$$

Con lo que la corriente a 45ºC será:

$$I_C(45ºC) = I_C(25ºC) + \Delta I_C\,(25ºC \text{ a } 45ºC)$$

$$I_C\,(45) = (1{,}283 + 0{,}1392)\ mA = 1{,}4222\ mA$$

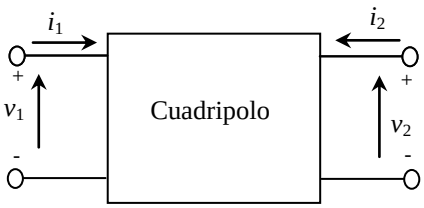
El desplazamiento cuando la temperatura varíe entre 25ºC y -5ºC será:

$$\Delta I_C(25 \text{ a } -5) = 38{,}146(-1{,}75)10^{-6}\text{mA} + (-0{,}1126)\text{mA/V}.0{,}075\text{V} + \\ + 8{,}7.10^{-3}\text{mA}(-20) \\ = -0{,}1825\text{mA}$$

Con lo que la corriente a -5ºC será: I_C (-5) = 1,283 mA - 0,1825 mA= 1,1005 mA

CAPÍTULO 4: EL TRANSISTOR BIPOLAR CON PEQUEÑA SEÑAL

4.1 Cuadripolos y modelo híbrido



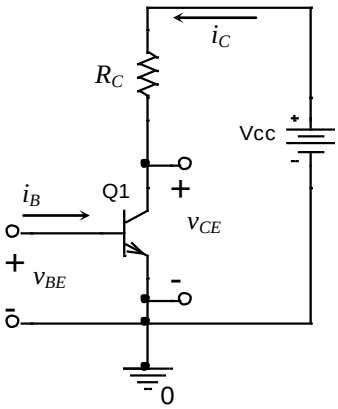
El comportamiento en los terminales de una gran cantidad de cuadripolos (dispositivos de dos puertas) se especifica mediante dos tensiones y dos corrientes. La figura contigua representa un cuadripolo, en él podemos elegir dos de las cuatro cantidades como variables independientes y expresar las dos restantes en función de las variables elegidas. Obsérvese que en general, no podemos seleccionar arbitrariamente las variables independientes. Por ejemplo, si el cuadripolo es un transformador ideal, no podemos elegir las tensiones v_1 y v_2 como variables independientes, ya que su relación es una constante igual a la relación de espiras del transformador. Si la corriente i_1 y la tensión v_2 son independientes, y el cuadripolo es lineal, podemos escribir las relaciones correspondientes siendo las cantidades h_{11}, h_{12}, h_{21}, h_{22} los parámetros ***h*** o ***parámetros híbridos***, porque no son homogéneos dimensionalmente.

Parámetros impedancia	***Parámetros admitancia***	***Parámetros híbridos***
$v_1 = f_1(i_1, i_2) = z_{11}i_1 + z_{12}\,i_2$ $v_2 = f_2(i_1, i_2) = z_{21}i_1 + z_{22}i_2$	$i_1 = f'(v_1, v_2) = y_{11}v_1 + y_{12}\,v_2$ $i_2 = f''(v_1, v_2) = y_{21}v_1 + y_{22}v_2$	$v_1 = f'''(i_1, v_2) = h_{11}\,i_1 + h_{12}\,v_2$ $i_2 = f^{iv}(i_1, v_2) = h_{21}\,i_1 + h_{22}\,v_2$
$v_1 = z_i\,i_1 + z_r\,i_2$ $v_2 = z_f\,i_1 + z_o\,i_2$	$i_1 = y_i\,v_1 + y_r\,v_2$ $i_2 = y_f\,v_1 + y_o\,v_2$	$v_1 = h_i\,i_1 + h_r\,v_2$ $i_2 = h_f\,i_1 + h_o\,v_2$

En el caso de los transistores, se añade otro subíndice (*b*, *e* o *c*) para designar el tipo de configuración del transistor (terminal común utilizado). Puesto que hemos supuesto que el dispositivo descripto por las ecuaciones anteriores no contenga elementos reactivos, los cuatro parámetros híbridos son números reales.

Para los parámetros híbridos de la tabla anterior, en un transistor bipolar en EC las ***señales totales*** (todas variables en el tiempo) para un dispositivo lineal, tenemos:

$$\boldsymbol{v_1 = v_{BE} \;\; ; \;\; i_1 = i_B}$$
$$\boldsymbol{v_2 = v_{CE} \;\; ; \;\; i_2 = i_C}$$



Para pequeños incrementos alrededor del punto de reposo *Q* se tiene desarrollando el diferencial total:

$$dv_{BE} = \frac{\partial v_{BE}}{\partial i_B}\Big|_{V_{CE}} di_B + \frac{\partial v_{BE}}{\partial v_{CE}}\Big|_{I_B} dv_{CE}$$

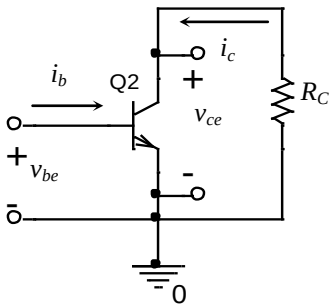
$$di_C = \frac{\partial i_C}{\partial i_B}\Big|_{V_{CE}} di_B + \frac{\partial i_C}{\partial v_{CE}}\Big|_{I_B} dv_{CE}$$

Si se considera a los incrementos diferenciales de cada variable eléctrica, como la componente de señal pura, queda:

$$di_B \cong \Delta i_B = i_b$$
$$dv_{CE} \cong \Delta v_{CE} = v_{ce}$$
$$di_C \cong \Delta i_C = i_c$$
$$dv_{BE} \cong \Delta v_{BE} = v_{be}$$

El circuito para señal se observa a la izquierda. Las ecuaciones resultan,

$$v_{be} = \frac{\partial v_{BE}}{\partial i_B}\Big|_{V_{CE}} i_b + \frac{\partial v_{BE}}{\partial v_{CE}}\Big|_{I_B} v_{ce}$$
$$i_c = \frac{\partial i_C}{\partial i_B}\Big|_{V_{CE}} i_b + \frac{\partial i_C}{\partial v_{CE}}\Big|_{I_B} v_{ce}$$

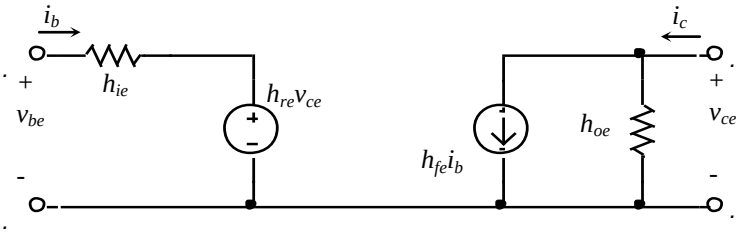


Por lo tanto para ***señal únicamente***, definimos en EC:

$$\boldsymbol{v_{be} = h_{ie}\, i_b + h_{re}\, v_{ce}}$$
$$\boldsymbol{i_c = h_{fe}\, i_b + h_{oe}\, v_{ce}}$$

h_{ie} resistencia de entrada (input)
h_{re} ganancia de tensión inversa (reverse)
h_{fe} ganancia de corriente directa (forward) (en cto. cto.)
h_{oe} conductancia de salida (output)

De las ecuaciones anteriores se puede armar el circuito equivalente de pequeña señal con parámetros híbridos:



Son *parámetros de señal únicamente*, corresponden a linealizaciones de las características del transistor alrededor del punto de polarización o reposo *Q*, y por lo tanto son dependientes de éste. ***El modelo es el mismo tanto para transistores npn como pnp***, como también solo *válido para baja frecuencia* ya que no contempla las capacidades del dispositivo. Este modelo no tiene en cuenta el comportamiento físico del transistor.

Los parámetros se pueden calcular como:

$$h_{ie} = \frac{\partial v_{BE}}{\partial i_B}\Big|_{V_{CE}} \qquad h_{oe} = \frac{\partial i_C}{\partial v_{CE}}\Big|_{I_B}$$
$$h_{fe} = \frac{\partial i_C}{\partial i_B}\Big|_{V_{CE}} \qquad h_{re} = \frac{\partial v_{BE}}{\partial v_{CE}}\Big|_{I_B}$$

Para el $\boldsymbol{h_{fe}}$, de las características de salida se puede hacer:

$$h_{fe} = \beta_{ac} = \frac{\partial i_C}{\partial i_B}\Big|_{V_{CEQ}} \cong \frac{\Delta i_C}{\Delta i_B} \cong h_{FE} = \frac{I_C}{I_B}$$

Para el $\boldsymbol{h_{ie}}$ de la ecuación de la curva característica de entrada i_B - v_{BE} , la derivada para su obtención se corresponde con la inversa de la pendiente en el punto de reposo *Q*. En

realidad, se debe medir a partir de la característica de entrada (con V_{CE} = cte. como parámetro) a partir de $h_{ie} \cong \dfrac{\Delta v_{BE}}{\Delta i_B}$ en forma gráfica o experimental.

Para el $\boldsymbol{h_{oe}}$, de las características de salida se tiene:

$$h_{oe} = \frac{\partial i_C}{\partial v_{CE}}\Big|_{I_{BQ}} \cong \frac{\Delta i_C}{\Delta v_{CE}} = \left|\frac{I_C}{V_A}\right|_{I_{BQ}} = \frac{1}{r_o}$$

Siendo V_A el voltaje Early (del orden de 50 a 100 V o más), e I_C la corriente de colector en el codo de la curva correspondiente a I_{BQ}. Es la pendiente de la curva I_{BQ} = cte en la característica de salida.

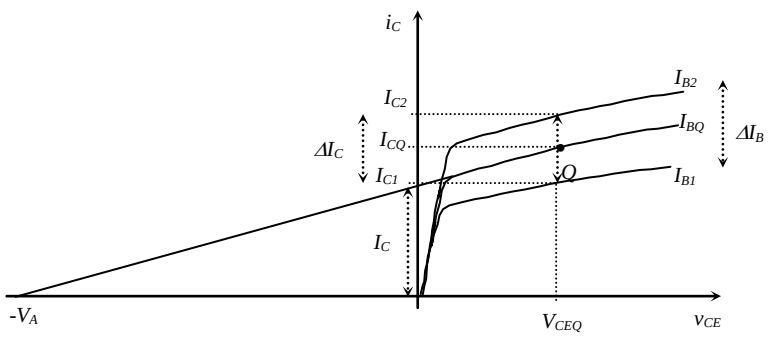
Para el $\boldsymbol{h_{re}}$, se puede hacer:

$$h_{re} = \frac{\partial v_{BE}}{\partial v_{CE}}\Big|_{I_{BQ}} \cong \frac{\Delta v_{BE}}{\Delta v_{CE}}$$

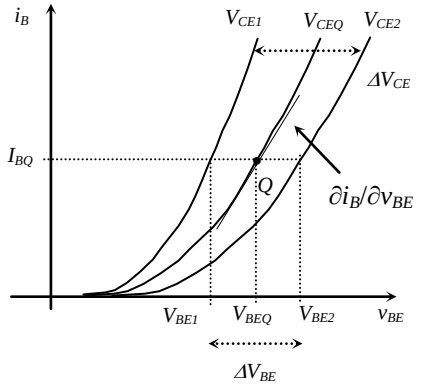
$$h_{re} = \frac{\partial v_{BE}}{\partial i_C}\frac{\partial i_C}{\partial v_{CE}} = \frac{1}{h_{fe}}\frac{\partial v_{BE}}{\partial i_B}\frac{\partial i_C}{\partial v_{CE}}$$

$$h_{re} = \frac{h_{ie}h_{oe}}{h_{fe}}$$

Todos los parámetros descriptos anteriormente se pueden obtener gráficamente de las características de entrada y de salida del transistor provistas por el fabricante. También, alternativamente, se pueden tomar de las tablas y/o gráficos normalizados en las hojas de datos del fabricante. En las figuras siguientes se puede observar como obtener gráficamente los parámetros híbridos.



(a) Determinación gráfica de h_{fe} y h_{oe}



(b) Determinación gráfica de h_{ie} y h_{re}

Para I_{CQ} = 1,3 mA y V_T = 25 mV (temperatura ambiente) resultan los siguientes valores típicos de los parámetros híbridos:

$\boldsymbol{h_{ie}}$	$\cong \dfrac{\Delta v_{BE}}{\Delta i_B}\Big\|_{V_{CEQ}}$	$\cong h_{fe}\dfrac{V_T}{I_{CQ}}$ = 2kΩ
$\boldsymbol{h_{re}}$	$\cong \dfrac{\Delta v_{BE}}{\Delta v_{CE}}\Big\|_{I_{BQ}}$	$\dfrac{h_{ie}h_{oe}}{h_{fe}}$, $\cong 10^{-4} \cong 0$
$\boldsymbol{h_{fe}}$	$\cong \dfrac{\Delta i_C}{\Delta i_B}\Big\|_{V_{CEQ}}$	$\cong h_{FE}$ = 100

h_{oe}	$\cong \dfrac{\Delta i_C}{\Delta v_{CE}}\Big\vert_{I_{BQ}}$	$\dfrac{\vert I_C \vert}{V_A} \cong 10^{-5}$ mohs = 10 μS

Los fabricantes dan información de estos parámetros como curvas en función de la corriente de colector (para un V_{CE} dado), o bien normalizados para determinadas condiciones de corriente de colector y tensión colector emisor como se observa en la Figura 4.1.6. Los valores finales se obtienen a partir de la corriente de colector de reposo a utilizar y, de ser necesarios los valores normalizados.

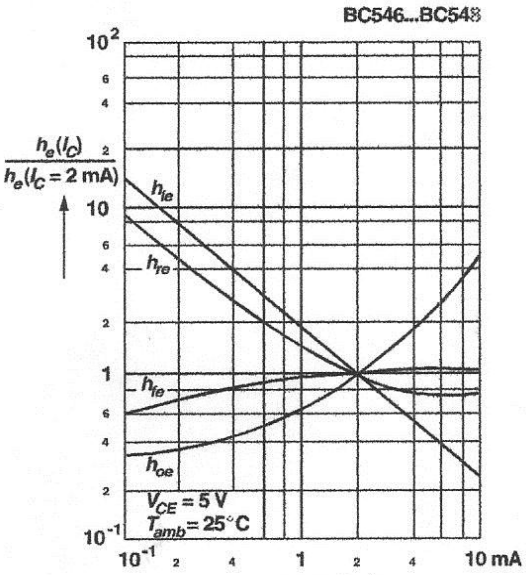


Figura 4.1.6

Es habitual utilizar un modelo simplificado como el siguiente:

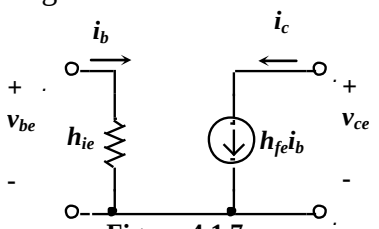


Figura 4.1.7

h_{re} se lo elimina por ser pequeño a igual que a h_{oe}, si se cumple que $h_{oe}R'_L \leq 0{,}1$ con R'_L la resistencia en paralelo con h_{oe}.

Se pueden obtener modelos similares para configuraciones en colector común (CC) y base común (BC), con las equivalencias correspondientes entre ellos.

4.2 Análisis de circuitos amplificadores a transistores utilizando los parámetros *h*

4.2.1 Definiciones de carácter general

Ganancia de tensión de la etapa: $A_{Ve} = v_o/v_i$ o $A_{Vs} = v_o/v_s$

Ganancia de tensión del transistor: $A_{Vt} = v_c/v_b$

Ganancia de corriente de la etapa: $A_{Ie} = i_o/i_i$

Ganancia de corriente del transistor: $A_{It} = i_c/i_b$

Impedancia de entrada de la etapa: $R_{ie} = v_i/i_i$ o $R_{is} = v_s/i_i$

Impedancia de entrada del transistor: $R_{it} = v_b/i_b$

Impedancia de salida de la etapa: $R_{oe} = v_o/i_o$ *con* $v_s = 0$

Impedancia de salida del transistor: $R_{ot} = v_c/i_c$ *con* $v_s = 0$

Para las definiciones anteriores se considerará la Figura 4.2.1, suponiendo una configuración del transistor en EC. Para otras configuraciones se reemplazará el terminal de entrada y el de salida por el que corresponda al igual que el terminal común.

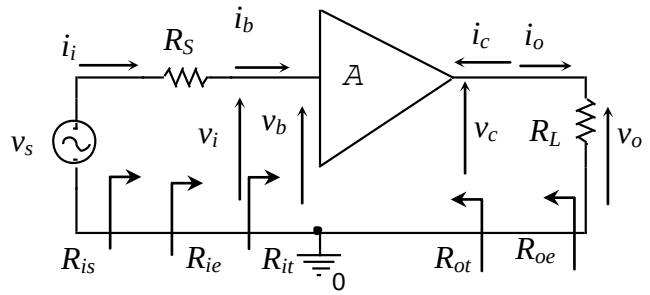


Figura 4.2.1

Utilizaremos para la señal de entrada y la carga acoplamiento a capacitor, es decir las etapas a considerar tendrán respuesta en frecuencia tipo pasa banda. En éstas el capacitor de entrada determina la frecuencia de corte inferior ω_L, y las capacidades del BJT la frecuencia de corte superior ω_H. En la Figura 4.2.1 se observa el diagrama para señal, es decir con los capacitores supuestos cortocircuitos.

4.2.2 Etapa en Emisor Común (EC)

Se analizará el circuito en emisor común de la Fig. 4.2.2 a), donde se considerará para el transistor un modelo simplificado haciendo h_{re} = 0. Para calcular los parámetros del amplificador antes definidos, se pasa al circuito de AC, cuyos circuitos equivalentes se observan en las Fig. 4.2.2 b) y c).

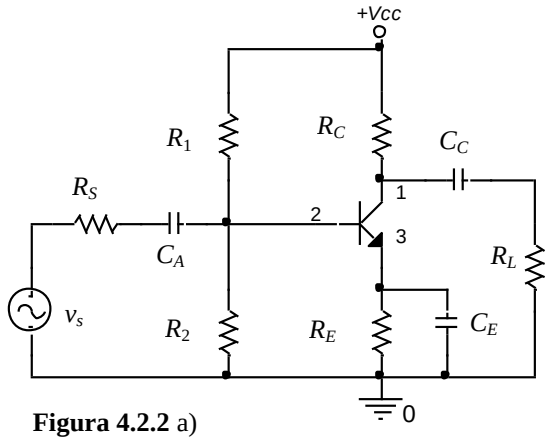


Figura 4.2.2 a)

Figura 4.2.2 b)

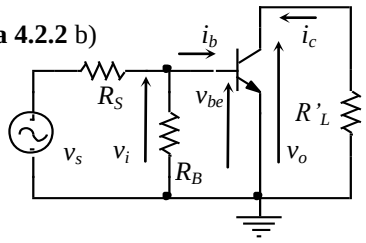
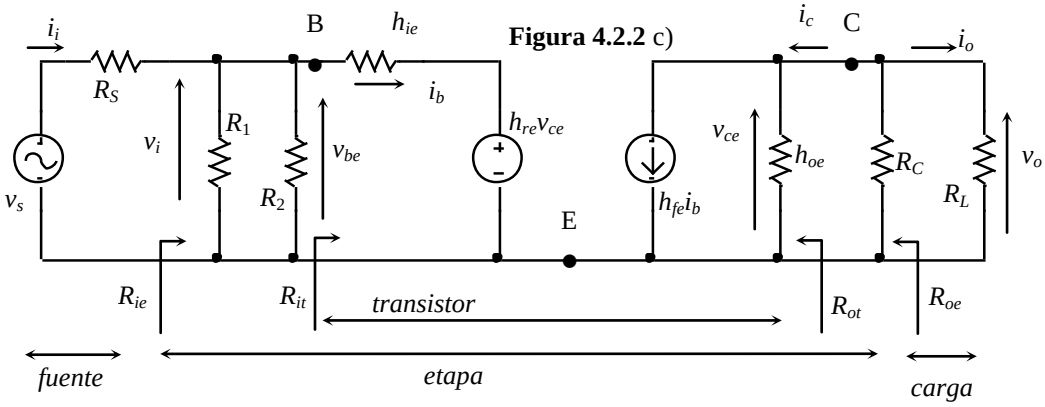


Figura 4.2.2 c)



Ganancias de tensión:

De la Fig. 4.2.2 c) vemos que: $R_1 \| R_2 = R_B$, $R_C \| R_L = R'_L$, $h_{re} = 0$, $v_o = v_{ce}$ y $v_i = v_{be}$

Definimos $\boldsymbol{A_{Vt}} \equiv \boldsymbol{v_{ce}/v_{be}}$, de donde surge de la Fig. 4.2.2 d) que $v_{ce} = -h_{fe} i_b (\frac{1}{h_{oe}} \parallel R_L^{'}) = -h_{fe} i_b \frac{R_L^{'}}{(1+h_{oe}R_L^{'})}$, y del circuito de entrada $v_{be} = h_{ie} i_b$. Se desprecia h_{re} por ser muy pequeña la realimentación que produce, así resulta:

$$\boldsymbol{A_{Vt}} = \frac{v_{ce}}{v_{be}} = \frac{v_o}{v_i} = -h_{fe} \frac{R_L^{'}}{h_{ie}(1+h_{oe}R_L^{'})}$$

$$\boldsymbol{A_{Vt}} \cong -h_{fe} \frac{R_L^{'}}{h_{ie}} \quad \text{si} \quad h_{oe}R'_L \leq 0{,}1$$

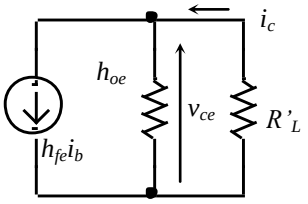


Figura 4.2.2 d)

$\boldsymbol{A_{Ve}} = \boldsymbol{A_{Vt}}$, ya que $v_o = v_{ce}$ y $v_i = v_{be}$.

$$A_{Vs} \equiv \frac{v_o}{v_i}\frac{v_i}{v_s} = \frac{v_{ce}}{v_{be}}\frac{v_{be}}{v_s} = A_{Vt}\frac{R_{ie}}{R_{ie}+R_S}$$

Ganancias de corriente:

De las Fig. 4.2.2 e) y f) resulta operando,

$$\boldsymbol{A_{It}} \equiv \frac{i_c}{i_b} = \frac{h_{fe} i_b \frac{1/h_{oe}}{R'_L + 1/h_{oe}}}{i_b} \quad \text{luego queda}$$

$$\boldsymbol{A_{It}} = \frac{h_{fe}}{1+h_{oe}R'_L} \cong h_{fe} \quad \text{con } h_{oe}R'_L \leq 0{,}1$$

$$\boldsymbol{A_{Ie}} \equiv \frac{i_o}{i_i} = \frac{i_o}{i_c}\frac{i_c}{i_b}\frac{i_b}{i_i} \quad \text{de las figuras se tiene}$$

$$i_o = -i_c \frac{R_C}{R_C+R_L} \quad \text{y además} \quad \frac{i_b}{i_i} = \frac{R_B}{R_B+R_{it}}$$

$$\boldsymbol{A_{Ie}} = -\frac{R_C}{(R_C+R_L)}\frac{h_{fe}}{(1+h_{oe}R'_L)}\frac{R_B}{(R_B+R_{it})}$$

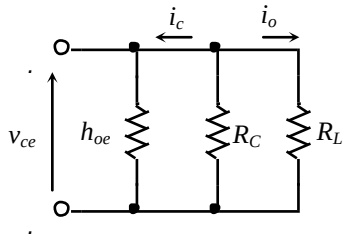


Figura 4.2.2 e)

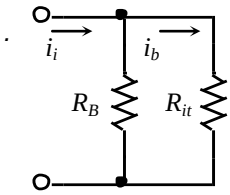


Figura 4.2.2 f)

La **resistencia de entrada** del transistor y de la etapa se obtiene de la Figura 4.2.2 c), como sigue:

$$v_{be} = h_{ie} i_b + h_{re} v_{ce}$$

$$\boldsymbol{R_{it}} \equiv \frac{v_{be}}{i_b} = h_{ie} + \frac{h_{re}.v_{ce}}{i_b}, \text{ en la salida se tiene}$$

$$v_{ce} = -h_{fe} i_b (1/h_{oe} \parallel R'_L) \quad \text{luego queda}$$

$$\boldsymbol{R_{it}} = h_{ie} - \frac{h_{re}.h_{fe}R'_L}{1+h_{oe}R'_L} \cong h_{ie}$$

$$\boldsymbol{R_{ie}} = R_B \parallel R_{it} \cong R_B \parallel h_{ie}$$

Para la **resistencia de salida** del transistor quitando R'_L y excitando desde la salida con $v_o = v_{ce}$ e $i_o = i_c$, se tiene así:

$$R_{ot} \equiv \frac{v_o}{i_o} = \frac{v_{ce}}{i_c}\Big|_{v_s=0}$$

$$i_c = h_{fe} i_b + v_{ce} h_{oe}$$

$$i_b = -\frac{h_{re} v_{ce}}{h_{ie} + R'_S}$$

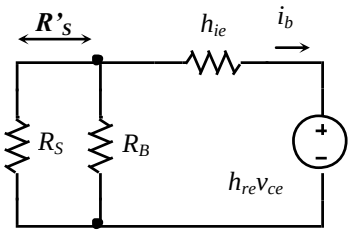


Figura 4.2.2 g)

$$i_c = -\frac{h_{re} h_{fe} v_{ce}}{h_{ie} + R'_S} + h_{oe} v_{ce} = \left(-\frac{h_{re} h_{fe}}{h_{ie} + R'_S} + h_{oe} \right) v_{ce}$$

$$R_{ot} = \frac{1}{h_{oe} - \dfrac{h_{re} h_{fe}}{h_{ie} + R'_S}} \cong \frac{1}{h_{oe}} \quad \text{si } h_{re} \cong 0$$

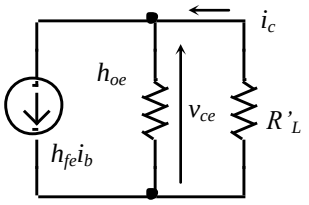


Figura 4.2.2 h)

Para la etapa queda: $\boldsymbol{R_{oe}} = R_{ot} \parallel R_C$

Con los resultados anteriores podemos obtener una expresión general para la ganancia de tensión, como sigue:

$$\boldsymbol{A_{Vt}} = -A_{It} \frac{R'_L}{R_{it}}$$

4.2.3 Etapa en Colector Común (CC)

La Fig. 4.2.3 a) muestra un amplificador monoetapa en configuración colector común. En las Fig. 4.2.3 b) y c) tenemos el equivalente en AC y con el modelo del transistor respectivamente. De éstas últimas hacemos, con $R'_L = R_L \| R_E$, $h_{oe} = 0$, ($R_E << 1/h_{oe}$).

$R'_L = R_E \| R_L \quad R'_S = R_S \| R_B \quad i_e = (h_{fe} + 1) i_b$

$$A_{Vt} \equiv \frac{v_{ec}}{v_{bc}}, \qquad \begin{aligned} v_{ec} &= i_e R'_L = (h_{fe}+1) i_b R'_L \\ v_{bc} &= i_b h_{ie} + (h_{fe}+1) i_b R'_L \end{aligned}$$

$$A_{Vt} = \frac{(h_{fe}+1) R'_L}{h_{ie} + (h_{fe}+1) R'_L} \cong 1 \quad \text{si } (h_{fe}+1) R'_L >> h_{ie}$$

$$A_{Ve} \equiv \frac{v_o}{v_i}, \quad v_o = v_{ec}; \quad v_i = v_{bc} \Rightarrow A_{Ve} = A_{Vt}$$

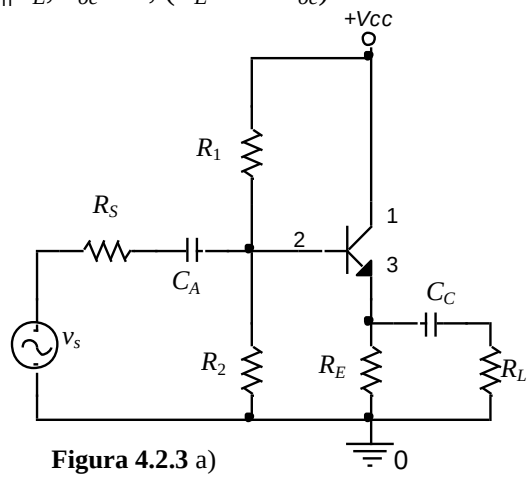
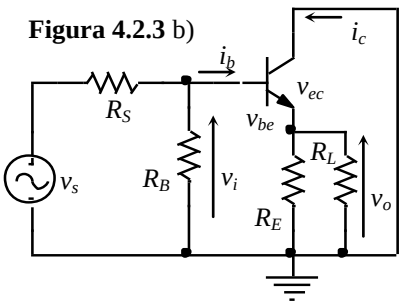


Figura 4.2.3 a)

Figura 4.2.3 b)



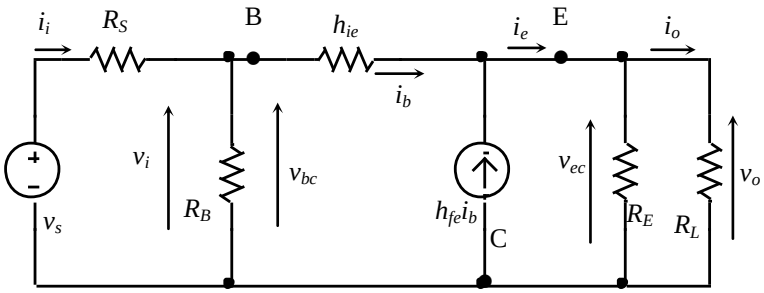


Figura 4.2.3 c)

$$A_{Vs} \equiv \frac{v_o}{v_s} = \frac{v_o}{v_i}\frac{v_i}{v_s} = A_{Vt}\frac{R_{ie}}{R_{ie}+R_s}$$

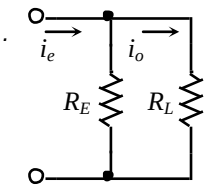


Figura 4.2.3 d)

$$A_{It} \equiv \frac{i_e}{i_b} = h_{fe}+1,$$

$$A_{Ie} \equiv \frac{i_o}{i_i} = \frac{i_o}{i_e}\frac{i_e}{i_b}\frac{i_b}{i_i} = \frac{R_E}{R_E+R_L}(h_{fe}+1)\frac{R_B}{R_B+R_{it}}$$

$$R_{it} \equiv \frac{v_{bc}}{i_b} = \frac{i_b h_{ie} + (h_{fe}+1)i_b R'_L}{i_b} = h_{ie} + (h_{fe}+1)R'_L$$

$$R_{ie} = R_{it} \parallel R_B$$

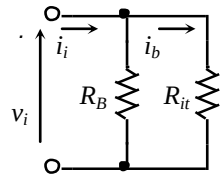


Figura 4.2.3 e)

$$R_{ot} \equiv \frac{v_{ec}}{i_e} \quad \text{con } v_s = 0$$

$$i_e = i_b + i_b h_{fe} = (h_{fe}+1)i_b$$

$$i_b = \frac{v_{ec}}{h_{ie}+R'_S} \quad \therefore \; i_e = \frac{v_{ec}(h_{fe}+1)}{h_{ie}+R'_S}$$

$$R_{ot} = \frac{h_{ie}+R'_S}{h_{fe}+1}, \qquad R_{oe} = R_{ot} \parallel R_E$$

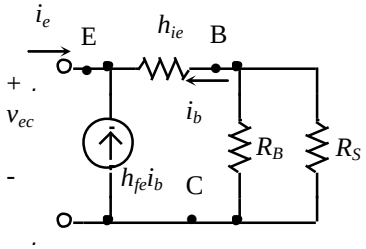


Figura 4.2.3 f)

R_{ot} es baja, R_{it} es alta, sirve para adaptar impedancias. h_{oe} se desprecia pues R_E se elige baja en general y queda en paralelo con R_L. h_{ie} es generalmente bajo pues en CC la I_C es relativamente grande.

4.2.4 Etapa en Base Común (BC)

La Fig. 4.2.4 a) muestra un amplificador monoetapa en configuración base común. En las Fig. 4.2.4 b) y c) tenemos el equivalente en AC con un modelo simplificado del transistor respectivamente. De éstas últimas hacemos,

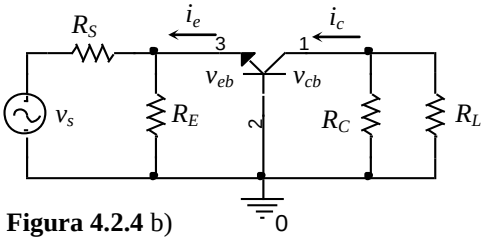


Figura 4.2.4 b)

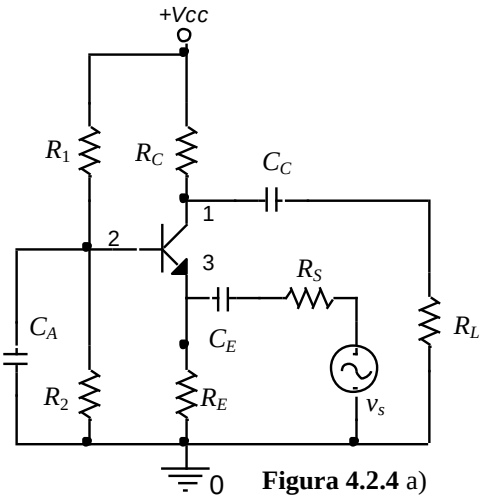


Figura 4.2.4 a)

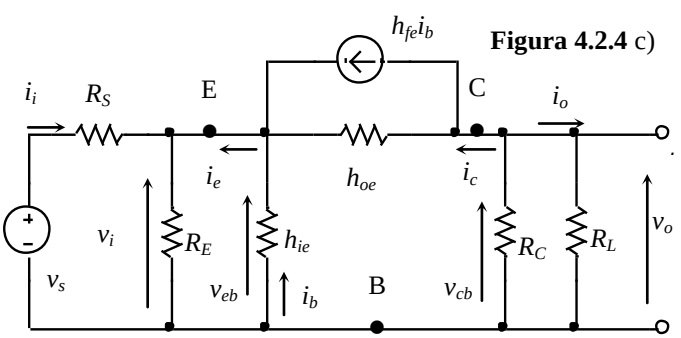


Figura 4.2.4 c)

Con $R'_L = R_L \| R_C$, $h_{oe} = 0$.

$$A_{Ve} \equiv \frac{v_o}{v_i} = \frac{v_{cb}}{v_{eb}} = A_{Vt}\,, \quad A_{Vs} \equiv \frac{v_o}{v_s}$$

$v_{cb} = -h_{fe}\, i_b\, R'_L$ y $v_{eb} = -\, i_b\, h_{ie}$

por lo que resulta $A_{Vt} = A_{Ve} = \dfrac{h_{fe} R'_L}{h_{ie}}$, ídem EC sin inversión.

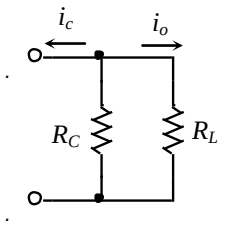


Figura 4.2.4 d)

$$A_{It} \equiv \frac{i_c}{i_e} = \frac{h_{fe} i_b}{h_{fe} i_b + i_b} = \frac{h_{fe}}{h_{fe}+1} \cong 1$$

$$A_{Ie} = \frac{i_o}{i_c}\frac{i_c}{i_e}\frac{i_e}{i_i} = \left[-\frac{R_C}{R_C+R_L}\right]\left[\frac{h_{fe}}{h_{fe}+1}\right]\left[-\frac{R_E}{R_E+R_{it}}\right]$$

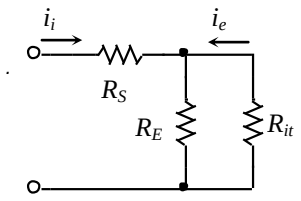


Figura 4.2.4 e)

$$R_{it} \equiv \frac{v_{eb}}{i_e} = \frac{i_b h_{ie}}{h_{fe} i_b + i_b} = \frac{h_{ie}}{h_{fe}+1} \qquad R_{ie} = R_E \parallel R_{it}$$

$$R_{ot} \equiv \frac{v_{cb}}{i_c}\Big|_{v_s=0} \Rightarrow R_{ot} \cong 1/h_{oe} \cong \infty \text{ y } R_{oe} = R_C$$

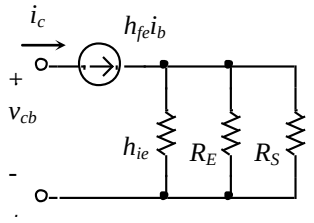


Figura 4.2.4 f)

Si C_A no estuviera, aparece $R_B = R_1 \| R_2$ entre base y tierra, esto modifica las ecuaciones anteriores como sigue:

A_{It} y R_{ot} ídem anterior, $R_{it} \equiv \dfrac{h_{ie}+R_B}{h_{fe}+1}$, $A_{Vt} = A_{Ve} = \dfrac{h_{fe} R'_L}{h_{ie}+R_B}$. Demostrarlo.

La configuración base común tiene ganancia de tensión similar a la de emisor común. Sin embargo su resistencia de entrada es mucho más baja y su resistencia de salida muy grande, no deseables en amplificadores de tensión aunque adecuados como búferes de corriente o si la fuente de señal es tipo Norton.

4.2.5 Etapa en Emisor Común (EC) con R_E

La Fig. 4.2.5 a) muestra un amplificador monoetapa en configuración emisor común con resistencia de emisor. En las Fig. 4.2.5 b) y c) tenemos el equivalente en AC y con el modelo simplificado del transistor respectivamente. De éstas últimas hacemos,

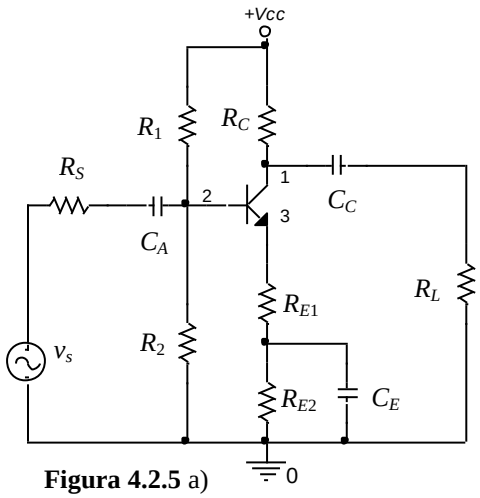


Figura 4.2.5 a)

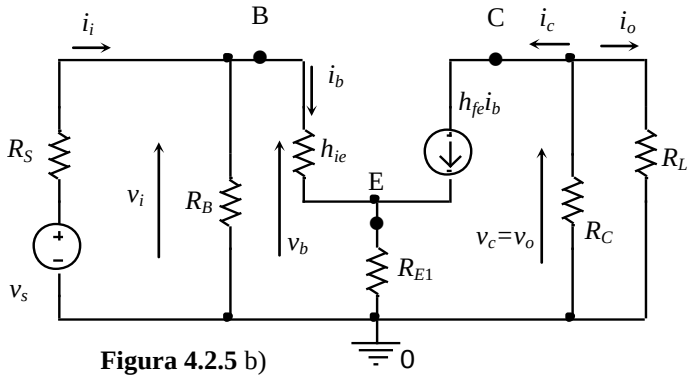


Figura 4.2.5 b)

$$A_{It} \equiv \frac{i_c}{i_b} = \frac{h_{fe} i_b}{i_b} = h_{fe}$$

$$A_{Ie} \equiv \frac{i_o}{i_i} = \frac{i_o}{i_c}\frac{i_c}{i_b}\frac{i_b}{i_i} = \left[-\frac{R_C}{R_C + R_L}\right]\left[h_{fe}\right]\left[\frac{R_B}{R_B + R_{it}}\right]$$

$$A_{Vt} \equiv \frac{v_c}{v_b} = \frac{-i_c R'_L}{\left[h_{ie} + (h_{fe}+1)R_{E1}\right] i_b} = -\frac{h_{fe} R'_L}{h_{ie} + (h_{fe}+1)R_{E1}}$$

$$A_{Ve} = \frac{v_o}{v_i} = A_{Vt}$$

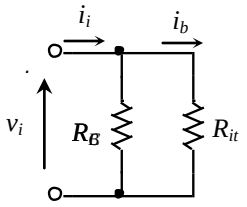


Figura 4.2.5 c)

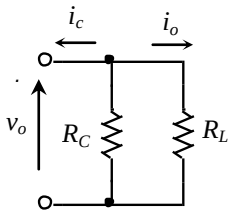


Figura 4.2.5 d)

Si $(h_{fe} + 1)R_{E1} >> h_{ie}$ y $h_{fe} >> 1$ $\Rightarrow$ $A_{Vt} \cong -\dfrac{R'_L}{R_{E1}}$

$$R_{it} = \frac{v_b}{i_b} = h_{ie} + (h_{fe}+1)R_{E1}$$

$$R_{ot} = \infty \quad \text{y} \quad R_{oe} = R_C$$

Si consideramos el h_{oe}, todas las características de la etapa se verán afectadas de una manera compleja. Modificamos el análisis del circuito de la siguiente manera para la resolución: podemos reflejar R_{E1} a la entrada y a la salida, considerando las ecuaciones siguientes:

$A_{It} = \dfrac{i_c}{i_b}$, $\quad i_e = i_b + i_c = i_b(1 + A_{it}) \quad \Rightarrow \quad i_e = i_c/A_{It} + i_c = i_c(1 + A_{It})/A_{It}$

Pasamos así a un circuito equivalente modificado de la etapa en EC sin R_E, de la siguiente manera:

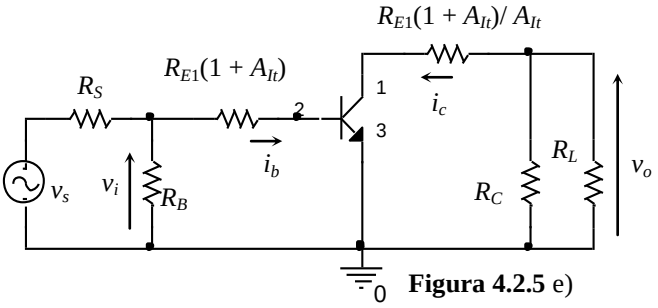


Figura 4.2.5 e)

Del punto 4.2.2, recordando las ecuaciones, queda

$$A_{It} = \frac{h_{fe}}{1 + h_{oe}(R'_L + R'_{E1})} = \frac{h_{fe}}{1 + h_{oe}\left[R'_L + \dfrac{1 + A_{It}}{A_{It}} R_{E1}\right]}$$

Despejando A_{It}

$$A_{It} = \frac{h_{fe} - h_{oe} R_{E1}}{1 + h_{oe}(R'_L + R_{E1})}$$

Si $h_{oe}(R'_L + R_{E1}) \leq 0{,}1$ vale el modelo aproximado con dos parámetros, y $R'_{E1} \cong R_{E1}$ si $A_{It} \cong h_{fe} >> 1$.

$$A_{Ie} \equiv \frac{i_o}{i_i} = \frac{i_o}{i_c}\frac{i_c}{i_b}\frac{i_b}{i_i} = \left(-\frac{R_C}{R_C + R_L}\right) A_{It} \left(\frac{R_B}{R_B + R_{it}}\right)$$

$$R_{it} = \frac{v_i}{i_b} = h_{ie} + R_{E1}(1 + A_{It}) \quad \therefore \quad R_{it} = h_{ie} + R_E \frac{(1+h_{fe})h_{oe}^{-1} + R_L^{'}}{h_{oe}^{-1} + R_L^{'} + R_E}$$

$$A_{Ve} = \frac{v_o}{v_i} = -\frac{i_c R_L^{'}}{i_b\left[h_{ie} + (1 + A_{It})R_{E1}\right]} = -\frac{A_{It} R_L^{'}}{h_{ie} + (1 + A_{It})R_{E1}} = -\frac{A_{It} R_L^{'}}{R_{it}}$$

En el circuito de salida con $v_S = 0$, tenemos el siguiente circuito equivalente:

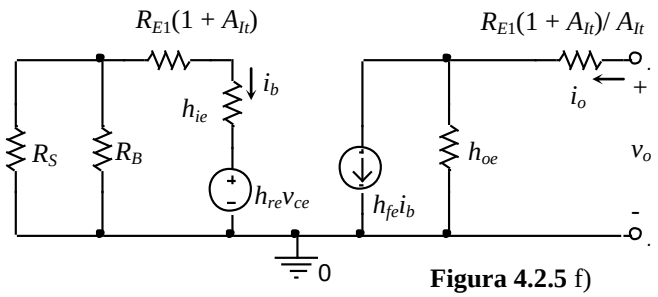


Figura 4.2.5 f)

$$i_c = h_{fe} i_b + h_{oe} v_{ce} \quad ; \quad i_b = -\frac{h_{re} v_{ce}}{h_{ie} + R_{E1}(1 + A_{It}) + R_S^{'}}$$

Reemplazando i_b en i_c podemos hacer,

$$R_{ot} = R'_{E1} + R'_{ot} \quad \text{con} \quad R'_{ot} = \frac{v_{ce}}{i_c} = \frac{1}{h_{oe} - \dfrac{h_{re} h_{fe}}{h_{ie} + R_{E1}(1 + A_{It}) + R_S^{'}}} \; ; \quad R_{oe} = R_{ot} \| R_C$$

El último análisis se puede repetir con otro enfoque según el libro de Schubert-Kim, observando las Figuras 4.2.5.g hasta la j:

$$r_o = \frac{1}{h_{oe}} \qquad R_t = \frac{v}{i_b} = R_{E1}\frac{(1+h_{fe})h_{oe}^{-1} + R_L^{'}}{h_{oe}^{-1} + R_L^{'} + R_E} \qquad R_{it} = h_{ie} + R_t = \frac{v_b}{i_b} \qquad R_C \| R_L = R'_L$$

$$R_i = h_{ie} + R_{E1}\frac{(1+h_{fe})h_{oe}^{-1} + R_L^{'}}{h_{oe}^{-1} + R_L^{'} + R_E}$$

$$A_{Vt} = \frac{v_o}{v_b} = -\frac{h_{fe}(R_L^{'} \| h_{oe}^{-1})}{R_{it}} + \frac{R_L^{'}}{R_L^{'} + h_{oe}^{-1}}\frac{R_t}{R_{it}} \approx -\frac{h_{fe}(R_L^{'} \| h_{oe}^{-1})}{R_{it}}$$

Si $\quad h_{oe} R_L^{'} < 0{,}1 \quad \Rightarrow A_{Vt} \approx -\dfrac{h_{fe} R_L^{'}}{h_{ie} + (1 + h_{fe})R_{E1}}$

$$A_I = \frac{i_o}{i_b} = -\frac{h_{fe} h_{oe}^{-1}}{R_L^{'} + h_{oe}^{-1}} + \frac{R_t}{R_L^{'} + h_{oe}^{-1}} \approx -\frac{h_{fe} h_{oe}^{-1}}{R_L^{'} + h_{oe}^{-1}}$$

$$R_o = \frac{v_o}{i_o}\Big|_{v_s = 0} = R_{E1} \parallel (R_s^{'} + h_{ie}) + h_{oe}^{-1}\left(1 + \frac{h_{fe}R_{E1}}{R_{E1} + h_{ie} + R_s^{'}}\right) \qquad R_B || R_S = R'_S$$

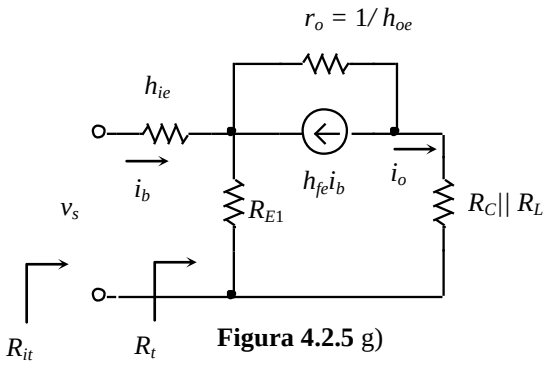


Figura 4.2.5 g)

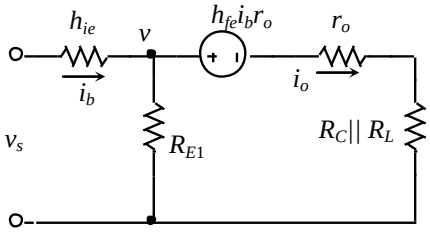


Figura 4.2.5 h)

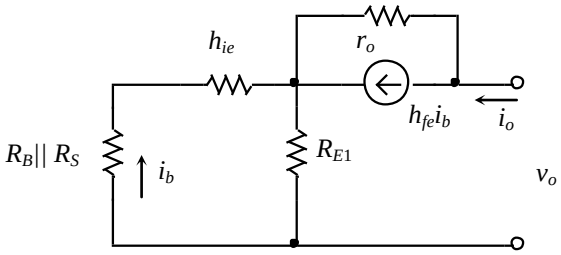


Figura 4.2.5 j)

Tabla 4.1: Comparación cualitativa de las configuraciones básicas con BJT

	EC	EC + R_E*	CC	BC
A_{Vt}	ALTA	MEDIA	$\cong 1$	MEDIA A ALTA
A_{It}	ALTA	ALTA	ALTA	$\cong 1$
R_{it}	MEDIA	ALTA	ALTA	BAJA
R_{ot}	ALTA	MUY ALTA	BAJA	MUY ALTA

Tabla 4.2: Resumen de las ecuaciones simplificadas de una etapa con BJT

	EC	EC + R_E*	CC	BC
A_{Vt}	$-\frac{h_{fe}R'_L}{h_{ie}}$	$-\frac{h_{fe}R'_L}{h_{ie}+(h_{fe}+1)R_E} \cong -\frac{R'_L}{R_E}$	$\frac{h_{fe}R'_L}{h_{ie}+(h_{fe}+1)R'_L} = \frac{h_{fe}R'_L}{R_{it}} \cong 1$	$\frac{h_{fe}R'_L}{h_{ie}}$
A_{It}	h_{fe}	h_{fe}	$h_{fe} + 1$	$\frac{h_{fe}}{h_{fe}+1} \cong 1$
R_{it}	h_{ie}	$h_{ie} + (h_{fe} + 1)R_E$	$h_{ie} + (h_{fe} + 1)R'_L$	$\frac{h_{ie}}{h_{fe}+1}$
R_{ot}	$\cong \frac{1}{h_{oe}} \approx \infty$	$\approx \infty$	$\frac{h_{ie}+R'_S}{h_{fe}+1}$	$\cong \frac{1}{h_{oe}} \approx \infty$

Tabla 4.3: Comparación cuantitativa de las configuraciones básicas con BJT

	EC	EC + R_E*	CC	BC
A_{Vt}	150	$\cong R'_L / R_E = 30$	0,993	150
A_{It}	100	100	101	0,99
R_{it}	2kΩ	2kΩ + (101)0,1kΩ = 12,1kΩ	305kΩ	19,80 Ω
R_{ot}	$\approx \infty$	$\approx \infty$	49,50	$\approx \infty$

Se utilizarán los siguientes valores para el modelo simplificado: I_{CQ} = 1,3 mA, T ambiente, V_T = 26 mV, h_{fe} = 100, $h_{ie} = h_{fe}V_T/I_{CQ}$ = 2 kΩ, R'_L = 3 kΩ, R'_S = 3 kΩ, R_E = 100 Ω.
$R'_L = R_C||R_L$ o $R_E||R_L$, $R'_S = R_B||R_S$

* En todos los casos use la parte de la resistencia en el emisor que corresponda en el circuito para señal.

Teorema de Miller

$Z_1 = Z / (1 - A)$	$Z_2 = ZA/(A - 1)$
$A = v_2 / v_1$	

4.3 TEOREMA DE MILLER

Este teorema permite crear circuitos equivalentes. También reduce la complejidad de los circuitos que tienen elementos de conexión (impedancias) entre la entrada y la salida de un amplificador o cuadripolo en general.

Este dice: "dada una red lineal general cualquiera que tiene un terminal común y dos terminales cuya relación de tensión, con respecto al terminal común, viene dada por

$$\boldsymbol{v_2 = Av_1}$$

Si los dos terminales de la red son luego interconectados por una impedancia Z, se puede formar un circuito equivalente. Este circuito equivalente consiste de la misma red lineal general y dos impedancias; cada una de las cuales en paralelo entre cada uno de los terminales y el terminal común. Estas dos impedancias tienen un valor

$$\boldsymbol{Z_1 = Z / (1 - A) \quad , \quad Z_2 = ZA/(A - 1)}$$

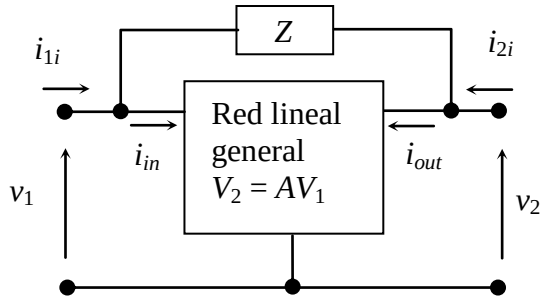


Figura 4.3 a)

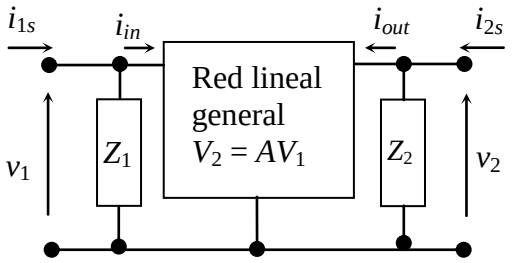


Figura 4.3 b) $i_{1s} = i_{1i}$; $i_{2s} = i_{2i}$

Supongamos que sea $Z = 1/j\omega C$. Luego por Miller se tendrá que el capacitor reflejado en la entrada resulta,

$$Z_1 = Z/(1 - A) = 1/[j\omega C(1 - A)] \qquad \text{si } A >> 1 \Rightarrow C_1 \cong |CA|$$

Por el mismo motivo el capacitor reflejado en la salida aparece como,

$$Z_2 = ZA/(A - 1) = A/\, j\omega C(A - 1) \qquad \text{si } A >> 1 \Rightarrow Z_2 \cong Z = 1/j\omega C \quad \text{y } C_2 = C$$

Podemos ver que esta situación aparece en el modelo de Giacoletto con C_μ. Al valor reflejado de C_μ a la entrada se lo denomina capacidad Miller. Ésta se sumará a C_π dando en consecuencia la limitación en alta frecuencia del transistor en EC; no ocurriendo lo mismo en configuración BC y CC.

4.4 Modelo híbrido π o de Giacoletto:

Los parámetros híbridos vistos no poseen elementos dependientes de la frecuencia que permitan analizar esta situación. Por ello es necesario modificar el circuito equivalente para pequeña señal. Se agrega la resistencia $r_{bb'}$ o r_x (de pequeño valor, 50 a 500Ω) entre el terminal de contacto físico de la base y la región activa de ésta; B'es un punto ficticio interior. Representa la resistencia óhmica bulk del material entre los puntos considerados. $r_{b'e}$ o r_π es la resistencia dinámica de la región de juntura base emisor (B'E), siendo la corriente de

colector para pequeña señal, con este terminal en corto circuito, proporcional a $v_{b'e}$. Además se tiene la resistencia inversa de la juntura colector-base $r_{b'c}$ o r_μ (muy grande >20MΩ), que representa el efecto de realimentación entre la salida y la entrada. Debido al efecto Early finalmente tenemos la r_{ce} o r_o en la fuente de corriente de salida. Se agregan la capacidad de difusión de la juntura base emisor, C_π o $C_{b'e}$ y la capacidad de transición de la juntura colector base C_μ o $C_{b'c}$ para la región activa del transistor. Las capacidades aparecen debido a las cargas que hay a ambos lados de una juntura *pn* debido a la tensión de polarización, y a su vez dependiente de ésta. La capacidad en función de la tensión aplicada se puede apreciar en la siguiente gráfica:

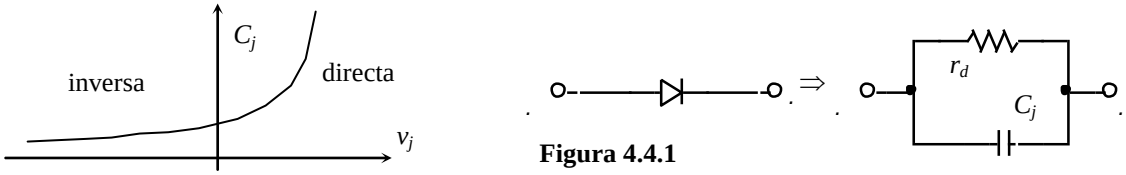


Figura 4.4.1

La capacidad de transición, como puede apreciarse, tiene poca variación con la tensión inversa aplicada, siendo su valor típico de 1-4 pF; mientras que la capacidad de la juntura base-emisor es muy variable con la polarización, siendo su valor típico de 5-200 pF.

En la Fig. 4.4.2 puede apreciarse el circuito del modelo híbrido en π o de Giacoletto. Se puede obtener los parámetros resistivos de este modelo a partir de los parámetros *h* de emisor común ya descriptos. Se supone que todos los parámetros (*R* y *C*) de este modelo son independientes de la frecuencia. Estos pueden variar con el punto de reposo; pero en un punto de polarización dado son prácticamente constantes para señales pequeñas.

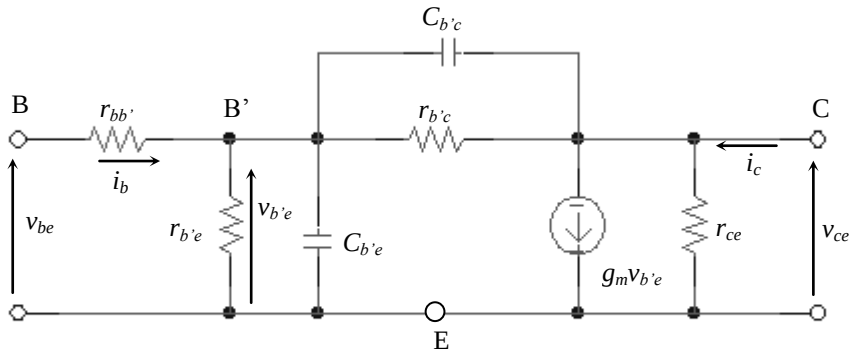


Figura 4.4.2 Modelo híbrido π o de Giacoletto

Los parámetros del **modelo híbrido π** se pueden obtener a partir del **modelo de parámetros híbridos** (*no confundir*) cuyo circuito se repite a continuación, como sigue,

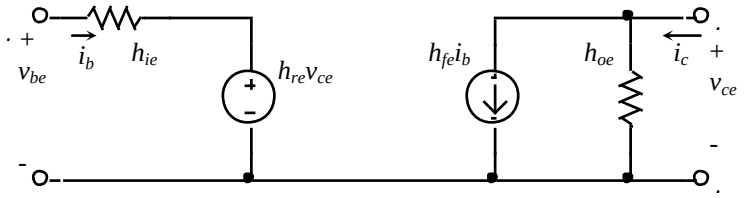


Figura 4.4.3 c) Modelo de parámetros híbridos.

a) g_m es la **trasconductancia**. De las ecuaciones para el cálculo de h_{ie} haciendo ahora $v_{be} = v_{b'e}$ resulta como antes:

$$i_C \cong I_{CQ} e^{v_{b'e}/V_T} \cong I_{CQ}(1 + \frac{v_{b'e}}{V_T})$$

$$i_c = \frac{I_{CQ} v_{b'e}}{V_T} = g_m v_{b'e}$$

$$g_m = \frac{\partial i_C}{\partial v_{b'e}}|_{V_{CEq}} \quad \text{otra manera de considerarla}$$

Donde: $\boldsymbol{g_m = I_{CQ} / V_T}$

I_{CQ} = corriente de colector de polarización.
V_T = voltaje térmico = kT/e, a temperatura ambiente V_T = 26 mV
k = constante de Boltzmann en Joule/K
T = temperatura en K
e = carga del electrón.

b) $\boldsymbol{r_{b'e}}$. Si se tiene en cuenta que $r_{b'c}$ representa el elemento que introduce una realimentación del colector a la base (similar al efecto que producía h_{re} en el modelo de parámetros híbridos), nótese que su valor debe ser muy elevado (baja realimentación), por lo tanto se puede suponer que $r_{b'e} << r_{b'c}$ y que la mayor parte de la corriente de base circula por $r_{b'e}$. Si se hace $\boldsymbol{v_{ce} = 0}$, la corriente de cortocircuito de colector será, entonces:

$$i_c \cong g_m v_{b'e} \cong g_m i_b r_{b'e}$$

Para el modelo de parámetros h, la corriente de cortocircuito de colector será:

$$i_c = h_{fe} i_b$$

Igualando las dos últimas ecuaciones queda: $\boldsymbol{r_{b'e} = h_{fe} / g_m}$

c) $\boldsymbol{r_{b'c}}$. Si ahora se deja la entrada a circuito abierto $\boldsymbol{i_b = 0}$ y se aplica tensión a la salida:

$$v_{be} = v_{b'e} = v_{ce} r_{b'e} / (r_{b'c} + r_{b'e})$$

Para el circuito de parámetros h:

$$v_{be} = h_{re} v_{ce}$$

Igualando ambas:

$$v_{ce} r_{b'e} / (r_{b'c} + r_{b'e}) = h_{re} v_{ce}$$
$$r_{b'e} = h_{re}(r_{b'c} + r_{b'e})$$
$$\boldsymbol{r_{b'c} = r_{b'e}(1 - h_{re}) / h_{re} \cong r_{b'e} / h_{re}}$$

d) $\boldsymbol{r_{bb'}}$. Haciendo nuevamente $\boldsymbol{v_{ce} = 0}$, y teniendo en cuenta que $r_{b'e} << r_{b'c}$,

$$i_b = v_{be} / (r_{bb'} + r_{b'e})$$

Para el circuito de parámetros h, $i_b = v_{be} / h_{ie}$
Igualando las dos ecuaciones anteriores, $v_{be} / (r_{bb'} + r_{b'e}) = v_{be} / h_{ie}$
se obtiene,

$$\boldsymbol{r_{bb'} = h_{ie} - r_{b'e}}$$

e) $\boldsymbol{r_{ce}}$. Si se hace nuevamente $\boldsymbol{i_b = 0}$,

$$i_c = v_{ce}/(r_{b'c} + r_{b'e}) + g_m v_{b'e} + v_{ce}/r_{ce}$$
$$i_c = v_{ce}/(r_{b'c} + r_{b'e}) + g_m v_{ce} r_{b'e}/(r_{b'c} + r_{b'e}) + v_{ce}/r_{ce}$$

Para el modelo de parámetros *h*, en iguales condiciones, $i_c = v_{ce} h_{oe}$

Igualando las dos últimas ecuaciones, y teniendo en cuenta que $r_{b'c} >> r_{b'e}$

$$h_{oe} = 1/(r_{b'c} + r_{b'e}) + g_m r_{b'e}/(r_{b'c} + r_{b'e}) + 1/r_{ce}$$
$$\cong g_{ce} + g_{b'c} + g_m g_{b'c} r_{b'e} = g_{ce} + g_{b'c}(1 + g_m r_{b'e})$$

donde $g_{b'c} = 1/r_{b'c}$ y $g_{ce} = 1/r_{ce}$ y como $r_{b'e} = h_{fe}/g_m$ se tiene,

$$h_{oe} = g_{ce} + g_{b'c}(1 + h_{fe})$$

luego resulta

$$g_{ce} = h_{oe} - g_{b'c}(1 + h_{fe})$$

se sabe que $g_{b'c} = 1/r_{b'c} \cong h_{re}/r_{b'e} = h_{re}g_m/h_{fe}$, reemplazando en la última ecuación,

$$g_{ce} = h_{oe} - h_{re}g_m(1 + h_{fe})/h_{fe}$$

y para $(1+h_{fe}) \cong h_{fe}$ finalmente queda, $\boldsymbol{g_{ce} \cong h_{oe} - h_{re} g_m}$

Tabla 4.4: Relación entre los modelos de pequeña señal para el transistor bipolar

Modelo híbrido π de Giacoletto	**A partir de los parámetros híbridos *h***	**Valores típicos**
$g_m = I_{CQ}/V_T$	No posee	40 mmohs (I_{CQ} = 1 mA)
$r_{b'e} \equiv r_\pi$	$h_{fe}/g_m = h_{fe}V_T/I_{CQ}$	1…5 kΩ
$r_{bb'} \equiv r_x$	$h_{ie} - r_{b'e}$	50 ...500 Ω
$r_{b'c} \equiv r_\mu$	$r_{b'e}(1 - h_{re})/h_{re} \cong r_{b'e}/h_{re}$	> 20 MΩ
$r_{ce} \equiv r_o$	$\cong (h_{oe} - h_{re}g_m)^{-1} \cong 1/h_{oe}$	~ 10^4 ... 10^5
$C_{b'c} \equiv C_\mu$	No posee	1 ... 14 pF
$C_{b'e} \equiv C_\pi =$ $C_\pi = \frac{g_m}{\omega_T} - C_\mu$	No posee	5... 200 pF

De la hoja de datos obtenemos los parámetros *h*, y con éstos los parámetros del modelo híbrido π.

4.5 Efecto de los capacitores de acoplamiento en etapas emisor común

En la Figura 4.5.1a) se observa el circuito típico y sus equivalentes para señal en b) y c).

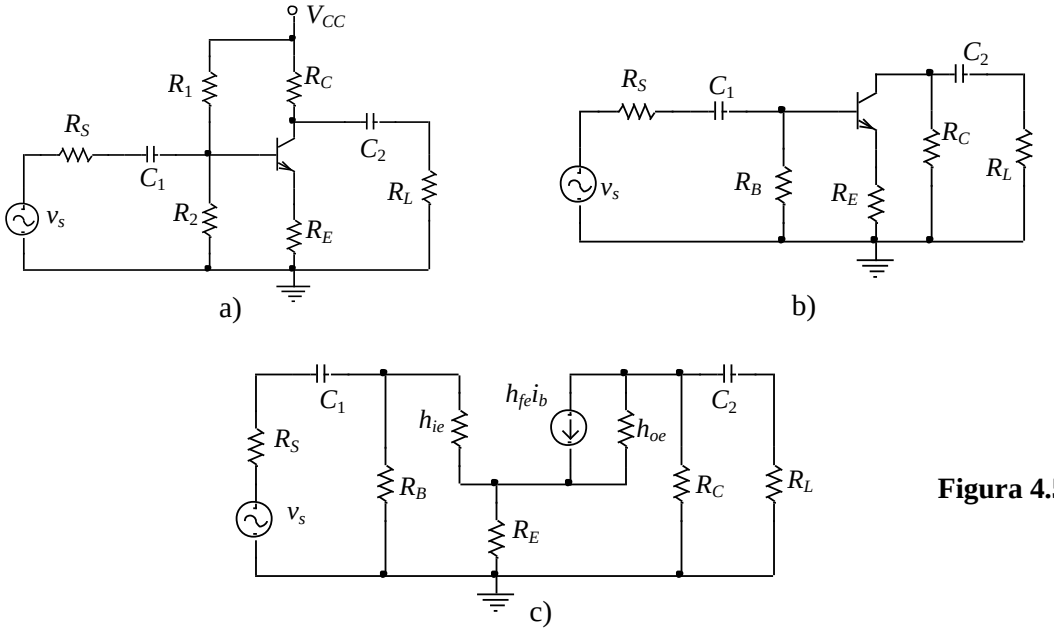


Figura 4.5.1

Despreciamos el h_{oe}, asumimos poca interacción entre la entrada y la salida, lo que nos permite analizar a éstas por separado; de acuerdo a la Figura 4.5.2 reflejando R_E obtenemos:

En la entrada planteamos: $$\omega_{p1} = \frac{1}{C_1\left(R_S + R_B \parallel (h_{ie} + (1+h_{fe})R_E)\right)} = \frac{1}{C_1 R_1} \qquad (4.5.1)$$

En la salida planteamos: $$\omega_{p2} = \frac{1}{C_2\left(R_C + R_L\right)} = \frac{1}{C_2 R_2} \qquad (4.5.2)$$

Cada polo (ω_{p1} y ω_{p2}) es la constante de tiempo formada por el capacitor de interés y las resistencias que éste "ve", como se observa en la Figura 4.5.2.

C_1 se calculará tomando $\omega_{p1} = \omega_L$, la frecuencia de corte inferior. C_2 se calculará de hacer $\omega_{p2} = \omega_L/10$ es decir una década por debajo de la frecuencia de corte inferior.

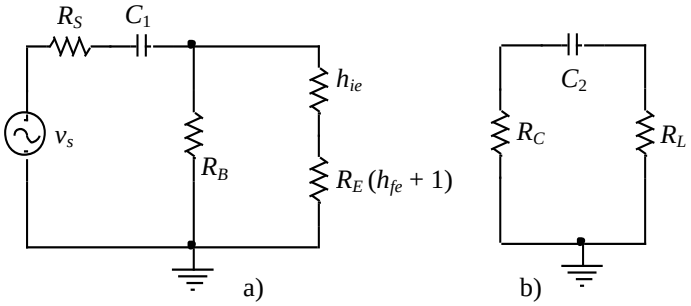


Figura 4.5.2 a) Equivalente de entrada. b) Equivalente de salida sin h_{oe}.

4.6 Efecto de los capacitores de acoplamiento y el capacitor de by-pass en etapas emisor común con R_E

En la Figura 4.6.1a) se tiene el circuito típico y sus equivalentes de señal en b) y c). C_1 y C_E interactúan, lo cual complica las ecuaciones. C_2 no interactúa con C_E pues h_{oe} se desprecia.

Como C_2 no interactúa se lo elige para que su polo esté bastante por debajo de la frecuencia de corte inferior de la etapa ($\omega_{p3} = \omega_L/10$, una década por debajo).
Los polos son, de acuerdo a la Figura 4.6.2,

$$\omega_{p1} \approx \frac{1}{R_S + h_{ie}}\left(\frac{1}{C_1} + \frac{1+h_{fe}}{C_E}\right) \tag{4.6.1}$$

$$\omega_{p2} \approx \frac{R_B + (1+h_{fe})R_E}{R_B R_E\left[C_E + (1+h_{fe})C_1\right]} \tag{4.6.2}$$

$$\omega_{p3} = \frac{1}{(R_C + R_L)C_2} \tag{4.6.3}$$

Para la selección de los capacitores, utilizamos la frecuencia de corte inferior como dato de diseño tal que $\omega_L = \omega_{p1}$, y calculamos los valores de C_1 y C_E así: haciendo $C_E = (h_{fe} + 1)C_1$, y reemplazando en la ec. 4.61 resulta $C_1 = \dfrac{2}{\omega_L(R_S + h_{ie})}$. Con este último calculo C_E.

A C_2 se lo elige de manera que corresponda a una frecuencia que sea bastante menor a la frecuencia de corte inferior del amplificador (al menos una década en frecuencia menor), tal que:

$$C_2 \geq \frac{10}{\omega_L(R_C + R_L)}$$

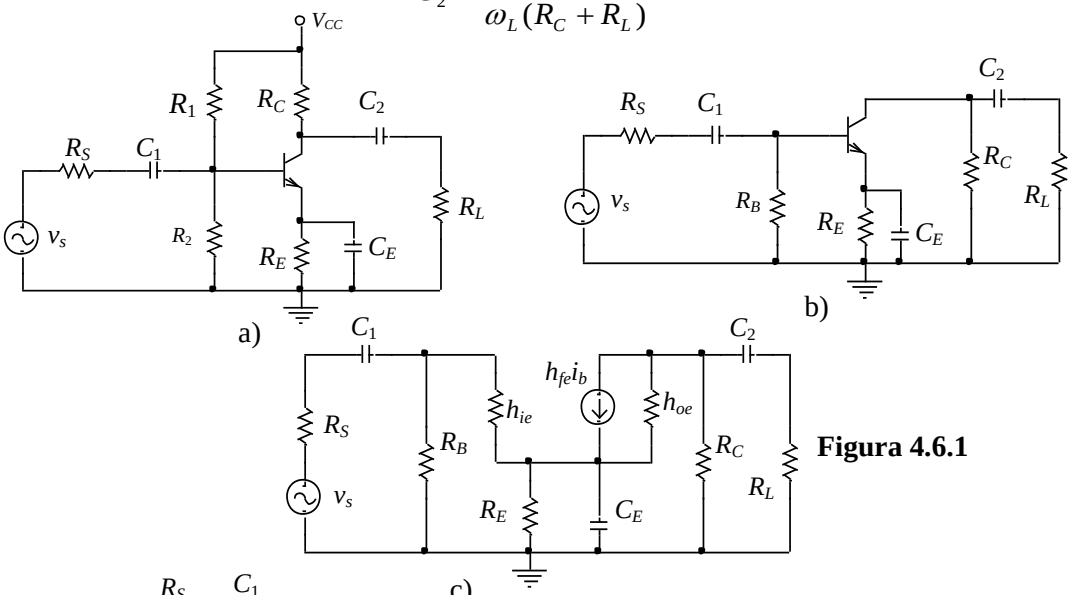


Figura 4.6.1

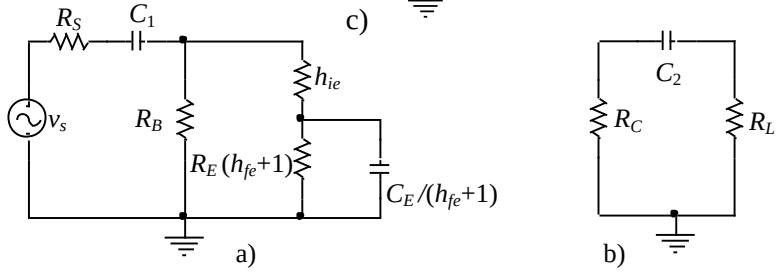


Figura 4.6.2 a) Equivalente de entrada. b) Equivalente de salida sin h_{oe}.

Los capacitores de acoplamiento y by-pass afectan la respuesta en baja frecuencia de la etapa. Los capacitores del modelo de señal (Giacoletto) del transistor afectan en alta frecuencia.

4.7 Frecuencia de transición

Para la etapa en emisor común vista, con salida en cortocircuito y sin capacitores de acoplamiento, excitando con una fuente de corriente tenemos el circuito equivalente de la Fig. 4.7.1. Resolviendo, queda:

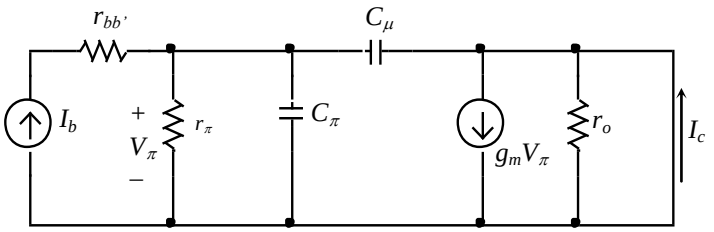


Figura 4.7.1

$$A_I(\omega) = \beta(\omega) = \frac{I_c(\omega)}{I_b(\omega)} = \frac{I_c}{V_\pi}\frac{V_\pi}{I_b} = \frac{g_m r_\pi}{1 + j\omega r_\pi (C_\pi + C_\mu)} = \frac{h_{fe}}{1 + j\omega r_\pi (C_\pi + C_\mu)} = \frac{h_{fe}}{1 + j\dfrac{\omega}{\omega_\beta}}$$

$$\omega_\beta = \frac{1}{r_\pi (C_\pi + C_\mu)}; \quad f_\beta = \frac{1}{2\pi r_\pi (C_\pi + C_\mu)} \qquad (4.7.1)$$

f_β se la denomina ***frecuencia de corte* o de –3dB**.`

Definimos f_T ***frecuencia de transición***, a aquella frecuencia que hace igual a uno el módulo de la ganancia de corriente, es decir, $|\beta| = 1$ si $f = f_T$,

$$|\beta| = 1 = \frac{|h_{fe}|}{\sqrt{1 + (f_T / f_\beta)^2}} \qquad (4.7.2)$$

$$|h_{fe}|^2 = 1 + \left(\frac{f_T}{f_\beta}\right)^2 \cong \left(\frac{f_T}{f_\beta}\right)^2 \qquad (4.7.3)$$

$$f_T = f_\beta h_{fe} \qquad (4.7.4)$$

$$f_T = \frac{h_{fe}}{2\pi r_\pi (C_\pi + C_\mu)} = \frac{g_m r_\pi}{2\pi r_\pi (C_\pi + C_\mu)} = \frac{g_m}{2\pi (C_\pi + C_\mu)} \qquad (4.7.5)$$

Dado C_μ y $\omega_T = 2\pi f_T$ de las hojas de datos, podemos hallar $C_\pi = \dfrac{g_m}{\omega_T} - C_\mu$, puesto que C_π es dependiente de la corriente de la juntura base emisor, no viene dada en las especificaciones. La trasconductancia g_m se calcula como I_C/V_T. El h_{fe} se mide u obtiene de las hojas de datos para la I_C deseada. La resistencia de la juntura base emisor se puede calcular como $r_\pi = h_{fe}/g_m$. La Fig. 4.7.2 muestra la magnitud de la respuesta en frecuencia de la ganancia de corriente en cortocircuito y los parámetros característicos.

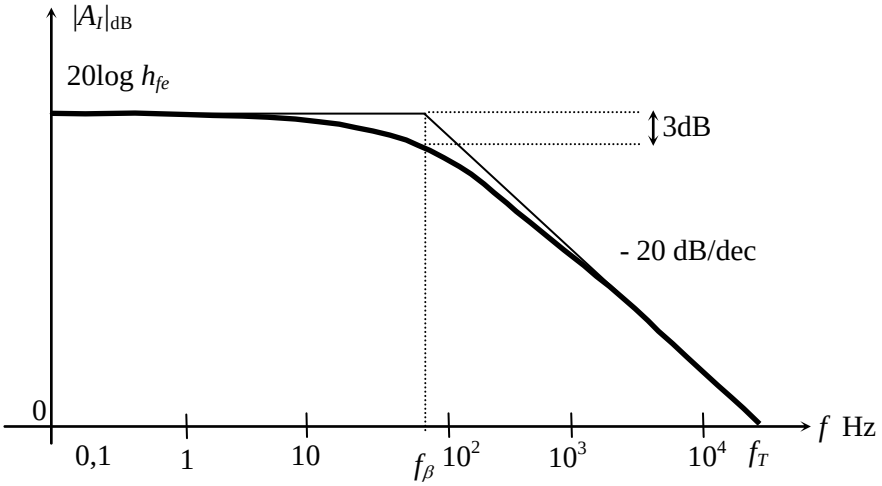


Figura 4.7.2

La Fig. 4.7.3 muestra la frecuencia de transición en función de la corriente de colector y la tensión colector emisor.

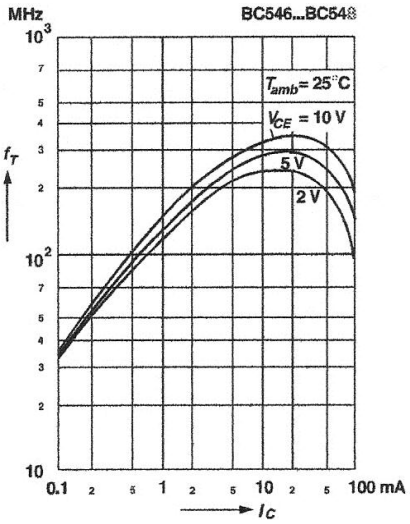


Figura 4.7.3. Frecuencia de transición en función de la corriente de colector y la tensión colector emisor.

4.8 Respuesta en alta frecuencia de una etapa en emisor común

Al circuito de la Figura 4.7.1 lo excitamos ahora con una fuente de tensión real y colocamos carga en lugar del cortocircuito. Aplicando el Teorema de Miller se obtiene el circuito equivalente de la Fig. 4.8.1:

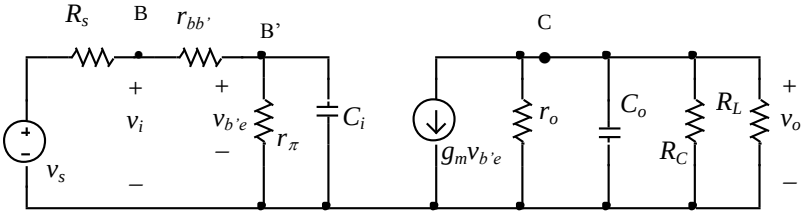


Figura 4.8.1

Resolviendo el circuito, la ganancia para baja frecuencia resulta,

$$A_V = \frac{v_o}{v_i} \cong -g_m R_L^{'} \text{, si } r_{bb'} = 0 \qquad (4.8.1)$$

Si hacemos $R'_L = r_o \| R_C \| R_L$ las capacidades referidas a la entrada y la salida según Miller quedan:

$$C_i = C_\pi + \left(1 + g_m R_L^{'}\right) C_\mu \qquad C_o = C_\mu \frac{1 + g_m R_L^{'}}{g_m R_L^{'}} \approx C_\mu \qquad (4.8.2)$$

De las hojas de datos se tiene $C_{obo} = C_\mu$. $C_1 = \left(1 + g_m R_L^{'}\right) C_\mu$ se la conoce como capacidad Miller, no presente en la configuración base común y colector común, por lo tanto éstos poseen una respuesta en frecuencia muy superior a la configuración emisor común.

Los polos del circuito se ubican en las siguientes frecuencias:

$$\omega_{p1} = \frac{1}{\left[(R_S + r_{bb'}) \| r_\pi\right] C_i} \qquad \omega_{p2} = \frac{1}{R_L^{'} C_o} = \frac{g_m}{C_\mu \left(g_m + R_L^{'}\right)} \qquad (4.8.3)$$

Normalmente $\omega_{p1} < \omega_{p2}$ aunque para R'_L muy grande se pueden parecer.
ω_{p1} domina la respuesta en alta frecuencia y se lo llama polo dominante.

CAPITULO 5: TRANSISTOR DE EFECTO DE CAMPO

CARACTERÍSTICAS GENERALES

En el Capítulo 4 de los BJTs (Transistores bipolares de juntura) se mostró el dispositivo semiconductor que opera sobre el flujo de portadores desde el emisor a la base y luego a través del colector. Por ejemplo, los transistores bipolares de juntura son dispositivos donde el flujo de la corriente del colector al emisor es regulado por la corriente inyectada en la base. Por lo tanto, el BJT es un dispositivo semiconductor de tres terminales *controlado por corriente*.

Los Transistores de Efecto de Campo (FETs) son dispositivos semiconductores que emplean un canal entre *drenador* (drain) y *fuente* (source) para mover los portadores. Una superficie de control adyacente, llamada *compuerta* (gate), regula el flujo de corriente a través del canal drenador-fuente. Este canal es controlado por un voltaje aplicado en la compuerta del FET. Por lo tanto, el FET puede describirse como un dispositivo semiconductor de tres terminales *controlado por tensión* (ver Figura 5.1). Las propiedades físicas de los FETs lo hacen adecuado para amplificación, conmutación, y otras aplicaciones electrónicas.

En este capítulo se describen las características de los Transistores de Efecto de Campo de juntura (JFETs) y los FET de Metal Oxido Semiconductor (MOSFETs). Existen otros tipos de FETs, pero los JFETs y los MOSFETs son los tipos predominantes.[i] Los MOSFETs se usan ampliamente en circuitos integrados para aplicaciones digitales: Los JFETs son los comúnmente más buscados en aplicaciones analógicas.

Dentro de cada tipo de FET, hay categorizaciones más amplias basadas en dos propiedades del canal: dopado del canal y acción de la compuerta sobre el canal. El canal del FET puede ser fabricado de material *tipo-n* o *tipo-p*. Por lo tanto, los FETs son diseñados como JFETs de canal-*n*, JFETs de canal-*p*, MOSFETs de canal-*n* (NMOSFETs) y MOSFETs de canal-*p* (PMOSFETs). Las ecuaciones que gobiernan la operación de los dos tipos de canales de los FETs son idénticas con la excepción que la corriente y el voltaje en los dos tipos son de polaridades opuestas. Esto es, la corriente y voltaje positivos del canal-*n* son reemplazadas por corriente y voltaje negativos para dispositivos canal-*p*. Además para los dos tipos de canales del FET, los MOSFET pueden cada uno ser MOSFET en modo deplexión (agotamiento, vaciamiento de canal ó empobrecimiento) o acumulación (realce o enriquecimiento). Los JFETs son dispositivos de modo deplexión. Los términos deplexión y acumulación se refieren a la acción del voltaje de control de compuerta sobre los portadores en el canal y sobre el mismo canal.

Los dispositivos de modo deplexión, se pueden pensar que tienen un canal normalmente abierto para portadores de carga entre drenador y fuente. Con la aplicación de un potencial de polaridad apropiada a través de compuerta-fuente, los portadores en el canal son esencialmente ”reducidos”, lo cual “contrae”, o estrecha, el canal entre drenador y fuente evitando que portadores de carga adicionales (corriente) circulen a través del canal. El punto en el cual la corriente drenador-fuente es “reducida”, es regulada, por disminución del voltaje de compuerta-fuente para dispositivos canal-n e incrementando el voltaje relativo a la fuente para dispositivos de canal-*p*. Para dispositivos de canal-*n*, la disminución del potencial compuerta-fuente estrecha al canal drenador-fuente cerrándolo.

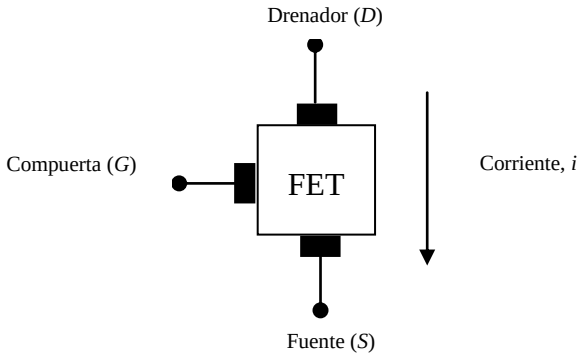


Figura 5.1: El FET representado como dispositivo de tres terminales.

El canal drenador-fuente en un dispositivo de modo acumulación es descripto como normalmente cerrado. En el caso del modo acumulación, la aplicación de un potencial de polaridad adecuada entre los terminales compuerta y fuente produce que el canal drenador-fuente, se enriquezca permitiendo que fluyan portadores adicionales (corriente). Para dispositivos de canal *n*, incrementando el potencial compuerta fuente, aumenta el canal drenador-fuente.

Ya sea del tipo *n* o *p*, los JFETs son dispositivos de modo deplexión.[ii] Los MOSFETs de deplexión pueden operar cada uno en modo deplexión o en modo acumulación dependiendo del potencial compuerta–fuente, concediendo la apertura del canal drenador-fuente para permitir el flujo de corriente (acumulación) o estrechando el canal y restringir el flujo de corriente (deplexión).

Al igual que los transistores bipolares de juntura, los FETs tienen diferentes regiones de operación. Las regiones son identificadas y caracterizadas a través de las características finales del FET. Se desarrollan circuitos simples usando las características básicas de varios tipos de FETs en cada región. Entre ellos, circuitos analizados y diseñados con el FET como fuente de corriente constante, cargas resistivas activas con FETs, un inversor CMOS (o MOS complementario), llaves FET, y resistores variables con la tensión.

En los símbolos de los FET la flecha indica lo siguiente: para los JFET la flecha indica el sentido de corriente si la juntura compuerta canal se polarizara directamente; para los MOSFET la flecha indica el sentido de corriente si la juntura sustrato canal se polarizara directamente.

5.1 TRANSISTORES DE EFECTO DE CAMPO DE JUNTURA (JFET)

Los transistores de efecto de campo de unión o juntura son dispositivos de canal-*n* o canal-*p*. En esta sección se desarrolla la relación entre corriente y voltaje de los JFETs de canal *n*. La relación de voltaje y corriente del JFET de canal *p* es idéntica al de canal-*n* con la excepción de que las polaridades de los voltajes y corrientes están invertidas. Una breve descripción de las características del JFET de canal *p* será presentada al final de esta sección.

El símbolo circuital del JFET de canal *n* se muestra en la Figura 5.1.1 a). La dirección de la flecha en el terminal de la compuerta indica el tipo de canal del dispositivo representado. Para JFETs de canal *n* la flecha apunta de la compuerta a la fuente. Para JFETs de canal-*p*, la flecha apunta desde la fuente como se muestra en la figura 5.1.1 b). La flecha representa la dirección que tendría la corriente si se polariza en directo la juntura compuerta fuente.

Todos los FETs son dispositivos de tres terminales con la compuerta actuando como terminal regulador de corriente entre drenador y fuente. La convención de signos de voltaje y corriente para el JFET de canal *n* se muestra en la Figura 5.1.2.

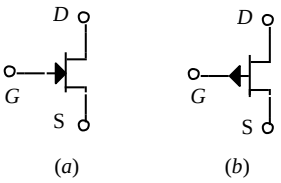


Figura 5.1.1 Símbolo circuital (*a*) JFET de canal-*n* y (*b*) JFET de canal *p*

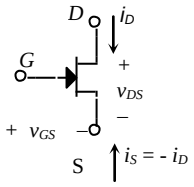


Figura 5.1.2 Voltajes y corrientes para JFET canal *n*

Cuando la juntura com puerta-fuente es polarizada inversamente en los JFETs de canal *n*, la conductividad del canal drenador-fuente se reduce con el decrecimiento del voltaje compuerta fuente V_{GS}. La corriente a través del canal drenador-fuente es I_D. La corriente en la fuente es igual a $-I_D$,

$$I_S = -I_D \tag{5.1.1}$$

5.1.1. El JFET de Canal-*n*

Puesto que los JFETs operan normalmente con la ***unión de compuerta polarizada en inversa***, la corriente de la compuerta es esencialmente cero.

$$I_G = 0. \tag{5.1.2}$$

El voltaje compuerta fuente que contrae el canal drenador-fuente es llamado voltaje de contracción V_P,

$$V_P = V_{GS} \quad \text{para: } I_D = 0, V_{DS}, \text{pequeño} \tag{5.1.3}$$

En los manuales puede aparecer tanto V_P como V_{GSoff}. Para dispositivos de canal-*n*, V_P es un voltaje negativo y es específico para cada FET en particular. Si V_{GS} es positivo (para JFETs de canal-*n*), la unión de compuerta es polarizada en directa y las ecuaciones desarrolladas en esta sección no son aplicables.

Las características de drenador (fuente común) del JFET de canal *n* se muestran en la Figura 5.1.3. Las características de transferencia se presentan en la Figura 5.1.4. La referencia de las direcciones de corriente y voltaje se ven en la Figura 5.1-2.

Las diferentes regiones de operación del JFET de canal-*n* se pueden ilustrar por la selección de una curva de las características de salida (por ejemplo, la curva correspondiente a $V_{GS} = 0$). Para pequeños valores de V_{DS}, el canal se abre para facilitar el flujo de corriente con una resistencia inicial R_{DS}. La curva de salida en esta región puede aproximarse por una línea recta con pendiente $1/R_{DS}$. Esta relación lineal aproximada de I_D vs. V_{DS} conduce al nombre descriptivo para esta región de operación, la *región ohmica*. En la región ohmica, el JFET actúa

como una resistencia variable por tensión: el voltaje compuerta-fuente V_{GS} controla el valor de la resistencia equivalente. Como V_{GS} se incrementa, el canal se estrecha, causando un

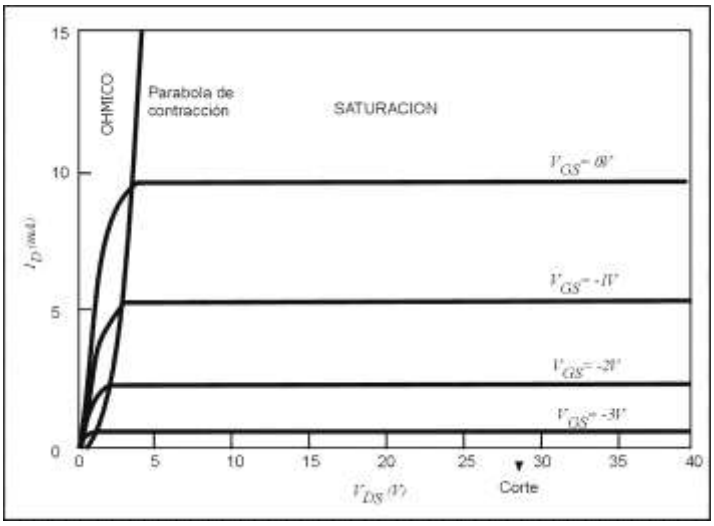


Figura 5.1.3 Características de salida de un JFET de canal *n*

incremento a la resistencia. El resultado es un incremento en la pendiente de las curvas características.

Con el incremento de la V_{DS}, cuando V_{GS} se mantiene constante, el incremento en la resistencia del canal se evidencia con la nivelación de la I_D. En la contracción del drenador, la corriente I_D se hace casi constante debido a la baja conductividad a través del canal. La resistencia del dispositivo en esta región es muy alta. La tensión drenador-fuente en la contracción es

$$V_{DS} \text{ (en la contracción)} = V_{GS} - V_P, \qquad (5.1.4)$$

El límite entre la región ohmica y de saturación se denomina parábola de contracción (ver Fig. 5.1.3) definida por la relación en la ecuación 5.1.4. Se dice que el JFET esta en saturación

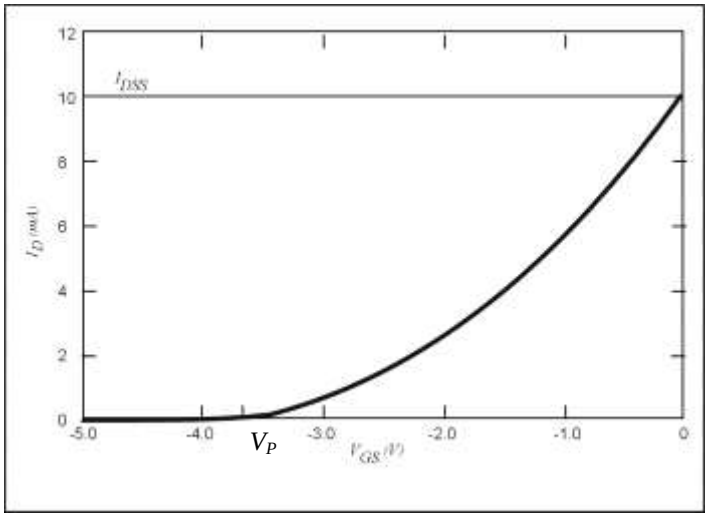


Figura 5.1.4 Características de transferencia de un JFET de canal *n*

cuando

$$V_{DS} > V_{GS} - V_P, \qquad (5.1.5)$$

La saturación de los FETs difiere de la saturación de los transistores bipolares. Los transistores de efecto de campo operando en la región de saturación son análogos a los de juntura en la región activa-directa. Como puede verse en las características de salida del FET de la Fig. 5.1.3, la operación en saturación permite que la corriente de drenador pueda ser ajustada variando un control de tensión en la compuerta, en este caso V_{GS}, independiente de V_{DS}. Los amplificadores diseñados usando JFETs toman ventaja que pequeñas variaciones de voltaje en V_{GS} controlan el flujo de corriente a través del dispositivo. Los JFETs también pueden ser utilizados como llaves ya que grandes y abruptos cambios en V_{GS} causan que la corriente I_D cambie de cero a relativamente altos valores.

El JFET no requiere una corriente de entrada de compuerta apreciable. Por lo tanto, la característica de entrada del dispositivo nos da una información para el diseño de circuito limitada y prácticamente ineficaz. La característica de transferencia mostrada en la Fig. 5.1.4 es mucho más útil. Puesto que el diodo del canal-compuerta en los JFETs debe ser polarizado en inversa, solo se permiten valores negativos de V_{GS} para la operación en las regiones ohmica y de saturación.

De la curva o característica de transferencia, la corriente con $V_{GS} = 0$ es definida como I_{DSS}, donde I_{DSS} es la corriente de drenador para $V_{GS} = 0$ para contracción ($V_{DS} = -V_P$). Aquí, I_{DSS} es dependiente de la temperatura, decreciendo con su incremento.

La relación entre voltaje y corriente de los JFETs de canal-*n* se describen para las tres regiones más comunes de operación: óhmica, de saturación, y de corte. Para JFETs de canal-*n* operando en la región óhmica o de saturación, se mantienen las siguientes condiciones de corriente y voltaje:

$$I_D > 0, \qquad V_P < V_{GS} \leq 0, \quad V_{DS} > 0$$

Los JFETs de canal-*n* tienen los siguientes parámetros característicos:

$$V_P < 0, \qquad I_{DSS} > 0.$$

En el cuadrante negativo, donde $I_D < 0$ y $V_{DS} < 0$, la unión drenador-compuerta adquiere polaridad directa causando que la corriente de drenador aumente rápidamente. Las características en esa región son similares a las del diodo (excepto que $I_D < 0$ y $V_{DS} < 0$) con el voltaje de encendido determinado por la V_{GS}.

5.1.2 Región Óhmica

La región óhmica es la porción de la curva entre $V_{DS} = 0$ y la contracción sobre las curvas de características de salida en la Figura 5.1-3. La expresión matemática que define esta región es

$$0 < V_{DS} \leq V_{GS} - V_P. \qquad (5.1.6)$$

La relación tensión corriente en esta región es

$$I_D = I_{DSS}\left[2\left(\frac{V_{GS}}{V_P} - 1\right)\frac{V_{DS}}{V_P} - \left(\frac{V_{DS}}{V_P}\right)^2\right]. \qquad (5.1.7)$$

Para pequeños valores de V_{DS}, la corriente de drenador en la ecuación 5.1.7 es aproximadamente,

$$I_D \approx 2I_{DSS}\left(\frac{V_{GS}}{V_P} - 1\right)\frac{V_{DS}}{V_P}. \qquad (5.1.8)$$

Si V_{GS} es mantenida constante, la ecuación 5.1.8 es una función de I_D y V_{DS} variando linealmente. Por lo tanto la resistencia de salida en esta región esta fundamentada tomando la derivada de la ecuación 5.1.8 con respecto a V_{DS}:

$$\frac{1}{R_{DS}} = \frac{\partial I_D}{\partial V_{DS}} = \frac{2I_{DSS}}{V_P}\left(\frac{V_{GS}}{V_P} - 1\right). \qquad (5.1.9)$$

5.1.3 Región de Saturación

La región de saturación ocupa la porción de la curva de características de salida de la figura 5.1.3 donde $I_D > 0$ y a la derecha de la parábola de contracción. Esto es,

$$V_{DS} \geq V_{GS} - V_P. \qquad (5.1.10)$$

La corriente de drenador es virtualmente independiente de la V_{DS} en esta región:

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2. \qquad (5.1.11)$$

La ecuación 5.1.11 es llamada la característica de transferencia y se muestra en la figura 5.1.4. Los valores de V_P y de I_{DSS} vienen especificados por el fabricante.

La expresión de la parábola de contracción puede obtenerse de la ecuación 5.1.11 sustituyendo $V_{GS} = V_{DS} + V_P$:

$$I_D = I_{DSS}\left(\frac{V_{DS}}{V_P}\right)^2. \qquad (5.1.12)$$

5.1.4 Región de Corte

El JFET se dice que esta en la región de corte cuando

$$V_{GS} < V_P. \qquad (5.1.13)$$

La corriente de drenador es cero cuando el JFET está en corte:

$$I_D = 0. \qquad (5.1.14)$$

5.1.5 El JFET de Canal-*p*

La convención de signos para corriente y voltaje para el JFET de canal *p* se ilustra en la Fig. 5.1.5. La flecha sobre la compuerta es saliente del dispositivo. También note que la dirección de la corriente de drenador es opuesta a la del JFET de canal-*n*. En esencia, todas las tensiones y corrientes de los terminales están invertidas. Las tensiones y corrientes que operan en el canal-*p* son:

$$V_P > 0, \qquad V_{SD} > 0, \qquad -V_P < V_{SG} \leq 0,$$
$$I_{DSS} < 0, \qquad I_D < 0.$$

Las condiciones que identifican las regiones de operación son

$$0 < V_{SD} < V_P + V_{SG} \quad \text{(región ohmica)},$$
$$V_{SD} \geq V_P + V_{SG} \quad \text{(región de saturación)}, \qquad (5.1.15)$$

$V_{SD} = V_P + V_{SG}$ (parábola de contracción).

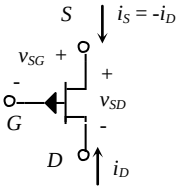


Figura 5.1.5 Sentidos de voltaje y corriente de los JFETs de canal-*p*

La curva de característica de salida y las características de transferencia para JFET de canal-*p* se muestran en las Figuras 5.1.6 y 5.1.7.

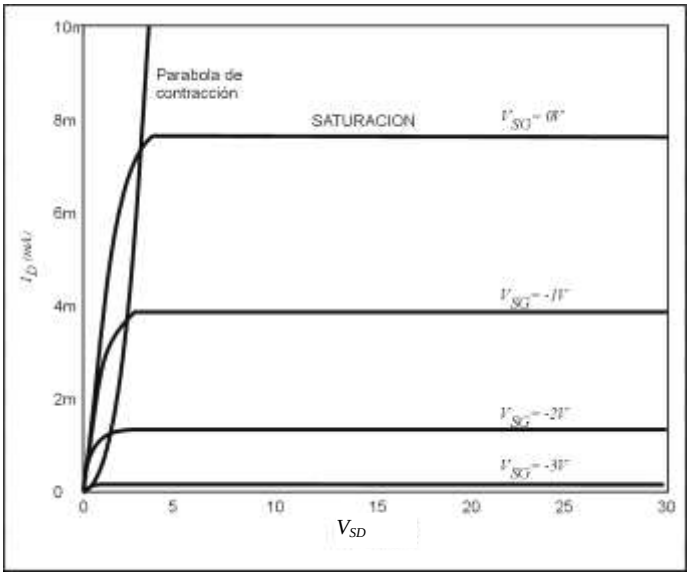


Figura 5.1.6 Característica de salida de un JFET de canal *p*

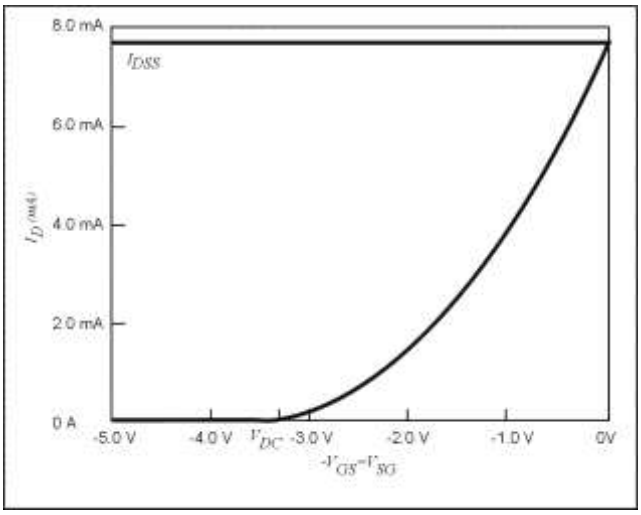


Figura 5.1.7 Característica de transferencia de un JFET de canal *p*

La relación tensión corriente en las tres regiones pueden hallarse usando las expresiones matemáticas para los JFETs de canal-*n* en las ecuaciones 5.1.6 a 5.1.14. En el JFET de canal *p* en las regiones ohmicas y de saturación, los voltajes de compuerta-fuente y drenador-fuente son de polaridad opuesta al voltaje del JFET de canal *n*. Esto es, en el JFET de canal *p*, el voltaje

compuerta-fuente es positivo ($V_{GS} > 0$ o $V_{SG} < 0$), y el voltaje drenador-fuente es negativo ($V_{DS} < 0$ o $V_{SD} > 0$).
En ambos JFETs de canal *n* y *p*, la polaridad de V_P y de I_D son opuestas.

EJEMPLO 5.1.1

Un JFET de canal *n* tiene las siguientes características: V_P = -3,5 V y I_{DSS} = 10 mA. Buscar el mínimo voltaje drenador fuente, V_{DS}, para que el JFET opere en saturación para un voltaje compuerta fuente, V_{GS} = -2V. ¿Cuál es la resistencia en la región ohmica?

SOLUCIÓN

La condición de saturación es

$$V_{DS} \geq V_{GS} - V_P.$$

Sustituyendo

$$V_{DS} \geq -2 - (-3{,}5) = 1{,}5 \text{ V}.$$

En la región óhmica la resistencia es

$$\frac{1}{R_{DS}} = \frac{\partial I_D}{\partial V_{DS}} = \frac{2I_{DSS}}{V_P}\left(\frac{V_{GS}}{V_P} - 1\right).$$

Sustituyendo V_{GS} = -2 V, V_P = -3,5 V, e I_{DSS} = 10 mA, la resistencia vale R_{DS} = 408Ω.

EJEMPLO 5.1.2

Dado un JFET de canal-*p* con los parámetros: V_P = 4 V, I_{DSS} = - 8 mA, ¿Cuál es la corriente de drenador I_D para V_{SG} = - 3 V y V_{SD} = 2 V?

SOLUCIÓN

Determinando la región de operación del FET.

$$V_P + V_{SG} = 4 - 3 = 1 \text{ V}.$$

Pero V_{SD} = 2 V así, $V_{SD} \geq V_P + V_{SG}$,

Lo cual indica que el transistor esta en *saturación*. Por lo tanto, la corriente de drenador es

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2.$$

Sustituyendo y resolviendo para I_D

$$I_D = -8.10^{-3}\left(1 - \frac{-(-3)}{4}\right)^2 = -0{,}5 \text{ mA}.$$

5.2 TRANSISTORES DE EFECTO DE CAMPO DE METAL-ÓXIDO-SEMICONDUCTOR (MOSFETs)

Los transistores de efecto de campo de metal-óxido-semiconductor se usan ampliamente en circuitos integrados. Ya que los dispositivos MOS pueden ser fabricados en geometrías muy pequeñas y son relativamente simples de fabricar, la mayoría de los circuitos de muy alta escala de integración (VSLI) son fabricados de dispositivos MOS.

Los FETs de metal-óxido-semiconductor (MOSFET) vienen en dos tipos:

- Tipo deplexión, empobrecimiento o vaciamiento (depletion)
- Tipo acumulación o enriquecimiento (enhancement)

Ambos tipos de MOSFET son dispositivos de canal *n* o *p*, comúnmente abreviados NMOSFET y PMOSFET, respectivamente. Los MOSFET de deplexión pueden operar en el modo deplexión o acumulación. El MOSFET de acumulación, solamente en el modo acumulación.

Esta sección considera los MOSFET tipo empobrecimiento y acumulación, separadamente.

5.2.1 MOSFET Tipo Deplexión

En esta sección se desarrollará la relación tensión y corriente de los MOSFET de canal *n* tipo deplexión (NMOSFET). La relación tensión y corriente del MOSFET de canal-*p* tipo-deplexión (PMOSFET) es idéntica a excepción que las polaridades de las tensiones y corrientes están invertidas. Las regiones de operación y la relación V-I del MOSFET de deplexión son idénticas a los JFET con el mismo canal. Ambos tipos de transistores son dispositivos de modo deplexión; esto es, con la aplicación de potencial de polaridad adecuada entre compuerta y fuente (un potencial negativo para NMOSFET), los portadores en el canal son reducidos, con lo cual se estrangula el canal por donde fluyen las cargas. Por lo tanto, los mismos tipos de parámetros del transistor son usados para describir las características tensión-corriente del MOSFET de deplexión como para el JFET. Las características operacionales del MOSFET de deplexión sin embargo son diferentes a la del JFET por un importante atributo, el MOSFET de deplexión puede operar adicionalmente en el modo acumulación con la aplicación de un potencial positivo entre compuerta-fuente, aumentando de esa manera el canal a través del cual fluye la carga de los portadores.

El símbolo de circuito del NMOSFET de deplexión se muestra en la figura 5.2.1 a). Además de los tres terminales habituales del FET (compuerta, drenaje, y fuente), el símbolo describe un terminal representando el substrato del semiconductor (*B* para el cuerpo) con una flecha apuntando a la juntura. Es común conectar el substrato a la fuente: esta conexión no afecta las características del MOSFET. Sin embargo, en circuitos integrados usando NMOSFET, el substrato es conectado comúnmente a la fuente negativa de tensión. Con los NMOSFET conectados de ese modo, garantiza que el substrato esté a señal de tierra. Desgraciadamente, esto significa que exista alguna posibilidad de que la performance del circuito se vea comprometida. Un símbolo de circuito simplificado para al NMOSFET del tipo deplexión se muestra en la Figura 5.2.2 con las direcciones de tensión y corriente estándar indicadas. Para los NMOSFET, la flecha apunta de la juntura a la fuente. La dirección de la flecha corresponde a la dirección del flujo de corriente estándar hacia el terminal de fuente.

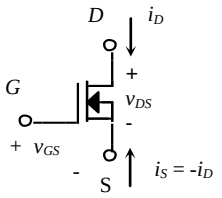


Figura 5.2.1 Símbolo de circuito para NMOSFET tipo deplexión, con el substrato conectado al terminal de fuente.

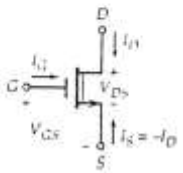


Figura 5.2.2 Símbolo de circuito simplificado para el NMOSFET de deplexión

Como en el JFET de canal *n*, la corriente de fuente es igual al negativo de la corriente de drenaje cuando la juntura compuerta-fuente es polarizada inversamente:

$$I_S = - I_D. \qquad (5.2\text{-}1)$$

El MOSFET tipo deplexión opera similarmente al JFET. Como en el JFET, la corriente de compuerta en el MOSFET es esencialmente cero:

$$I_G = 0. \qquad (5.2.2)$$

Como en el JFET, el voltaje de contracción es el voltaje compuerta-fuente que reduce o estrangula el canal drenaje-fuente. Para NMOSFET, V_P es negativa y es específica del transistor.

A diferencia del JFET de canal-*n*, el NMOSFET tipo deplexión puede operar en modo acumulación con la aplicación de una V_{GS} positiva. La aplicación de un potencial positivo en compuerta-fuente "habilita" el canal drenaje-fuente por incremento en la conductividad del canal, permitiendo el flujo de más corriente. La operación en modo acumulación del NMOSFET tipo deplexión permite el drenaje de corrientes en exceso de I_{DSS}.

Las características de drenaje típicas del NMOSFET tipo deplexión se muestran en la Fig. 5.2.3. Las características de transferencia del NMOSFET de deplexión se ven en la Figura 5.2.4.

Las curvas características del NMOSFET de deplexión de las Fig. 5.2.3 y 5.2.4 son muy similares a las curvas del JFET de canal-*n* de la Fig. 5.13 y 5.1.4. Las ecuaciones que describen las curvas del NMOSFET de deplexión y del JFET de canal-*n* son idénticas. Como en el JFET, existen tres regiones comunes de operación: la ohmica, la de saturación, y la de corte.

Para el NMOSFET de tipo deplexión operando en modo deplexión en las regiones ohmicas o de saturación, las siguientes condiciones de voltaje y corriente se mantienen:

$$I_D > 0, \qquad V_P < V_{GS} \leq 0, \quad V_{DS} > 0.$$

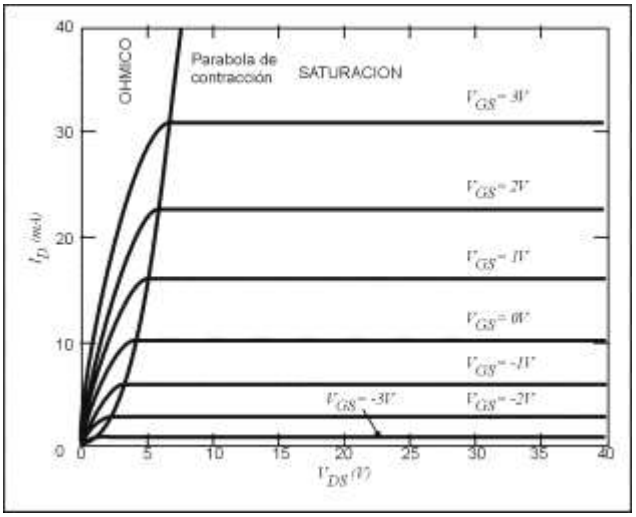


Figura 5.2.3 Característica de salida de un NMOSFET de empobrecimiento.

Para el NMOSFET tipo deplexión operando en modo acumulación, V_{GS} cambia de signo. Las condiciones de tensión y corriente son:

$$I_D > 0, \qquad V_{GS} > 0, \qquad V_{DS} > 0.$$

Los NMOSFET tipo deplexión tienen los siguientes parámetros característicos:

$$V_P < 0, \qquad I_{DSS} > 0.$$

Como en el JFET operando en el cuadrante negativo, donde $I_D < 0$ y $V_{DS} < 0$, la unión drenaje-fuente se polariza inversamente causando que la corriente de drenaje se incremente rápidamente. Las características en esa región son similares a las del diodo (excepto que $I_D < 0$ y $V_{DS} < 0$) con el voltaje determinado por V_{GS}.

Región Ohmica

La región ohmica se encuentra situada entre $V_{DS} = 0$ y la parábola de contracción en las curvas características de drenaje. La expresión matemática que define esta región es

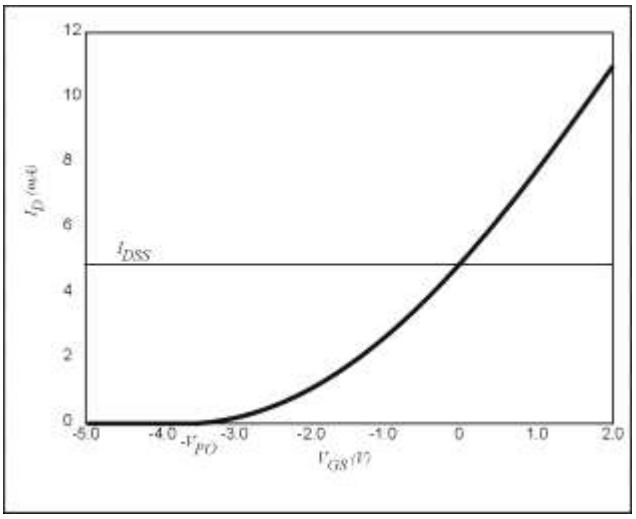


Figura 5.2.4 Característica de transferencia de un NMOSFET de empobrecimiento.

$$0 < V_{DS} \leq V_{GS} - V_P. \tag{5.2.3}$$

La relación V-I en esta región es

$$I_D = I_{DSS}\left[2\left(\frac{V_{GS}}{V_P} - 1\right)\frac{V_{DS}}{V_P} - \left(\frac{V_{DS}}{V_P}\right)^2\right]. \tag{5.2.4}$$

Para pequeños valores de I_D, la corriente de drenaje en la ec. 5.2.4 es aproximadamente

$$I_D \approx 2I_{DSS}\left(\frac{V_{GS}}{V_P} - 1\right)\frac{V_{DS}}{V_P}. \tag{5.2.5}$$

Región de Saturación

La región de saturación ocupa la porción de las curvas características de salida de la Fig. 5.2.3 donde $I_D > 0$ y a la derecha de la parábola de contracción. Esto es,

$$V_{DS} \geq V_{GS} - V_P. \tag{5.2.6}$$

La corriente de drenaje es virtualmente independiente de V_{DS} en esa región y se describe por las características de transferencia (mostrada en la Fig. 5.2.4):

$$I_D = I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2. \qquad (5.2.7)$$

Los valores de V_P e I_{DSS} los especifica el fabricante.

La expresión para la parábola de contracción se puede obtener de la ecuación 5.2.7 sustituyendo en $V_{GS} = V_{DS} + V_P$:

$$I_D = I_{DSS}\left(\frac{V_{DS}}{V_P}\right)^2. \qquad (5.2.8)$$

Región de Corte

El NMOSFET tipo deplexión se encuentra en la región de corte cuando

$$V_{GS} < V_P. \qquad (5.2.9)$$

Cuando el NMOSFET del tipo deplexión está en corte,

$$I_D = 0. \qquad (5.2.10)$$

EJEMPLO 5.2.1

Para un NMOSFET tipo deplexión con V_P = -3 V e I_{DSS} = 8 mA, ¿Cuál es la tensión drenaje fuente requerida para saturar el transistor si V_{GS} = +2 V? ¿Cuál es la corriente de drenaje?

SOLUCIÓN

La condición de contracción es $V_{DS} = V_{GS} - V_P$.
Sustituyendo los valores de las tensiones de contracción y de compuerta-fuente,

$$V_{DS} = 2 - (-3) = 5 \text{ V}.$$

Para hallar la corriente de drenaje en la contracción, se usa la expresión para la corriente en la región de saturación:

$$I_D = I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2.$$

Sustituyendo con los valores de I_{DSS}, V_{GS}, y V_P se obtiene la corriente de drenaje:

$$I_D = 8.10^{-3}\left[1-\frac{2}{(-3)}\right]^2 = 22{,}2 \text{ mA}$$

Como $I_D > I_{DSS}$, el MOSFET se encuentra operando en el modo acumulación.

PMOSFET Tipo Deplexión

El símbolo circuital del PMOSFET de tipo deplexión se muestra en la Figura 5.2.5. Todas las tensiones y corrientes del PMOSFET tipo deplexión son de polaridades opuestas a las del NMOSFET. El voltaje de contracción del PMOSFET del tipo deplexión es mayor que cero:

$$V_P > 0. \qquad (5.2.11)$$

El símbolo de circuito simplificado para el PMOSFET tipo deplexión se muestra en la Figura 5.2-6. También se muestran la convención de signos de tensión y corriente.

La relación V-I en las tres regiones del PMOSFET de deplexión pueden encontrarse usando las expresiones matemáticas para el NMOSFET de deplexión en las ec. 5.2.3 – 5.2.10. En los MOSFET de deplexión de canal-*n* y canal-*p*, la polaridad de V_P es siempre opuesta a I_D.

Para el PMOSFET de tipo deplexión operando en modo deplexión en las regiones ohmica o de saturación, se mantienen las siguientes relaciones de tensión y corriente:

$$I_D < 0, \qquad -V_P < V_{SG} \leq 0, \qquad V_{SD} > 0.$$

Para el PMOSFET tipo deplexión operando en modo acumulación, V_{SG} cambia de signo y las condiciones son:

$$I_D < 0, \qquad V_{SG} > 0, \qquad V_{SD} > 0.$$

Note que

$$V_{SG} = -V_{GS}\ , \qquad V_{SD} = -V_{DS}.$$

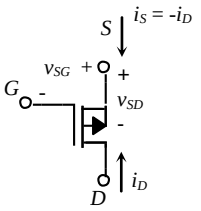


Figura 5.2.5 Símbolo circuital del PMOSFET tipo deplexión con el substrato conectado eléctricamente a la fuente.

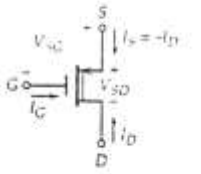


Figura 5.2.6 Símbolo circuital simplificado del PMOSFET tipo deplexión.

5.2.2 MOSFETs Tipo Acumulación

El MOSFET tipo acumulación es comúnmente usado en el diseño de circuitos integrados por su facilidad en la fabricación, pequeña geometría, y baja disipación de potencia. En ausencia de tensión entre compuerta y fuente, el canal drenaje-fuente está cerrado. Con la aplicación de potencial compuerta-fuente, el canal comienza la acumulación para conducir portadores. El mecanismo de conducción de los portadores en el tipo acumulación debe pensarse como la antítesis del MOSFET de deplexión.

Una capa de canal tipo-*n* (para el NMOSFET de acumulación) se forma para conducir portadores de drenaje a fuente con la aplicación de tensión positiva V_{GS}. Una capa de canal tipo-*p* conduce portadores desde el drenaje hacia la fuente con la aplicación de un voltaje positivo V_{SG} (negativo V_{GS}) en un PMOSFET de acumulación. La tensión compuerta-fuente que comienza para formar el canal drenaje-fuente se llama *tensión umbral* V_T. Cuando V_{GS} es menor que V_T (en los NMOSFETs), I_D es cero dado que el canal drenaje-fuente no existe. El valor de V_T es independiente del dispositivo MOSFET específico y comúnmente su valor es de 1 a 5 V para NMOSFET de acumulación. Como $I_D = 0$ para $V_{GS} = 0$, la magnitud de I_{DSS} hallada en el MOSFET de deplexión y en el JFET no es pertinente al MOSFET tipo acumulación, aunque aparece en las hojas de datos del fabricante de valor muy pequeño.

A diferencia de los MOSFETs de deplexión que operan en modos acumulación y deplexión, los MOSFETs de acumulación solo pueden operar en modo acumulación.

NMOSFET Tipo Acumulación

El símbolo del NMOSFET tipo acumulación se ve en la Fig. 5.2.7. El símbolo es similar al NMOSFET de deplexión con la excepción que tres líneas cortas representan el área de juntura. Al igual que el NMOSFET de tipo deplexión, el símbolo describe un terminal que representa al substrato con una flecha apuntando a la juntura.

Un símbolo simplificado para el NMOSFET de tipo acumulación se muestra en la Fig. 5.2.8 con la convención de signos para tensión y corriente. La flecha sobre el símbolo circuital apunta de la juntura hacia la fuente. La dirección de la flecha corresponde a la dirección del flujo relativo de corriente hacia el terminal de fuente.

En el NMOSFET de acumulación, el canal del FET permite flujo de carga solo cuando el potencial compuerta-fuente, V_{GS}, es mayor que la tensión de umbral V_T. Cuando $V_{GS} > V_T$,

$$I_S = - I_D, \qquad I_G = 0.$$

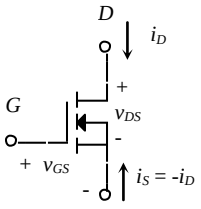


Figura 5.2.7 Símbolo de circuito del NMOSFET tipo acumulación con el substrato conectado a la fuente.

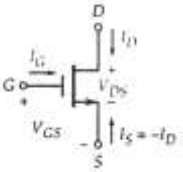


Figura 5.2.8 Símbolo de circuito simplificado para el NMOSFET de acumulación.

La característica del NMOSFET de acumulación se ve en la Fig. 5.2.9. La característica de transferencia se ven en la Fig. 5.2.10.

La tensión umbral V_T para el NMOSFET tipo acumulación tiene valor positivo. Una V_{GS} positiva mayor que V_T permite el flujo a través del FET por la formación del canal drenaje fuente. El NMOSFET se encuentra en la región óhmica cuando

$$0 < V_{DS} \leq V_{GS} - V_T. \tag{5.2.12}$$

La parábola de contracción, la cual marca el límite entre las regiones óhmica y de saturación, se define por

$$V_{DS} = V_{GS} - V_T. \tag{5.2.13}$$

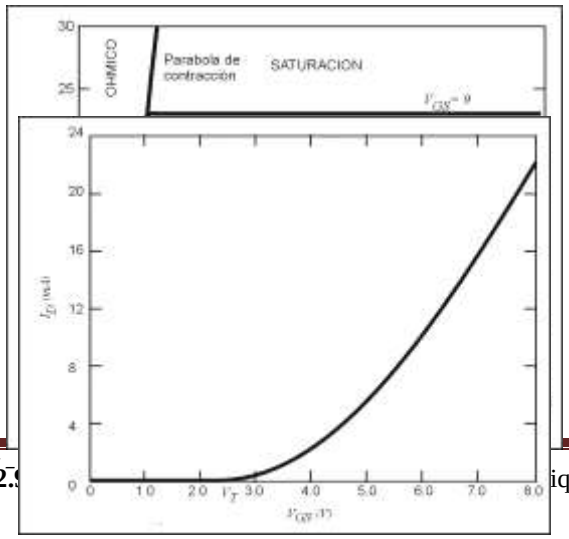


Figura 5.2.9 [illegible] iquecimiento.

Figura 5.2.10 Característica de transferencia de un NMOSFET de enriquecimiento.

La región de saturación se encuentra después de la parábola de contracción:

$$V_{DS} \geq V_{GS} - V_T. \qquad (5.2.14)$$

Para NMOSFET tipo acumulación operando en la región óhmica o de saturación,

$$I_D > 0, \qquad V_{GS} > V_T, \qquad V_{DS} > 0.$$

Los NMOSFET tipo acumulación tienen la tensión umbral de valor positivo: $V_T > 0$.

Región Óhmica

La región óhmica es la porción de las curvas características de salida entre $V_{DS} = 0$ y la parábola de contracción. La expresión matemática que define esta región es

$$0 < V_{DS} \leq V_{GS} - \mathrm{V_T}. \qquad (5.2.15)$$

En esta región, la relación V-I es

$$I_D = K\,[2(V_{GS} - V_T)V_{DS} - V_{DS}^2]. \qquad (5.2.16)$$

La constante K es el factor de transconductancia en amperes/volt^2. Este factor de transconductancia es determinado por la geometría del FET, la capacidad por unidad de área de la compuerta, y la superficie de movilidad de los electrones en el canal-*n*.

Para pequeños valores de V_{DS}, la corriente de drenaje en la ecuación 5.2.16 es aproximadamente

$$I_D = K[2(V_{GS} - V_T)V_{DS}]. \qquad (5.2.17)$$

La ec. 5.2.17 es una función de variación lineal de I_D y V_{DS} para V_{GS} constante. La resistencia de salida en esta región es la derivada de la ec. 5.2.17 respecto de V_{DS} para V_{GS} constante:

$$\frac{1}{R_{DS}} = \frac{\partial I_D}{\partial V_{DS}} = 2K(V_{GS} - V_T). \qquad (5.2.18)$$

Sustituyendo la ec. 5.2.13 en 5.2.16 las parábolas de contracción están dadas por

$$I_D = KV^2_{DS}. \qquad (5.2.19)$$

Región de Saturación

La región de saturación ocupa la porción de las curvas características de salida de la Fig. 5.2.9 donde $I_D > 0$ y a la derecha de la parábola de contracción. Esto es,

$$I_D = KV^2_{DS}. \qquad (5.2.20)$$

La corriente de drenaje es virtualmente constante con respecto a V_{DS} para una V_{GS} dada en esta región debido a la alta conductividad en el canal drenaje-fuente. Las características de transferencia se obtienen sustituyendo $V_{GS} - V_T$ por V_{DS} en la ec. 5.2.19:

$$I_D = K(V_{GS} - V_T)^2. \qquad (5.2.21)$$

La característica de transferencia (ec. 5.2.21) se muestran en la Figura 5.2.10.

Región de Corte

La región de corte se define como

$$V_{GS} < V_T. \tag{5.2.22}$$

En corte, la corriente de drenaje es cero:

$$I_D = 0. \tag{5.2.23}$$

En esta región el FET está apagado y no conduce corriente. La región es usada para implementar el estado apagado o desconectado de una llave como se describe en la Sección 5.5.

El potencial del substrato afecta la corriente umbral. En particular, para incrementos negativos del potencial del substrato con respecto a fuente, la tensión umbral del NMOSFET de acumulación aumenta.

EJEMPLO 5.2.2

Un NMOSFET tipo acumulación con V_T = 2 V que conduce una corriente I_D = 5 mA para V_{GS} = 4 V y V_{DS} = 5 V. ¿Cuál es el valor de I_D para V_{GS} = 3 V y V_{DS} = 6 V?

SOLUCIÓN

Primero se determina la región de operación con V_{GS} = 4 V y V_{DS} = 5 V.

$$V_{GS} - V_T = 4\text{ V} - 2\text{ V} = 2\text{ V}.$$

Pero V_{DS} = 5 V, así

$$V_{DS} > V_{GS} - V_T,$$

Implicando que el FET se halla en la región de saturación.
La cantidad desconocida es el factor K de trasconductancia de la ec. 5.2.21,

$$I_D = K(V_{GS} - V_T)^2.$$

Resolviendo para K,

$$K = \frac{I_D}{(V_{GS} - V_T)^2}$$
$$= \frac{5.10^{-3}}{(4-2)^2}$$
$$= 1{,}25.10^{-3}\ \text{A/V}^2.$$

Con esta información, se puede determinar el valor de I_D para V_{GS} = 3 V y V_{DS} = 6 V. Nuevamente, la región de operación se puede determinar operando con los nuevos parámetros:

$$V_{GS} - V_T = 3\text{ V} - 2\text{ V} = 1\text{ V}.$$

Pero V_{DS} = 6 así,

$$V_{DS} > V_{GS} - V_T,$$

Implicando que el FET está nuevamente en la región de saturación.
La corriente I_D para V_{GS} = 3 V y V_{DS} = 6 V es

$$I_D = K(V_{GS} - V_T)^2$$
$$= 1{,}25 \text{ x } 10^{-3}\ (3\text{-}2)^2,$$
$$= 1{,}25\ \text{mA}$$

PMOSFET Tipo Acumulación

El símbolo circuital para el PMOSFET tipo acumulación se muestra en la Fig. 5.2.11. El símbolo es similar al del NMOSFET de acumulación con la excepción de la dirección de la flecha sobre el terminal del cuerpo (substrato). Como con el PMOSFET tipo deplexión, el símbolo indica un terminal representando el substrato con una flecha apuntando a la juntura.

Un símbolo circuital simplificado para PMOSFET tipo acumulación se muestra en la Fig. 5.2.12 con la convención de signos de tensión y corriente. La flecha en el símbolo apunta desde la juntura hacia la fuente. La dirección de la flecha corresponde a la dirección del flujo relativo de corriente por el terminal de fuente.

Todas las tensiones son de polaridad opuesta a los NMOSFET de acumulación. La polaridad de la tensión de umbral es opuesta a la del NMOSFET. Las tensiones y corrientes del MOSFET de canal-*p* tipo acumulación tiene las siguientes características:

$$V_T < 0, \qquad K > 0, \qquad V_{SD} > 0,$$
$$V_{SG} > 0, \qquad I_D < 0.$$

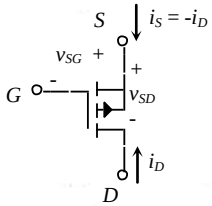


Figura 5.2.11 Símbolo de circuito para PMOSFET tipo acumulación con el substrato conectado a la fuente.

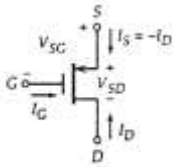


Figura 5.2.12 Símbolo de circuito simplificado para PMOSFET tipo acumulación.

Las condiciones que identifican a las regiones de operación son

$$\begin{aligned} &0 < V_{SD} < V_{SG} + V_T && \text{(región óhmica)}, \\ &V_{SD} \geq V_{SG} + V_T && \text{(región de saturación)}, \\ &V_{SD} = V_{SG} + V_T && \text{(parábola de contracción)}. \end{aligned} \qquad (5.2.24)$$

Las características del PMOSFET de acumulación se muestran en la Figura 5.2.13. Las características de transferencia, en la Fig. 5.2.14.

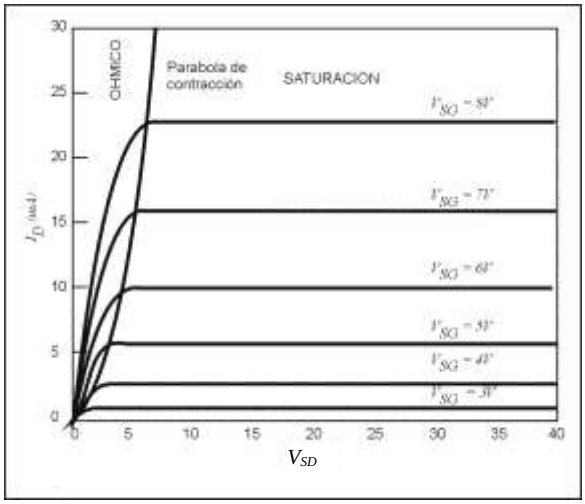


Figura 5.2.13 Característica de salida de un PMOSFET de enriquecimiento.

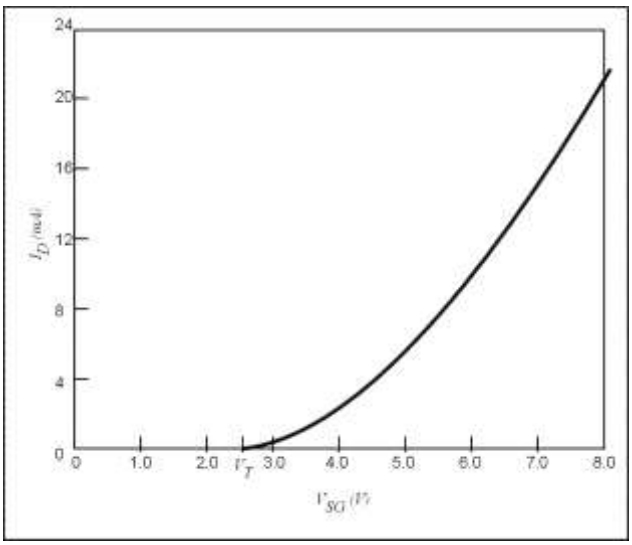


Figura 5.2.14 Característica de transferencia de un PMOSFET de enriquecimiento.

La tensión umbral V_T es de valor negativo. Una V_{SG} mayor que $|V_T|$ permite que la corriente fluya a través del FET por la formación del canal drenaje fuente.

5.3 FET COMO ELEMENTO DEL CIRCUITO

Usando el comportamiento resistivo de los JFET y de los MOSFET, se pueden desarrollar circuitos simples con FET. Los Transistores de Efecto de Campo (FET) son usados en circuitos como dispositivos de corriente constante, cargas activas y resistencias variables con la tensión, por nombrar algunos. Los FET de Metal Óxido Semiconductor son usados ampliamente en circuitos digitales y tienen ciertas ventajas sobre los diseños con transistores bipolares.

5.3.1 FET como Resistencia Variable con la Tensión

Una resistencia variable con la tensión (VVR) es un dispositivo de tres terminales donde la resistencia entre dos de sus terminales es controlada por la tensión en el tercero. En la región óhmica, los FET demostraron una variación en su resistencia, R_{DS}, descripta por las ecuaciones 5.1.9 y 5.2.18.

$$\frac{1}{R_{DS}} = \frac{\partial I_D}{\partial V_{DS}} = \frac{2I_{DSS}}{V_P}\left(\frac{V_{GS}}{V_P} - 1\right)$$

$$= \frac{\partial I_D}{\partial V_{DS}} = 2K(V_{GS} - V_T).$$

Escrito más convenientemente como resistencias, la resistencia drenador fuente en la región ohmica del ***n-JFET y del NMOSFET en modo deplexión*** es:

$$R_{DS} = \frac{V_P{}^2}{2I_{DSS}(V_{GS} - V_P)}. \qquad (5.3.1)$$

Para ***NMOSFET en modo acumulación***, la resistencia de drenador fuente es

$$R_{DS} = \frac{1}{2K(V_{GS} - V_T)}. \qquad (5.3.2)$$

En esta sección, el *n*-JFET se usa como un ejemplo. La operación de los JFET en la región óhmica implica que la tensión drenador fuente se mantiene pequeña. La Fig. 5.3.1 ilustra las características típicas de un *n*-JFET y de un resistor. La pendiente de V_{DS}/I_D está en función de V_{GS}, y la resistencia drenador fuente R_{DS} es controlada por V_{GS}.

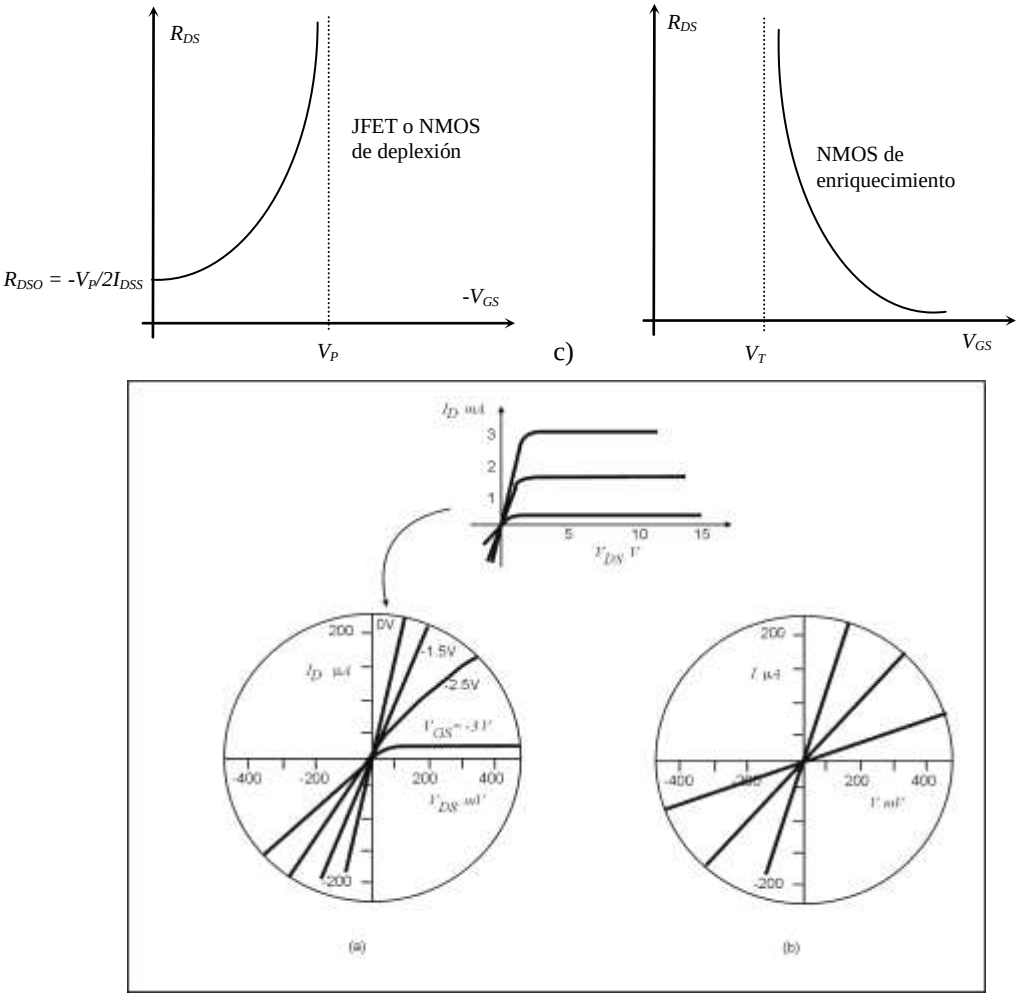


Figura 5.3.1 a) Característica de salida de un *n*-JFET, b) las características de resistor y c) Curvas de la resistencia drenador fuente RDS para un n-JFET y NMOS de enriquecimiento.

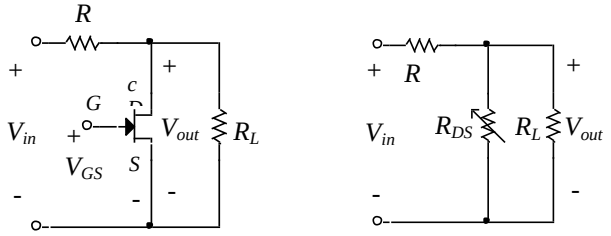


Figura 5.3.2 Divisor de tensión controlado por tensión.

La Fig. 5.3.2 muestra un simple divisor de tensión controlado por tensión que usa un *n*-JFET para proveer un medio de control por tensión de la relación del divisor. Como V_{GS} cambia de cero a V_P, R_{DS} es cambiada en consecuencia desde R_{DSO} a infinito.

La tensión de salida es

$$V_{out} = V_{in} \frac{R_L \left(1 + R_{DS}^{-1} R_L\right)^{-1}}{R + R_L \left(1 + R_{DS}^{-1} R_L\right)^{-1}}. \qquad (5.3.3)$$

Cuando V_{GS} se aproxima a V_P, $(R_{DS})^{-1}$ se aproxima a cero y el FET no causa atenuación de señal. Si $R_L >> R_{DS}$, la ec. 5.3.3 se puede simplificar a:

$$V_{out} = V_{in} \frac{R_{DS}}{R_{DS} + R}. \qquad (5.3.4)$$

Usando la ec. 5.1.9 para R^{-1}_{DS}, la tensión de salida se expresa como una función de V_{GS}:

$$V_{out} = \frac{V_{in}}{1 + \dfrac{R(V_P - V_{GS})}{R_{DSO} V_P}}, \qquad (5.3.5)$$

Donde, de la ec. 5.3.1

$$R_{DSO} = \frac{\partial V_{DS}}{\partial I_D} = \frac{-V_P}{2 I_{DSS}}, \text{ para } V_{GS} = 0. \qquad (5.3.6)$$

Para tener una idea de posibles rangos de R_{DS} supongamos V_P = -3 V y I_{DSS} = 10 mA. Así resulta R_{DSO} = 150Ω, mientras que para V_{GS} = -2V R_{DS} = 450Ω y para V_{GS} = -2,5 V R_{DS} = 900Ω.

5.3.2 El *n*-JFET como Fuente de Corriente Constante

La fuente de corriente constante ideal debe proveer a la carga una corriente dada independiente del voltaje a través de la carga. En ese caso, la resistencia de salida de la fuente es infinita. La corriente de drenador del JFET se aproxima a la de saturación cuando opera con la tensión drenador fuente mayor que V_P. Bajo esta condición, el FET puede usarse como una fuente de corriente constante.

Un camino para forzar a V_{GD} para que sea mayor que V_P es uniendo la compuerta del *n*-JFET directamente a la fuente como se muestra en la Fig. 5.3.3.

En la Fig. 5.3.3 a), V_{GS} = 0, por lo tanto en saturación, $V_{DS} \geq - V_P$ y la corriente de drenador es

$$I_D = I_{DSS}$$

Mientras el FET permanece en saturación, este proveerá una corriente constante fluyendo por el canal drenador fuente.

En la Fig. 5.3.3 b) se puede observar una alternativa para variar el valor de la corriente constante deseada donde $V_{DS} \geq V_{GS} - V_P$ y

$$I_D = - V_{GS}/R_S.$$

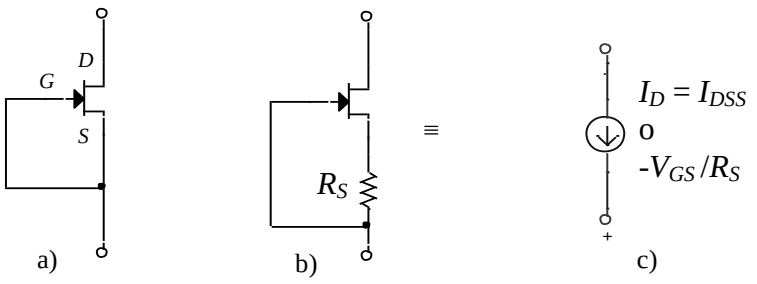


Figura 5.3.3 a) *n*-JFET como fuente de corriente constante con V_{GS} = 0, b) Idem con $V_{GS} \neq 0$. c) Circuito equivalente en dc y valor de corriente de a) y b).

5.3.4 El FET como Inversor

Los métodos utilizados para analizar los circuitos del FET son similares a los usados para resolver circuitos con transistores bipolares en el Capítulo 4. Se disponen tres maneras para analizar circuitos FET:

- Usar el conjunto de ecuaciones del FET de las Secciones 5.1 y 5.2, adicionando las ecuaciones de los circuitos para obtener soluciones numéricas.
- Usar las curvas empíricas de V-I y obtener una solución gráfica.
- Usar herramientas de análisis por computadora, como el SPICE, para obtener soluciones.

Como en el análisis de circuitos con BJT, el cambio de técnica usado para analizar un circuito depende de la complejidad del circuito del FET.

EJEMPLO 5.3.1
Considere un *n*-JFET inversor como el de la Fig. 5.3.5. Las características del JFET son

$$I_{DSS} = 8 \text{ mA y } V_P = -4 \text{ V}.$$

Buscar la corriente de drenador I_D y la tensión drenador fuente V_{DS} si $V_{GG} = -2$V.

SOLUCIÓN

Para buscar V_{DS}, se necesita una ecuación adicional dependiente de la topología del circuito. La ecuación necesaria es

$$V_{DD} = I_D R_D + V_{DS}.$$

Asuma que el JFET está operando en saturación. La corriente de drenador puede calcularse entonces, por la ec. 5.1.11:

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$$
$$= 8.10^{-3}\left(1 - \frac{-2}{-4}\right)^2$$
$$= 2 \text{ mA}$$

La tensión drenador fuente se puede obtener:

$$V_{DS} = V_{DD} - I_D R_D$$
$$= 10 - (2 \times 10^{-3})(2200)$$
$$= 5{,}6 \text{ V}.$$

Para confirmar que el *n*-JFET esta operando en saturación, se chequea la condición de saturación:

$$V_{DS} \geq V_{GS} - V_P,$$
$$5{,}6 \geq -2 - (-4),$$
$$5{,}6 \geq 2.$$

La región de saturación asumida se verifica y se validan los cálculos.

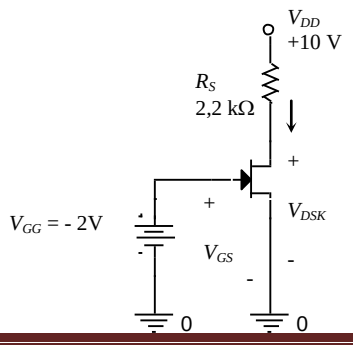


Figura 5.3.5 El *n*-FET inversor del Ejemplo 5.3.1

5.4 POLARIZACIÓN DE LOS FETs

La selección de un punto de operación apropiado y estable para un FET se determina por condiciones similares a las empleadas para un transistor bipolar de juntura. Aquí, las condiciones estables son los valores de corriente continua para entrada nula de la corriente de drenaje I_D del FET y las diferencias de tensión V_{GS} y V_{DS}. En esta sección se examinan algunos circuitos de polarización de los FET en particular para ubicar al dispositivo en la región de saturación. Ésta es significativa ya que es la región donde ocurre la amplificación en el FET. Mientras los ejemplos en esta sección usan FET de canal *n*, los FET de canal *p* se polarizan de manera similar excepto por cambios en la polaridad de las fuentes de alimentación.

El énfasis en esta sección es la polarización mediante el uso de tensiones y resistencias. Esto es común también para transistores que utilizan fuentes de corriente para la polarización.

5.4.1 Circuito de Autopolarización de Fuente

El circuito de autopolarización de fuente de la Figura 5.4.1 se usa particularmente en polarización de ***JFETs y de MOSFETs en modo deplexión***. En esta aplicación, la resistencia externa de compuerta R_G sirve para unir el voltaje a la compuerta del FET referido a tierra (la corriente de compuerta es esencialmente cero). Esta resistencia se elige de gran valor (oscila en el orden de unos pocos megaohms). Para una corriente de drenaje I_D, la tensión compuerta-fuente V_{GS} se determina por las características de transferencia del FET en forma analítica o gráfica. La R_S se determina con V_{GS} e I_D en la malla de entrada. Considerando la corriente de compuerta I_G = 0 tenemos:

$$V_{GS} + I_D R_S + I_G R_G = 0$$

como $I_G R_G = 0$, queda

$$V_{GS} + I_D R_S = 0$$

y resulta

$$R_S = -\frac{V_{GS}}{I_D} \qquad (5.4.1)$$

La ecuación 5.4.1 representa la recta de carga estática de entrada, con pendiente $-1/R_S$, en la curva de transferencia. Si despejamos V_{GS} en la ecuación 5.4.1 y reemplazamos en la 5.1.11 $I_D = I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2$, resolviendo la ecuación de segundo grado se obtiene la I_D, desechando una de las soluciones por ser no válida.

En la malla de salida planteamos la ecuación que resta para completar el circuito,

$$V_{DD} - I_D R_S - I_D R_D - V_{DS} = 0$$

Así obtenemos la recta de carga estática de salida como,

$$I_D = \frac{V_{DD} - V_{DS}}{R_D + R_S}$$

con pendiente $-1/(R_D + R_S)$.

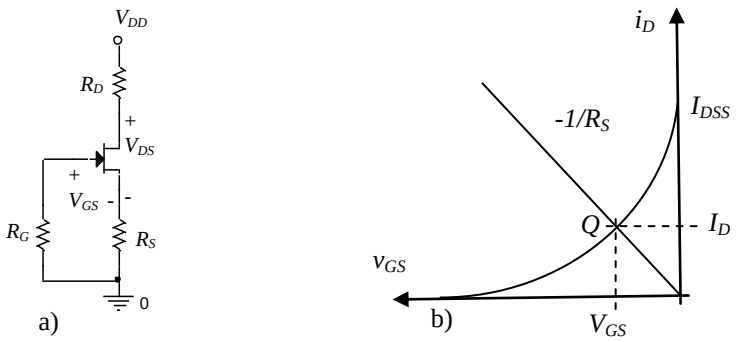


Figura 5.4.1 a) Circuito de autopolarización de fuente, b) Recta de carga estática de entrada.

EJEMPLO 5.4.1

Un JFET de canal *n* con las siguientes características: V_P = -3,5V e I_{DSS} = 10mA, colocado en el circuito de autopolarización de fuente de la Fig. 5.4.1. Se desea con las siguientes condiciones

$$I_D = 5 \text{ mA} \qquad \text{y} \qquad V_{DS} = 5 \text{ V}$$

Determinar las resistencias de polarización necesarias para establecer el punto de polarización si la fuente de alimentación es V_{DD} = 15 V.

SOLUCIÓN

La condición de funcionamiento para el JFET de manera que esté en saturación es:

$$V_{DS} \geq V_{GS} - V_P.$$

Por lo tanto, la ecuación 5.1.11 es determinante para la búsqueda de V_{GS}: $I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$.

Sustituyendo valores

$$\frac{5}{10} = \left(1 - \frac{V_{GS}}{-3{,}5}\right)^2$$

así $$V_{GS} = -3{,}5\left(1 - \sqrt{\frac{5}{10}}\right) = -1{,}025 \text{ V} \quad \text{o} \quad -5{,}795 \text{ V no válida.}$$

La resistencia R_S se puede hallar:

$$R_S = -\frac{-1{,}025 \text{ V}}{5 \text{ mA}} = 205 \ \Omega.$$

La resistencia R_D se determina escribiendo la ecuación de la malla en el circuito de salida a través de drenador fuente:

$$I_D R_S + V_{DS} + I_D R_D - V_{DD} = 0$$

$$R_D = \frac{V_{DD} - V_{DS}}{I_D} - R_S = \frac{15-5}{5\,\text{mA}} - 205 = 1{,}795\,\text{k}\Omega$$

La resistencia R_G es elegida arbitrariamente grande: R_G = 1 MΩ.

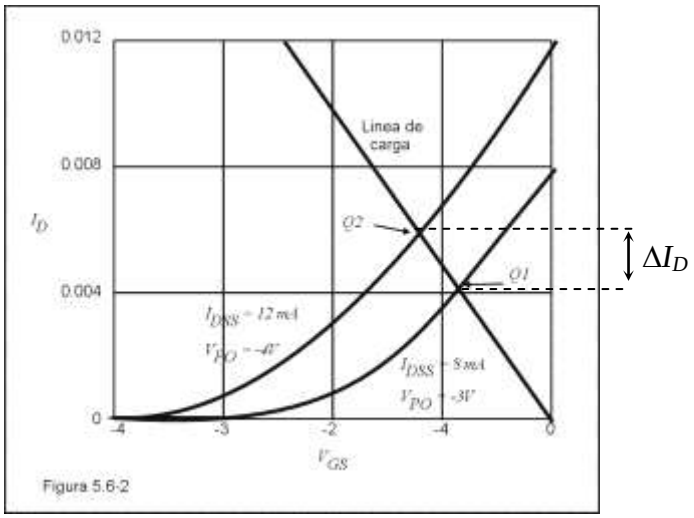


Figura 5.4.2 Cambio en el punto de reposo por variación de los parámetros del FET

Una desventaja del circuito de autopolarización de fuente es que las condiciones de funcionamiento establecidas son sensibles a la variación en los parámetros V_P e I_{DSS} del FET. La restricción de la ecuación 5.4.1,

$$V_{GS} = - I_D R_S,$$

sumado a las ecuaciones características del FET llevan potencialmente a la gran variación del punto de polarización. Esta variación se describe mejor en el gráfico de la Figura 5.4.2. En el circuito del ejemplo 5.4.1, se usa un FET con las siguientes variaciones en sus parámetros:

$$8\text{ mA} < I_{DSS} < 12\text{ mA},$$
$$-4\text{ V} < V_P < -3\text{ V}.$$

Si se usa el resultado del diseño del ejemplo 5.4.1, los rangos resultantes de los puntos de trabajo debido a la variación de los parámetros del FET leídos en la Figura 5.4.2 son

$$-1{,}20\text{ V} < V_{GS} < -0{,}85\text{ V},$$
$$4{,}13\text{ mA} < I_D < 5{,}87\text{ mA}.$$

La variación en los parámetros del FET ha causado un cambio entre los dos puntos de trabajo en más de un ±17% respecto de los puntos nominales calculados en el ejemplo 5.4.1. En algunos casos, para controlar la variación de los puntos de trabajo, se puede utilizar el circuito de autopolarización de fuente.

5.4.2 Circuito de Polarización Fija

El circuito de auto polarización de fuente además de ser sensible a la variación de los parámetros del FET, tiene fuertes restricciones sobre las resistencias externas de polarización en muchas aplicaciones. Las resistencias R_D y R_S juegan un papel importante en la determinación de la ganancia del amplificador y de la impedancia de salida. Es raro que las condiciones de reposo

sean más significativas que esos dos factores de perfomance del amplificador. La naturaleza restrictiva del circuito de autopolarización de fuente está centrada en el mantenimiento del potencial de tierra en la compuerta del FET. Sacando esta restricción mejora mucho la versatilidad del esquema de polarización. El circuito de polarización fija de la Figura 5.4.3 es un circuito de polarización de un ***JFET en modo deplexión y NMOSFET de enriquecimiento***, que permite que la compuerta esté a potencial diferente de tierra.

Partiendo que en el FET la corriente de compuerta es esencialmente cero, las dos resistencias de compuerta R_1 y R_2 colocan el voltaje de compuerta a valores deseados entre compuerta y tierra,

$$V_{GG} = \frac{R_2}{R_1 + R_2} V_{DD} \qquad (5.4.2)$$

Colocando a la tensión de compuerta del FET a valores diferentes que cero, permite un amplio margen para la elección de las resistencias de fuente y drenaje, para lograr puntos de trabajo específicos.

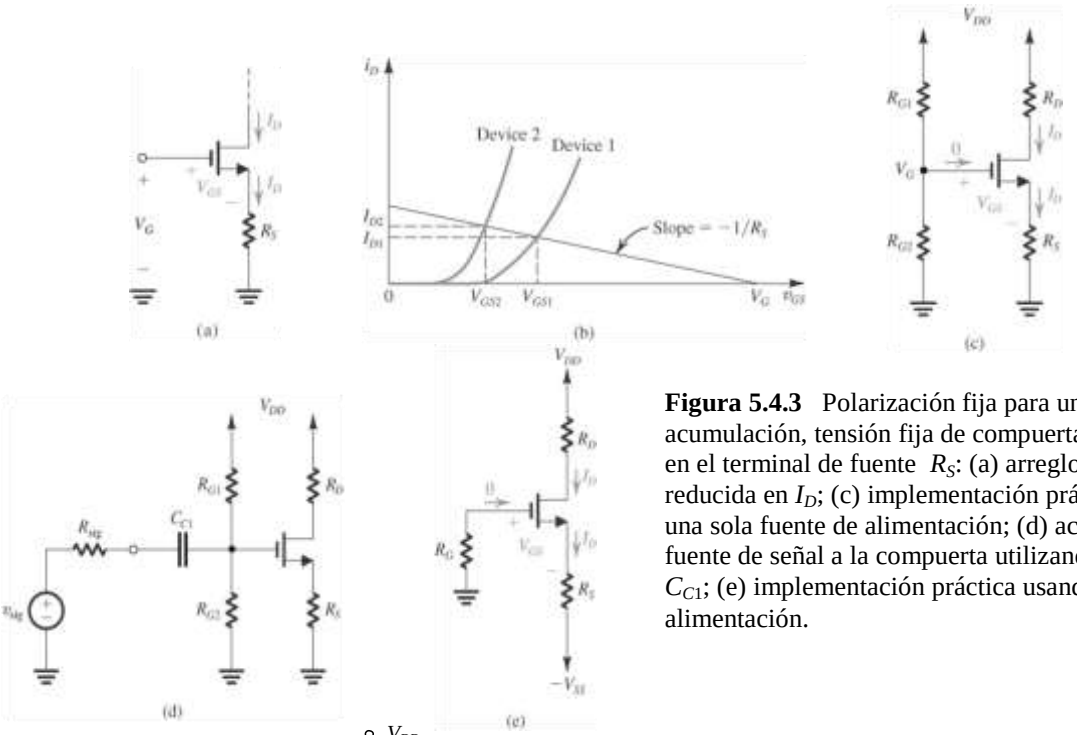


Figura 5.4.3 Polarización fija para un MOSFET de acumulación, tensión fija de compuerta, V_G, y resistencia en el terminal de fuente R_S: (a) arreglo; (b) variación reducida en I_D; (c) implementación práctica utilizando una sola fuente de alimentación; (d) acoplamiento de una fuente de señal a la compuerta utilizando un capacitor C_{C1}; (e) implementación práctica usando dos fuentes de alimentación.

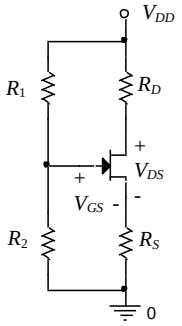


Figura 5.4.3 f) Ídem c) para un JFET.

Los criterios de selección para estas resistencias en el diseño se basan principalmente en uno o más de los siguientes criterios específicos:

- Especificaciones de la amplificación
- Especificaciones de la resistencia de salida

- Estabilidad del punto de trabajo

Los dos primeros criterios de diseño se discutirán en el punto 5.6. La estabilidad del punto de trabajo se verá en el punto 5.7, ésta implica reducir la variación en la corriente de drenador debido a la variación de los parámetros del FET. La relación entre la corriente de drenador y las resistencias externas en un circuito de polarización fija se determina por la tensión en la resistencia de fuente:

$$I_D = \frac{V_S}{R_S} = \frac{V_{GG} - (V_G - V_S)}{R_S} = \frac{V_{GG} - V_{GS}}{R_S}, \qquad (5.4.3)$$

donde V_{GG} está dada por la ecuación 5.4.2. La ecuación 5.4.3 representa la recta de carga en la característica de transferencia. La variación de I_D debido a la variación de los parámetros del FET, V_{GS}, es inversamente proporcional al valor de la resistencia de fuente R_S. Mientras que otros criterios de diseño pueden poner límites superiores en R_S, la estabilidad del punto de reposo indica que es deseable un valor grande de R_S. La interpretación básica de la recta de carga de este principio de estabilidad se describe en la Figura 5.4.4 para un JFET.

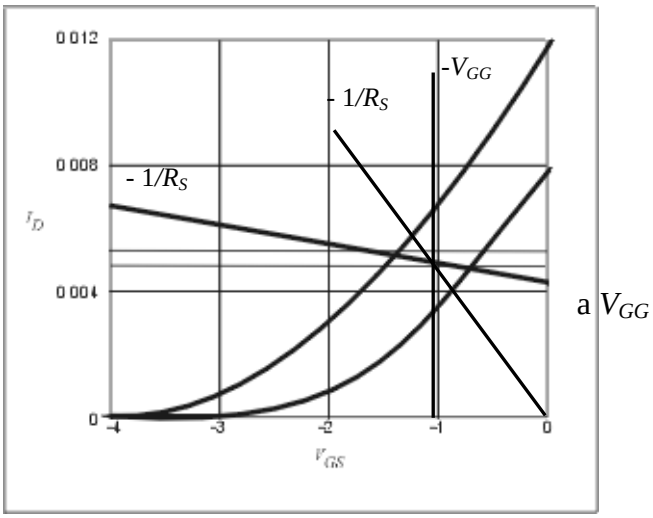


Figura 5.4.4 Cambio en el punto de reposo según el esquema de polarización usado.

EJEMPLO 5.4.2

Un JFET de canal *n* con los parámetros característicos nominales: V_P = -3,5 V e I_{DSS} = 10 mA, se polariza con las condiciones de reposo

$$I_D = 5 \text{ mA} \quad \text{y} \quad V_{DS} = 5 \text{ V}$$

El FET está sujeto a la variación de parámetros:

$$-4 \text{ V} < V_P < -3 \text{ V}, \qquad 8 \text{ mA} < I_{DSS} < 12 \text{ mA}$$

Determine las resistencias de polarización necesarias para establecer las condiciones de reposo para que la corriente de drenador no varíe más de ±4% = (ΔI_D/ I_D).100 debido a la variación de los parámetros del transistor. La fuente de alimentación es V_{DD} = 20 V.

SOLUCIÓN

Las condiciones de reposo nominal para el FET son idénticas a las del ejemplo 5.4.1. Por lo tanto el valor de V_{GS} se obtiene de la misma manera y es

$$V_{GS(\text{nominal})} = -1{,}025 \text{ V}$$

Los valores extremos de V_{GS} se pueden obtener gráficamente, como en la Figura 5.4.4, o analíticamente usando la ecuación 5.1.11:

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$$

Estos valores extremos calculados son:

$$V_{GS(\text{min})} = -1{,}37 \text{ V} \qquad (I_{D(\text{max})} = I_D + \Delta I_D = 5{,}2 \text{ mA})$$
$$V_{GS(\text{max})} = -0{,}676 \text{ V} \qquad (I_{D(\text{min})} = I_D - \Delta I_D = 4{,}8 \text{ mA})$$

El valor de R_S mínimo que satisface los requerimientos de estabilidad se calcula de la malla de entrada como,

$$V_{GG} = I_{D(\text{max})} R_S + V_{GS(\text{min})}$$
$$V_{GG} = I_{D(\text{min})} R_S + V_{GS(\text{max})}$$

Restando miembro a miembro y acomodando queda,

$$R_{S\,\text{min}} = \frac{\Delta V_{GS}}{\Delta I_D} = \frac{V_{GS(\text{max})} - V_{GS(\text{min})}}{I_{D(\text{max})} - I_{D(\text{min})}}$$
$$R_{S\,\text{min}} == \frac{-0{,}676 + 1{,}37}{0{,}0004} = 1{,}735\text{k}\Omega \approx 1{,}75\text{k}\Omega$$

Si R_S toma este valor mínimo, la tensión nominal para fuente y compuerta del FET son,

$$V_S = I_{D\,(\text{nominal})}\, R_S = 8{,}75 \text{ V}$$
$$V_{GG} = V_S + V_{GS\,(\text{nominal})} = 7{,}725 \text{ V}$$

La tensión de compuerta se puede obtener con la combinación de una gran variedad de resistencias. Un par que satisface las metas mínimas de diseño para este caso será

$$R_1 = 1{,}62 \text{ M}\Omega$$
$$R_2 = 1{,}02 \text{ M}\Omega$$

La otra resistencia, R_D, se puede determinar por la tensión drenaje-fuente

$$R_D = \frac{V_{DD} - V_{DS}}{I_D} - R_S = \frac{20 - 5}{5\,\text{m}} - 1750 = 1{,}25\,\text{k}\Omega.$$

5.4.3 Polarización de MOSFET en Modo Acumulación: variantes

El circuito de ***polarización fija*** presentado en la sección precedente se usa también en la polarización de los ***MOS en modo acumulación o enriquecimiento***. La única diferencia significante en el procedimiento necesario para hallar los valores de resistencias para polarización adecuada del FET se encuentra en la determinación inicial de las condiciones de reposo. En los MOSFET de acumulación V_{GS} lleva el signo opuesto a los FET de deplexión, y

existe una relación diferente entre V_{GS} e I_D. La expresión para la tensión compuerta-fuente del MOSFET en la región de saturación está dada por la ecuación 5.2.21:

$$I_D = K\,(V_{GS} - V_T)^2$$

La estabilidad en la polarización se puede llevar a cabo siguiendo los procedimientos del Ejemplo 5.4.2.

El circuito de polarización de fuente de la Fig. 5.4.1 no se usa para MOSFET de acumulación. Sin embargo, existen otras posibilidades para polarizar este tipo de FET. Además del circuito de polarización fija de la Figura 5.4.3, otros dos circuitos de polarización para FET en modo acumulación se dan en la Figura 5.4.5.

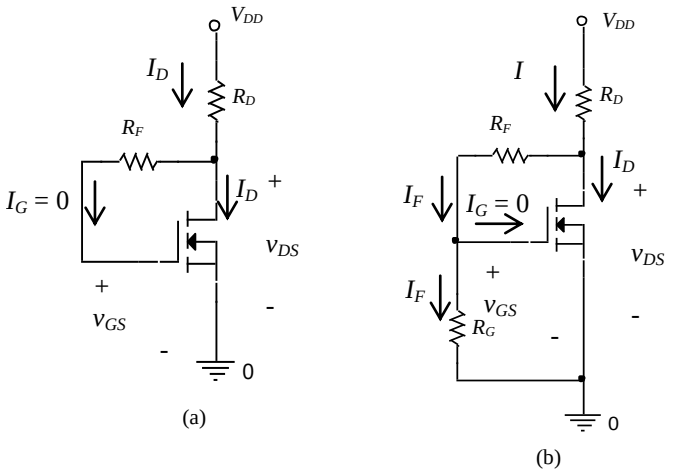


Figura 5.4.5 Circuitos de polarización para MOSFET de acumulación, a) con una sola resistencia R_G, b) con dos resistencias, R_F y R_G

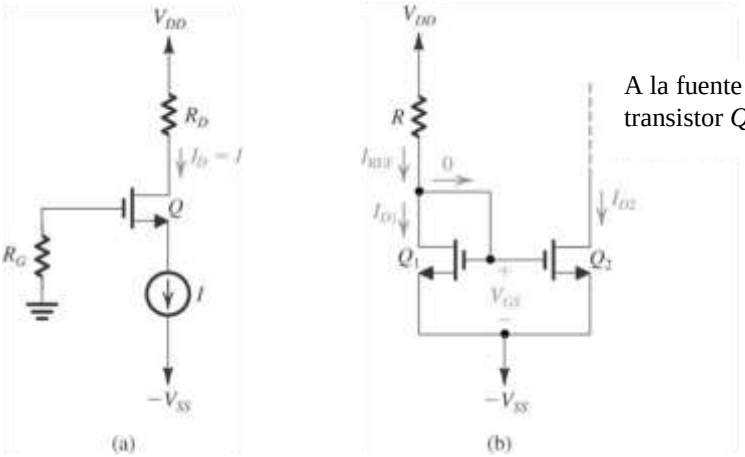
La resistencia de realimentación R_F en la Fig. 5.4.5 a) y las resistencias R_F y R_G en la Fig. 5.4.5 b) son grandes (por lo general en el orden de los MΩ) y obliga a que el voltaje de dc en la compuerta (porque $I_G = 0$) sea igual a,

Fig. 5.4.5 a): $V_{GS} = V_{DS}$
Fig. 5.4.5 b): $V_{GS} = V_{DS}R_G/(R_F + R_G)$

En ambos circuitos anteriores $V_{DS} = V_{DD} - I_D R_D$ que juntamente con la ec. 5.2.21, $I_D = K\,(V_{GS} - V_T)^2$, completan la polarización.

Ambos circuitos ofrecen estabilización en el punto de reposo, con el circuito de la Figura 5.4.5 b) dando mayor estabilidad y flexibilidad en la elección de los valores de las resistencias.

Otra posibilidad considerado el esquema más efectivo para la polarización de un amplificador MOSFET de acumulación es el que usa una ***fuente de corriente constante***. En la Fig. 5.4.6 a) se muestra este tipo de diseño. Aquí R_G (por lo general del orden de los MΩ) establece una tierra de dc en la compuerta y presenta una resistencia grande a una fuente de señal de entrada que puede acoplarse capacitivamente, como también a los circuitos de la Fig. 5.4.5. El resistor R_D establece una tensión de dc apropiada en el drenador para permitir la oscilación de la señal de entrada necesaria mientras asegura que el transistor permanezca siempre en la región de saturación. En la Fig. 5.4.6 b) se observa un circuito de aplicación de la fuente de corriente constante. El transistor Q_1, cuyo drenador está unido a la compuerta, y por tanto, opera en la región de saturación, de manera que



A la fuente del transistor Q en a)

Figura 5.4.6 a) Polarización del MOSFET empleando una fuente de corriente constante I. b) Esquema de una fuente de corriente constante I empleando un espejo de corriente.

$$I_{D1} = K_1 (V_{GS} - V_T)^2 \tag{5.4.4}$$

donde K_1 viene dada por

$$K_1 = \frac{1}{2} k_n' \left(\frac{W}{L} \right)_1 \tag{5.4.5}$$

siendo $k_n' = \mu_n C_{ox}$, μ_n movilidad de los electrones, $C_{ox} = \dfrac{\varepsilon_{ox}}{t_{ox}}$ la capacitancia por unidad de área en la compuerta, ε_{ox} = 3,9ε_o permitividad del óxido de silicio, t_{ox} espesor del óxido determinado por la tecnología del proceso empleado para fabricar el MOSFET, W ancho del canal y L largo del canal.

La corriente de drenador resulta

$$I_{D1} = I_{REF} = \frac{V_{DD} + V_{SS} - V_{GS}}{R} \tag{5.4.6}$$

Siendo I_{REF} la corriente de referencia de la fuente de corriente. Dados los valores de los parámetros de Q_1 y un valor deseado de I_{REF}, se pueden emplear las ecuaciones (5.4.4) y (5.4.6) para determinar el valor de R. Consideremos ahora el transistor Q_2: tiene el mismo V_{GS} que Q_1; por tanto, si se supone que está operando en saturación (por el circuito en la línea de puntos), su corriente de drenador, que es la corriente deseada I de la fuente de corriente será

$$I = I_{D2} = \frac{1}{2} k_n' \left(\frac{W}{L} \right)_2 (V_{GS} - V_T)^2 \tag{5.4.7}$$

Las ecuaciones (5.4.6) y (5.4.7) permiten relacionar la corriente I con la de referencia I_{REF},

$$I = I_{REF} \frac{\left(W/L \right)_2}{\left(W/L \right)_1} \tag{5.4.8}$$

Por lo tanto, I está relacionada con I_{REF} por el cociente de las proporciones dimensionales de Q_1 y Q_2. Este circuito, conocido como espejo de corriente, es muy común en el diseño de amplificadores MOS de circuitos integrados.

Los circuitos de polarización que hemos visto en este capítulo son utilizados en aplicaciones de circuitos discretos. La única excepción es el circuito de espejo de corriente de la Fig. 5.4.6.

Conclusiones

En este capítulo se ha descrito el FET como un dispositivo muy usado en las tres regiones básicas de operación: las regiones de saturación, ohmica y de corte. El funcionamiento en cada una de estas regiones se controla por dos tensiones: La tensión de compuerta-fuente y la tensión de drenador-fuente.

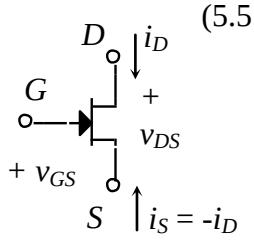
La caracterización de un FET para grandes señales es no lineal. Mientras se puede modelar a través de una linealización local, esos modelos son muy dependientes del punto de operación en dc. Por lo tanto, a diferencia del BJT, el FET no puede describirse fácilmente con un único, modelo lineal simple para cada región de operación. La ingeniería de diseño depende de un conjunto de expresiones analíticas no lineales para descripción del FET.

Las aplicaciones como llave, incluyendo aplicaciones para compuertas lógicas, se llevan a cabo con el FET en transición entre el corte y la región ohmica. Las aplicaciones lineales toman lugar en la región de saturación. Mientras que en este capítulo se describió una variedad de aplicaciones, las posibilidades de uso de FET en circuitos van más allá de lo mostrado en él. En futuros capítulos se examinarán aplicaciones adicionales lineales y no lineales para el FET.

5.5 EL FET CON PEQUEÑA SEÑAL

Tanto para JFET como MOSFET en general, se puede expresar en la región de ***saturación*** a la corriente de drenador, como $i_D = f(v_{GS}, v_{DS})$, es decir que su diferencial puede escribirse:

$$di_D = \frac{\partial i_D}{\partial v_{GS}}\bigg|_{V_{DS}} dv_{GS} + \frac{\partial i_D}{\partial v_{DS}}\bigg|_{V_{GS}} dv_{DS} \qquad (5.5.1)$$



Siendo $i_D = I_D + i_d$, $v_{GS} = V_{GS} + v_{gs}$, y $v_{DS} = V_{DS} + v_{ds}$.
Aproximando por el primer término de la serie de Taylor:

$$\Delta i_D = \frac{\partial i_D}{\partial v_{GS}}\bigg|_{V_{DS}} \Delta v_{GS} + \frac{\partial i_D}{\partial v_{DS}}\bigg|_{V_{GS}} \Delta v_{DS} \qquad (5.5.2)$$

donde, $\Delta i_D = i_d$, $\Delta v_{GS} = v_{gs}$, $\Delta v_{DS} = v_{ds}$, de lo que resulta,

$$i_d = \frac{\partial i_D}{\partial v_{GS}}\bigg|_{V_{DS}} v_{gs} + \frac{\partial i_D}{\partial v_{DS}}\bigg|_{V_{GS}} v_{ds} = g_m v_{gs} + \frac{1}{r_d} v_{ds} \qquad (5.5.3)$$

De esta última podemos distinguir:

a) Transconductancia:

Del primer término de la ec. 5.5.3 se tiene,

$$g_m = \frac{\partial i_D}{\partial v_{GS}}\bigg|_{V_{DS}} \cong \frac{\Delta i_D}{\Delta v_{GS}}\bigg|_{V_{DS}} = \frac{i_d}{v_{gs}}\bigg|_{V_{DS}}$$

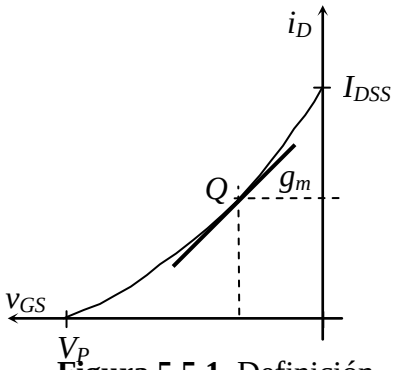


Figura 5.5.1 Definición de trasconductancia

La transconductancia es la pendiente en el punto de reposo Q, en la curva de transferencia del dispositivo, como se ejemplifica en la Fig. 5.5.1 para el JFET. Se puede ver la dependencia de g_m con el punto de trabajo aumentando ésta con el aumento de I_D.

b) Resistencia de salida

Del segundo término de la ec. 5.5.3 se tiene,

$$g_d = \frac{1}{r_d} = \frac{\partial i_D}{\partial v_{DS}}\bigg|_{V_{GS}} \cong \frac{\Delta i_D}{\Delta v_{DS}}\bigg|_{V_{GS}} = \frac{i_d}{v_{ds}}\bigg|_{V_{GS}}$$

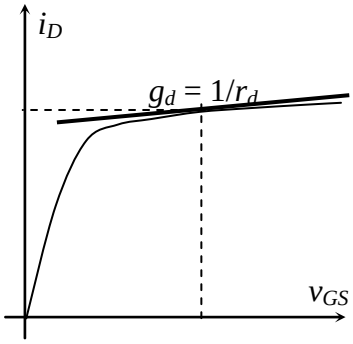
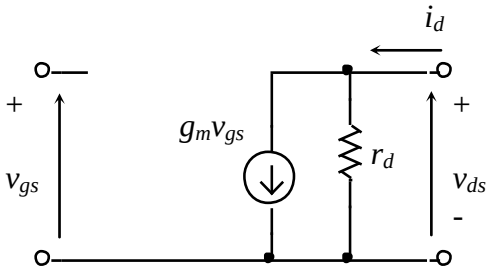


Figura 5.5.2 Definición de resistencia de salida.

Este parámetro es la pendiente de la característica de salida del dispositivo en la región de saturación. Es posible calcularlo en forma análoga al h_{oe} del transistor bipolar, asimilando un voltaje similar al Early, V_A y el valor de I_D que resulta de prolongar la curva de salida en la región de saturación hasta cortar el eje horizontal en $v_{DS} = V_A$ así tenemos $r_d = |V_A|/I_D$ ver ec. 3.2.1.

En las hojas de datos de los FETs encontraremos estos parámetros de pequeña señal expresados de diferentes maneras, como: $g_m = |y_{fs}| = |y_{21}|$ y $1/r_d = g_d = |y_{os}| = |y_{22}|$.

Podemos construir el modelo para pequeña señal a partir de los parámetros anteriores como,



Donde no se tienen en cuenta los efectos capacitivos. Es válido tanto para JFETs como para MOSFETs.

5.5.1 Cálculo de g_m

i) Para JFET y MOSFET en modo deplexión

$$i_D = I_{DSS}\left(1 - \frac{v_{GS}}{V_P}\right)^2 \qquad (5.5.4)$$

Si $v_{GS} = V_{GS} + v_{gs}$ y reemplazamos en la anterior ecuación teniendo en cuenta que $(v_{gs})^2$ es muy pequeño,

$$i_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P} - \frac{v_{gs}}{V_P}\right)^2 = I_{DSS}\left[\left(1 - \frac{V_{GS}}{V_P}\right)^2 - 2\left(1 - \frac{V_{GS}}{V_P}\right)\frac{v_{gs}}{V_P} + \left(\frac{v_{gs}}{V_P}\right)^2\right]$$

$$\cong I_{DSS}\left[\left(1-\frac{V_{GS}}{V_P}\right)^2-2\left(1-\frac{V_{GS}}{V_P}\right)\frac{v_{gs}}{V_P}\right]=I_D+i_d$$

De donde distinguimos,

$$i_d=-2I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)\frac{v_{gs}}{V_P} \qquad (5.5.5)$$

de ahí que la transconductancia resulta,

$$g_m=\frac{i_d}{v_{gs}}=-2\frac{I_{DSS}}{V_P}\left(1-\frac{V_{GS}}{V_P}\right)$$

Si V_{GS} = 0 podemos hacer,

$$g_{mo}=-2\frac{I_{DSS}}{V_P}$$

$$g_m=g_{mo}\left(1-\frac{V_{GS}}{V_P}\right)=g_{mo}\sqrt{\frac{I_D}{I_{DSS}}}$$

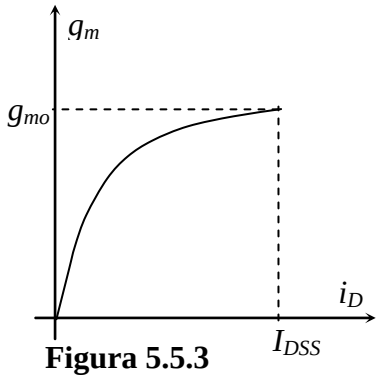


Figura 5.5.3
Trasconductancia.

g_m y g_{mo} deben resultar siempre positivas. Los valores típicos para g_m van de 1 ~ 20 mΩ^{-1}

ii) Para MOSFET de acumulación o enriquecimiento

$$i_D=K(v_{GS}-V_T)^2$$

Si $i_D = I_D + i_d$, $v_{GS} = V_{GS} + v_{gs}$

$$\begin{aligned} i_D &= K(V_{GS}+v_{gs}-V_T)^2=K[(V_{GS}-V_T)+v_{gs}]^2 \\ &= K[(V_{GS}-V_T)^2+2v_{gs}(V_{GS}-V_T)+v_{gs}^2] \\ &\cong K(V_{GS}-V_T)^2+2v_{gs}K(V_{GS}-V_T)=I_D+i_d \end{aligned}$$

Luego la transconductancia resulta

$$g_m=\frac{i_d}{v_{gs}}=2K(V_{GS}-V_T)$$

pero como $\quad I_D=K(V_{GS}-V_T)^2 \Rightarrow V_{GS}-V_T=\sqrt{\frac{I_D}{K}}$

tenemos $\quad g_m=2K\sqrt{\frac{I_D}{K}}==2\sqrt{KI_D}$

5.5.2 Obtención de *K*

i) Si en las hojas de datos se da g_{mA} para una I_{DA} $\Rightarrow$ $g_{mA}=2\sqrt{KI_{DA}}$

$\Rightarrow \sqrt{K}=\frac{g_{mA}}{2\sqrt{I_{DA}}}$.

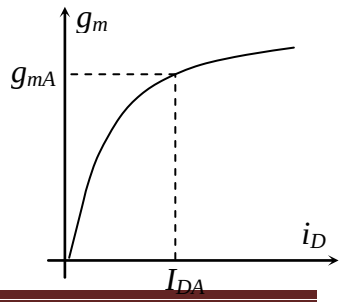


Figura 5.5.4
Trasconductancia.

Así, $$g_m = g_{mA}\sqrt{\frac{I_D}{I_{DA}}}$$

ii) Si del fabricante obtenemos $I_{D(on)}$ a V_{GS} y V_{Tmin} $\Rightarrow$ $K = \dfrac{I_{D(on)}}{(V_{GS} - V_{Tmin})^2}$

5.5.3 Comparación entre transistores de efecto de campo (FET) y bipolares (BJT)

a) La transconductancia g_m

BJT $g_m = I_{CQ}/V_T = I_{CQ}/25\text{mV} \cong 40I_{CQ}$, si $I_{CQ} = 10$ mA $\Rightarrow g_m = 400$ mΩ^{-1}

FET $g_m = -2I_{DSS}(1 - V_{GS}/V_P)/V_P$, si $I_{DSS} = 10$ mA y $V_P = -4$ V $\Rightarrow g_m = 5$ mΩ^{-1}
En general g_m varía entre 1~20 mΩ^{-1} $V_{GS} = 0$

b) Resistencia dinámica de la fuente de corriente del modelo r_d

BJT $1/h_{oe}$ 10 ~ 100 kΩ (h_{oe} 10^{-4} ~ 10^{-5} Ω^{-1})

JFET r_d 10 ~ 100 kΩ

MOSFET r_d 1 ~ 50 kΩ

c) BJT $\Delta I_C/\Delta T > 0$ $\Rightarrow$ puede haber corrida térmica

FET $\Delta I_D/\Delta T$ ~ $-0{,}007I_D < 0$ $\Rightarrow$ no existe posibilidad de corrida térmica

d) Resistencia dinámica compuerta-fuente (polarizada inversamente en JFET) r_{gs}

BJT h_{ie} ~ 1 – 5 kΩ

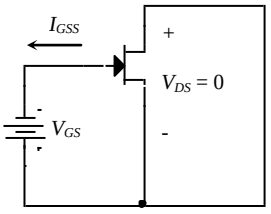
JFET ~ 10^8 Ω

MOSFET ~ 10^{10} Ω

e) I_{GSS}

JFET 1 ~10 nA

MOSFET 10 pA ~1 nA
Todo esto a 25 °C, varía mucho con T.



Ventajas:

- Su funcionamiento depende solo del flujo de portadores mayoritarios, es un dispositivo unipolar.

- Resistencia de entrada muy alta.
- Menos ruido que los BJT como consecuencia de ser unipolar.
- No presenta voltaje umbral en la característica de salida, para $I_D = 0$, sí lo hace el BJT.
- Es estable térmicamente, no se produce corrida térmica.

Desventajas:

- g_m baja, con lo cual su producto ganancia-ancho de banda es chico frente al BJT.

5.6 ETAPAS INDIVIDUALES CON FET

5.6.1 Etapa en fuente común (FC) o common source (CS)

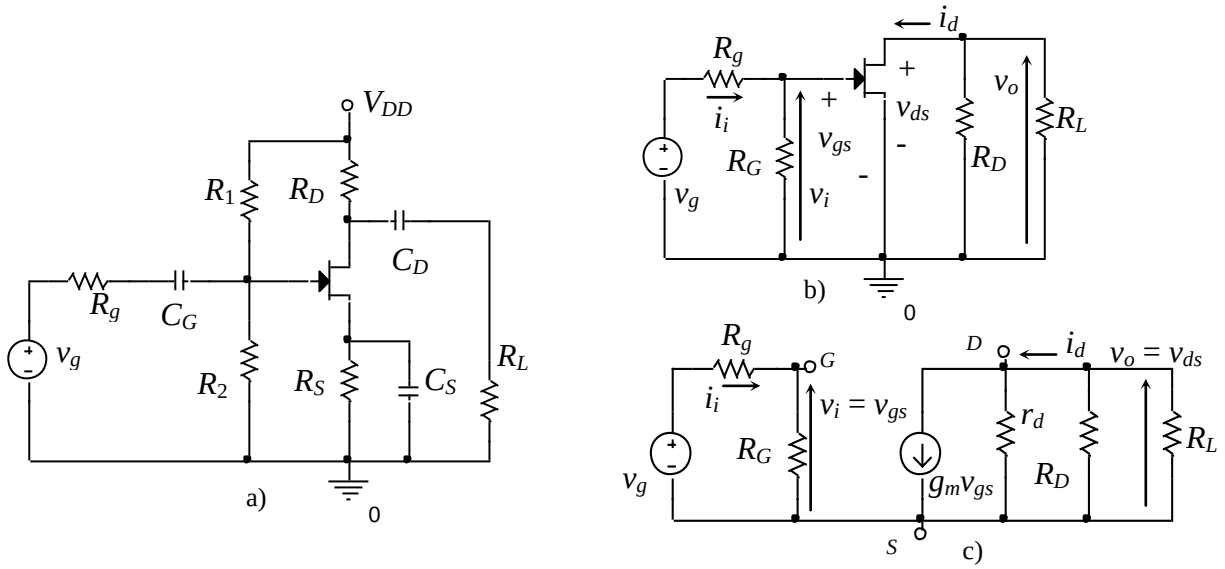


Figura 5.6.1 a) Circuito completo de una etapa simple en fuente común, b) Circuito equivalente para alterna, c) Circuito equivalente con el modelo de pequeña señal del FET.

De la Fig. 5.6.1 se desprende que,

$$R'_L = R_L \| R_D, \quad R_G = R_1 \| R_2$$

Por definición tenemos

$$A_{Vt} = \frac{v_{ds}}{v_{gs}} = \frac{v_o}{v_i} = A_{Ve}$$

En el circuito de salida se cumple,

$$v_{ds} = -g_m v_{gs} (r_d \parallel R_L^{'})$$

por lo tanto la ganancia de tensión resulta,

$$A_V = \frac{v_{ds}}{v_{gs}} = -g_m \frac{r_d R_L^{'}}{r_d + R_L^{'}}$$

si se cumple que $r_d >> R'_L$ entonces $A_V \cong -g_m R_L^{'}$

Por simple observación, del circuito de la Fig. 5.6.1 c), deducimos que

$$R_{it} = \frac{v_{gs}}{i_g} = \infty \qquad R_{ie} = R_G \qquad R_{ot} = \frac{v_o}{i_o}\Big|_{v_g=0} = r_d \qquad R_{oe} = r_d \parallel R_D$$

Por lo general R_G es del orden del megaohm.

5.6.2 Etapa en drenador común (DC) o common drain (CD), o seguidor de fuente

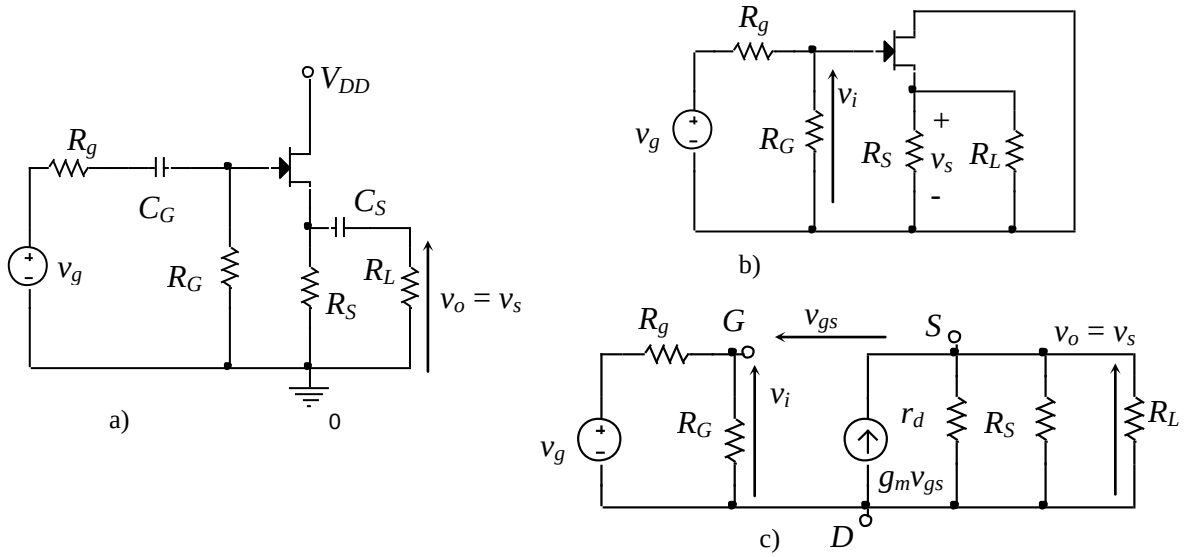


Figura 5.6.2 a) Circuito básico de una etapa simple en drenador común, b) Circuito equivalente para alterna, c) Circuito equivalente con el modelo de pequeña señal del FET.

De la Fig. 5.6.2 a) se deduce que $R'_L = R_L \| R_S$ y además,

$$v_{gs} = v_i - v_o \qquad v_s = v_o \qquad v_{gd} = v_i$$

En el nodo de la fuente (S) en la Fig. 5.6.2 c) la suma de corrientes es

$$- g_m v_{gs} + v_o/r_d + v_o/R'_L = 0$$

$$- g_m(v_i - v_o) + v_o(1/r_d + 1/R'_L) = 0$$

$$g_m v_i = g_m v_o + v_o/r_d + v_o/R'_L$$

Despejando nos queda,

$$\frac{v_o}{v_i} = A_{Vt} = A_{Ve} = \frac{g_m}{g_m + g_d + g_L^{'}} \cong \frac{g_m}{g_m + g_L^{'}} = \frac{g_m R_L^{'}}{1 + g_m R_L^{'}} < 1$$

De la última ecuación vemos que si deseamos $A_V \cong 1$ debemos hacer $g_m R'_L$ grande, pues g_m está limitada por el dispositivo. Luego R_S debe ser grande, pero esto disminuye I_D y por lo tanto disminuye g_m. Es decir, que así como está la etapa no logramos una ganancia de tensión cercana a uno como lo hacíamos con el seguidor de emisor. Para obtener ganancias de tensión cercanas a la unidad se debe reformar el circuito. Observando la Fig. 5.6.2 c) se deduce,

$$R_{it} = \infty \qquad R_{ie} = R_G \qquad R_{ot} = \frac{v_o}{i_o}\Big|_{v_g=0} = r_d \| \frac{1}{g_m} \cong \frac{1}{g_m} \qquad R_{oe} = \frac{1}{g_m} \| R_S$$

5.6.3 Etapa en fuente común (FC) o common source (CS), con resistencia en fuente R_S

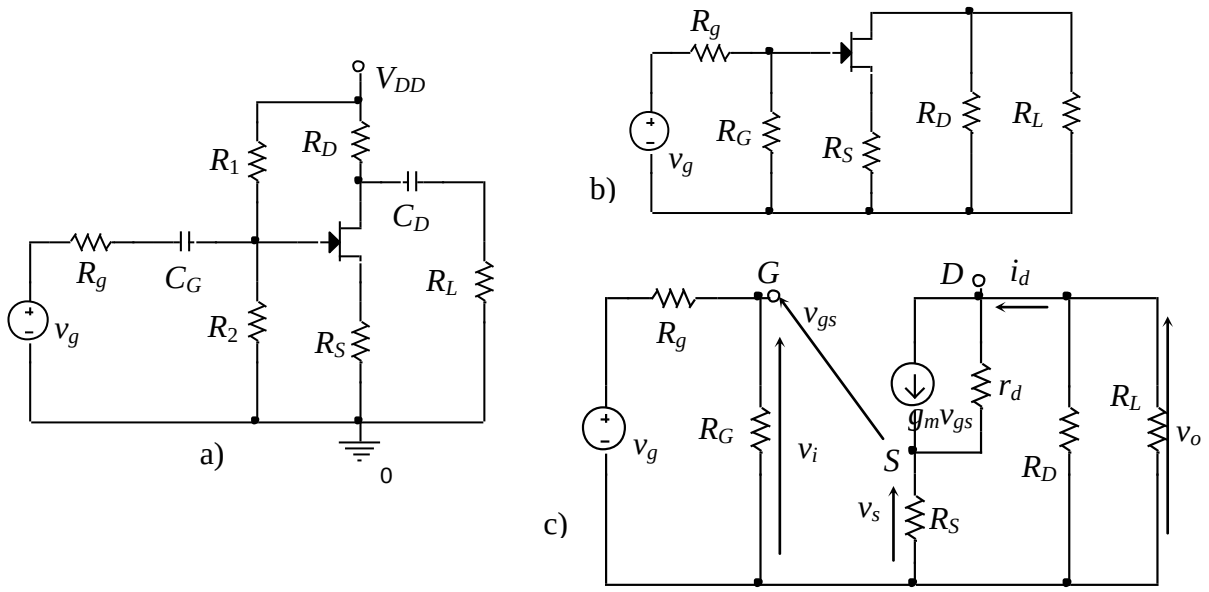


Figura 5.6.3 a) Circuito básico de una etapa simple en fuente común con R_S, b) Circuito equivalente para alterna, c) Circuito equivalente con el modelo de pequeña señal del FET.

De la Fig. 5.6.3 c) se desprende que $R'_L = R_L \| R_D$ y

$$v_{gs} = v_i - v_s, \quad v_o = -\, i_d R'_L, \quad v_s = i_d R_S \qquad (5.6.3.1)$$

Planteamos la ecuación de nodos en el drenador para obtener

$$i_d = g_m v_{gs} + (v_o - v_s)/r_d \qquad (5.6.3.2)$$

Reemplazando las relaciones apropiadas de la ec. 5.6.3.1 en 5.6.3.2 y operando,

$$\frac{-v_o}{R'_L} = g_m v_i - g_m v_s + \frac{v_o}{r_d} - \frac{v_s}{r_d} \qquad (5.6.3.3)$$

$$\frac{-v_o}{R'_L} = g_m v_i - g_m\left(\frac{-v_o R_S}{R'_L}\right) + \frac{v_o}{r_d} - \frac{1}{r_d}\left(\frac{-v_o R_s}{R'_L}\right)$$

$$v_o\left(-\frac{1}{R'_L} - g_m\frac{R_S}{R'_L} - \frac{1}{r_d} - \frac{R_S}{r_d R'_L}\right) = g_m v_i$$

$$\frac{v_o}{v_i} = -\frac{g_m}{\frac{1}{R'_L} + g_m\frac{R_S}{R'_L} + \frac{1}{r_d} + \frac{1}{r_d}\frac{R_S}{R'_L}} = -\frac{g_m R'_L r_d}{r_d + g_m r_d R_S + R'_L + R_S}$$

$$A_{Vt} = \frac{v_o}{v_i} = -\frac{g_m R'_L r_d}{r_d + R'_L + R_S(1 + g_m r_d)}, \quad A_{Vt} \cong A_{Ve} \qquad (5.6.3.4)$$

De la observación del circuito de la Fig. 5.6.3 c) tenemos las resistencias de entrada,

$$R_{it} = \infty \qquad R_{ie} = R_G \qquad (5.6.3.5)$$

Para calcular la resistencia de salida, recordamos,

$$R_{ot} = \frac{v_o}{i_o}\Big|_{v_g = 0}$$

Del circuito de la Fig. 5.6.3 d) podemos expresar

$$v_{gs} = -v_s = -i_o R_S, \quad v_s = i_o R_S$$

En el nodo de drenador se cumple

$$i_o = g_m v_{gs} + (v_o - v_s)/r_d$$

Operando y reemplazando

$$i_o = g_m(-i_o R_S) + \frac{v_o}{r_d} - \frac{i_o R_S}{r_d}$$

$$i_o + g_m i_o R_S + \frac{i_o R_S}{r_d} = \frac{v_o}{r_d}$$

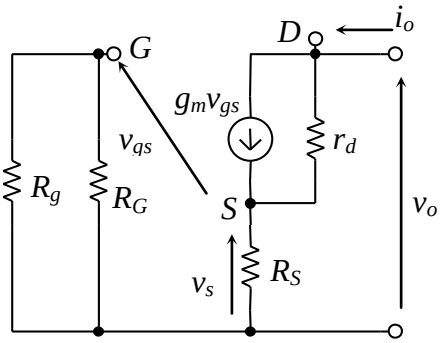


Figura 5.6.3 d) Circuito en drenador común para calcular la resistencia de salida.

Resulta entonces que la resistencia de salida está dada por

$$R_{ot} = \frac{v_o}{i_o} = r_d\left(1 + g_m R_S + \frac{R_S}{r_d}\right) = r_d(1 + g_m R_S) + R_S \qquad (5.6.3.6)$$

$$R_{ot} \cong r_d(1 + g_m R_S) \quad \text{y} \quad R_{oe} = R_{ot} \parallel R_D \qquad (5.6.3.7)$$

5.7 Variación con la temperatura.

De la figura para un FET de deplexión podemos observar que el valor de I_{DSS} disminuye con la temperatura, lo que en principio indicaría un coeficiente de variación negativo, debido a este motivo, en los FET no se presenta el efecto del escape térmico como en los transistores bipolares.

Hay dos factores que provocan la variación de I_D con la temperatura. El primero es la disminución de la movilidad de los portadores mayoritarios con la temperatura. Al aumentar la temperatura, los iones de la red cristalina vibran más fuertemente y, por lo tanto, los portadores no pueden moverse tan libremente en la estructura cristalina, de forma que sus velocidades disminuyen con lo que se reduce la corriente. Esta variación es $\Delta I_D / \Delta T$ = 0,7 % I_D / ºC.

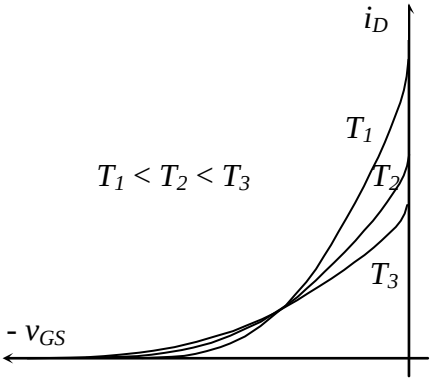


Figura 5.7.1 Característica de transferencia para varias temperaturas.

Por otro lado, al aumentar la temperatura se produce una disminución del ancho de la barrera puerta-canal, lo que produciría un aumento en la I_D. Este aumento equivale a una variación en V_{GS} es $\Delta V_{GS} / \Delta T$ = 2,2 mV / ºC.

Debido a que los dos efectos se contraponen (mientras uno tiende a disminuir la corriente el otro tiende a aumentarla), es posible pensar en poder polarizar al dispositivo de manera tal que las variaciones por uno y otro efecto sean iguales, de modo que la deriva total de la corriente sea nula. Para ello, y teniendo en cuenta que una variación ΔV_{GS} producirá una variación en la corriente $\Delta I_D = g_m . \Delta V_{GS}$:

$$0{,}007 I_D = 0{,}0022 g_m \qquad (5.6.3.8)$$

$$\frac{I_D}{g_m} = 0{,}314 \qquad (5.6.3.9)$$

Reemplazando:

$$\frac{I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2}{-2I_{DSS}\frac{\left(1-\frac{V_{GS}}{V_P}\right)}{V_P}} = 0{,}314 \qquad (5.6.3.10)$$

Por lo tanto:

$$V_{GS} = 0{,}63 + V_P \qquad (5.6.3.11)$$

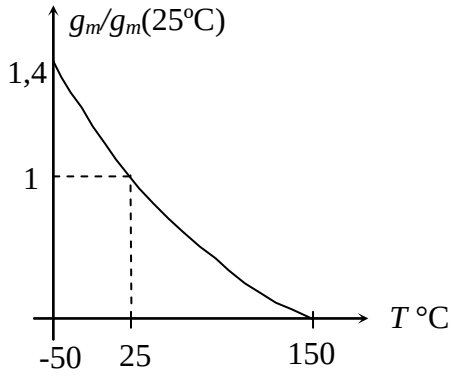
Ecuación que da el valor de V_{GS} para que la deriva sea nula si se conoce el valor de V_P. Reemplazando en la ecuación de corriente:

$$I_D = I_{DSS}\left(1-\frac{0{,}63+V_P}{V_P}\right)^2 = I_{DSS}\left(\frac{0{,}63}{V_P}\right) \qquad (5.6.3.12)$$

y g_m:

$$g_m = g_{mo}\left(\frac{0{,}63}{|V_P|}\right) \qquad (5.6.3.13)$$

Donde los parámetros g_{mo}, V_P e I_{DSS} se miden a 25 ºC.



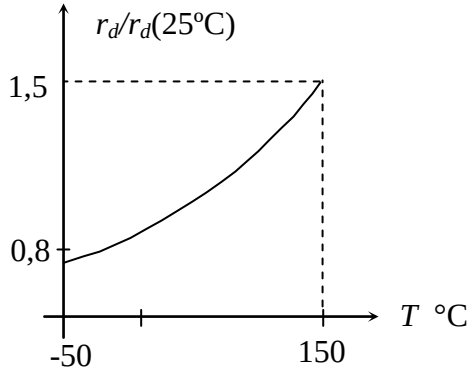


TABLA 5.1: Regiones de operación de los FETs y ecuaciones de la trasconductancia para pequeña señal

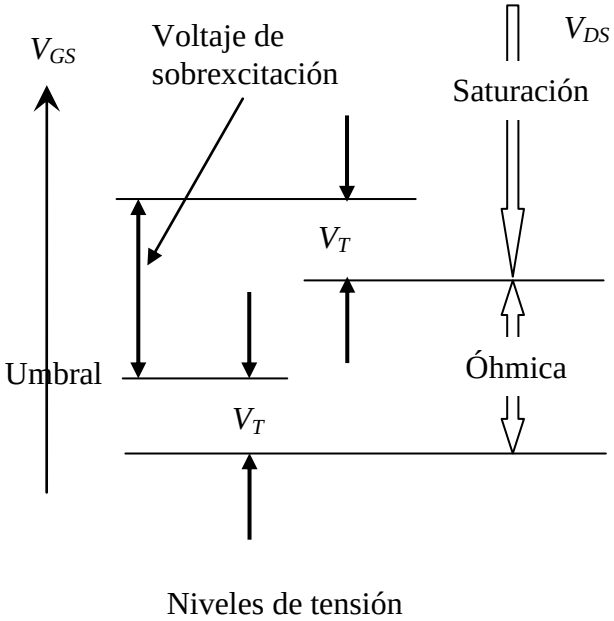
Tipo de FET	Región Óhmica	Región de Saturación	Región de Corte	g_m
***n*-JFET**	$\mathbf{0 < V_{DS} < V_{GS} - V_P, \quad V_{GS} > V_P}$ $I_D = I_{DSS}\left[2\left(\frac{V_{GS}}{V_P}-1\right)\frac{V_{DS}}{V_P}-\left(\frac{V_{DS}}{V_P}\right)^2\right]$	$\mathbf{V_{DS} \geq V_{GS} - V_P, \quad V_{GS} > V_P}$ $I_D = I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2$	$\mathbf{V_{GS} < V_P,\ I_D = 0}$ $\mathbf{V_P < 0}$ $\mathbf{I_{DSS} > 0}$	$g_{mo} = -\frac{2I_{DSS}}{V_P}$ $g_m = g_{mo}\left(1-\frac{V_{GS}}{V_P}\right)$ $= g_{mo}\sqrt{\frac{I_D}{I_{DSS}}}$ *
p-JFET	$V_{SD} < V_P + V_{SG}$ $I_D = I_{DSS}\left[2\left(\frac{V_{GS}}{V_P}-1\right)\frac{V_{DS}}{V_P}-\left(\frac{V_{DS}}{V_P}\right)^2\right]$	$V_{SD} \geq V_{SG} + V_P$ $I_D = I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2$	$V_{SG} < -V_P,\ I_D = 0$ $V_P > 0$ $I_{DSS} < 0$	
NMOSFET Enriquecimiento	$\mathbf{V_{GS} > V_T}$ $\mathbf{0 < V_{DS} < V_{GS} - V_T}$ $\mathbf{I_D = K[2(V_{GS} - V_T)V_{DS} - V^2_{DS}]}$	$\mathbf{V_{GS} > V_T}$ $\mathbf{V_{DS} \geq V_{GS} - V_T}$ $\mathbf{I_D = K(V_{GS} - V_T)^2}$	$\mathbf{V_{GS} < V_T,\ I_D = 0}$ $\mathbf{V_T > 0}$	$g_m = 2K(V_{GS} - V_T)$ $= 2\sqrt{KI_D}$
NMOSFET Deplexión En modo deplexión $I_D > 0$, $V_P < V_{GS} \leq 0$, $V_{DS} > 0$ En modo enriquecimiento $I_D > 0$, $V_{GS} > 0$, $V_{DS} > 0$	$0 < V_{DS} < V_{GS} - V_P$ $I_D = I_{DSS}\left[2\left(\frac{V_{GS}}{V_P}-1\right)\frac{V_{DS}}{V_P}-\left(\frac{V_{DS}}{V_P}\right)^2\right]$	$V_{DS} \geq V_{GS} - V_P$ $I_D = I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2$	$V_{GS} < V_P,\ I_D = 0$ $V_P < 0$ $I_{DSS} > 0$	Idem *
PMOSFET Enriquecimiento	$V_{SD} < V_{SG} + V_T,$ $- I_D = K[2(V_{GS} - V_T)V_{DS} - V^2_{DS}]$	$V_{SD} \geq V_{SG} + V_T$ $- I_D = K(V_{GS} - V_T)^2$	$V_{SG} < -V_T,\ I_D = 0$ $V_T < 0$	$g_m = 2K(V_{GS} - V_T)$ $= 2\sqrt{KI_D}$
PMOSFET Deplexión En modo deplexión $I_D < 0$, $-V_P < V_{SG} \leq 0$, $V_{SD} > 0$ En modo enriquecimiento $I_D < 0$, $V_{SG} > 0$, $V_{SD} > 0$	$0 < V_{SD} < V_{SG} + V_P,$ $I_D = I_{DSS}\left[2\left(\frac{V_{GS}}{V_P}-1\right)\frac{V_{DS}}{V_P}-\left(\frac{V_{DS}}{V_P}\right)^2\right]$	$V_{SD} \geq V_{SG} + V_P$ $I_D = I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2$	$V_{SG} < -V_P,\ I_D = 0$ $V_P > 0$ $I_{DSS} < 0$	Idem *

TABLA 5.2: Resumen de las ecuaciones de una etapa con FET

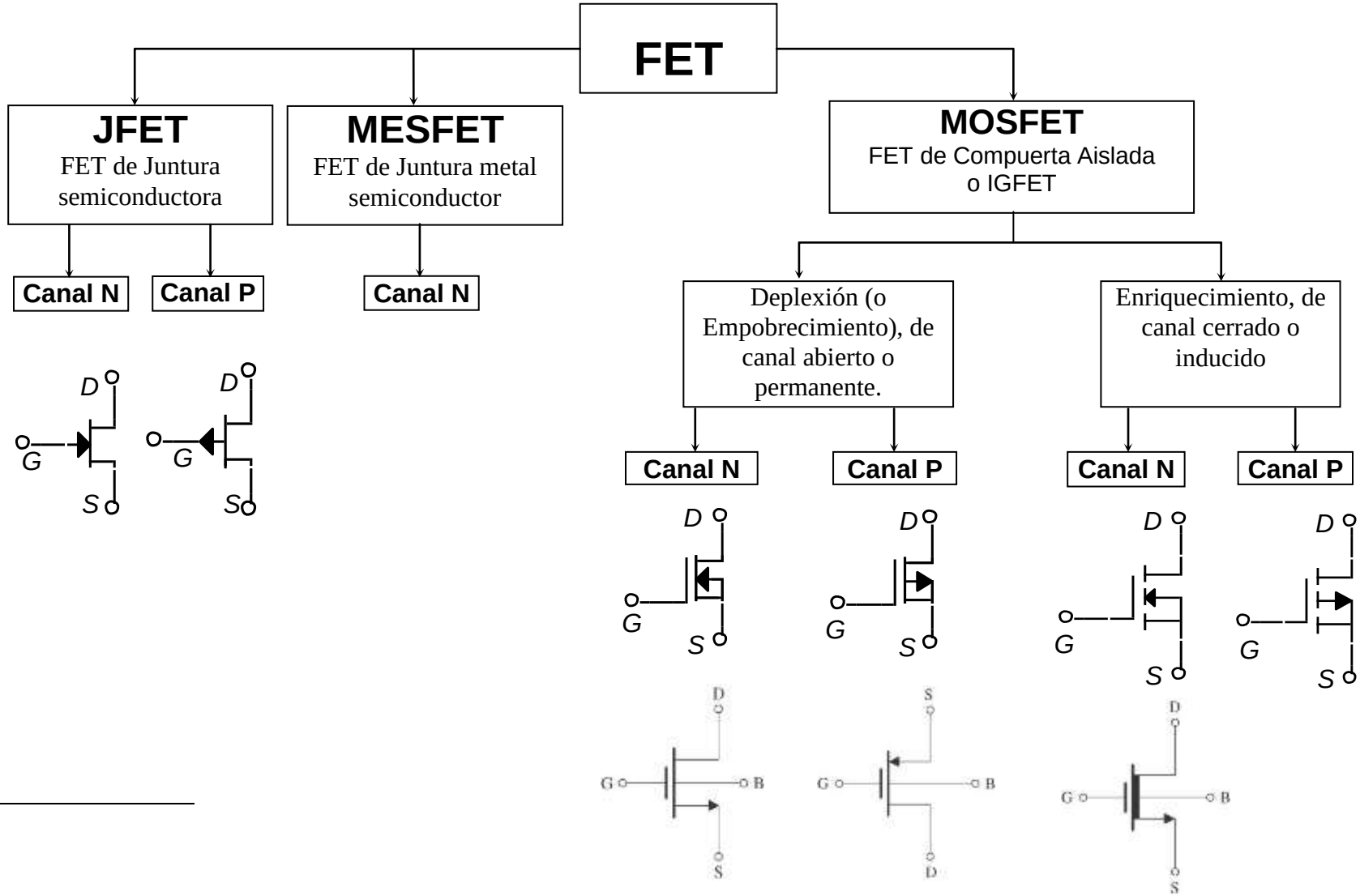
	FC (CS)	FC (CS) + R_S*	DC (CD)	CC (CG)
R_{it}	∞	∞	∞	$\dfrac{r_d + R_L^{'}}{1 + g_m r_d}$
$A_{Vt} = v_o / v_g$	$-g_m (R_L^{'} \parallel r_d)$	$\dfrac{-g_m r_d R'_L}{r_d + R'_L + (g_m r_d + 1) R_S}$	$\dfrac{g_m r_d R_L^{'}}{r_d + (g_m r_d + 1) R_L^{'}} < 1,$ $g_m r_d R_L^{'} >> r_d + R_L^{'}$	$\dfrac{g_m R_L^{'}}{1 + g_m R_S}$ si $r_d \to \infty$
R_{ot}	r_d	$r_d + R_S (1 + g_m r_d)$	$\dfrac{r_d + R_L^{'}}{g_m r_d + 1} \cong \dfrac{1}{g_m}$	$r_d + R_g (1 + g_m r_d)$

$R'_L = R_D \| R_L$ para FC (CS) CC (CG), R_g del generador, $R'_L = R_S \| R_L$ para DC (CD)

TABLA 5.3: Resumen de los MOSFET de Enriquecimiento



Cuadro resumen Transistores de Efecto de Campo (FET)



CAPÍTULO 6: CONFIGURACIONES ESPECIALES

6.1 Fuentes de Corriente

Son configuraciones de uno o varios transistores (BJT o FET) que se utilizan para polarizar circuitos a transistores en la región activa directa. Se las utiliza en lugar de las redes de resistencias de polarización en la base o gate para generar la I_{CQ} o I_{DQ}, siendo el método preferido en amplificadores diferenciales. También son muy usadas en el diseño de circuitos integrados.

6.1.1 Fuente de corriente simple

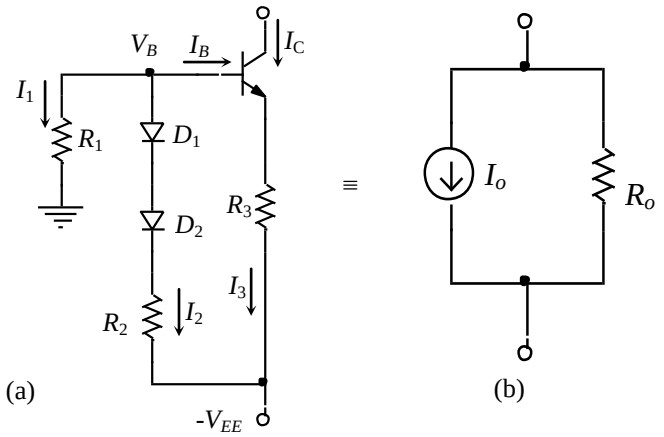


Figura 6.1 a) Circuito de una fuente de corriente simple b) Circuito equivalente, I_o en DC y R_o en AC.

En el nodo V_B la sumatoria de corrientes es: $I_1 + I_2 + I_B = 0$, (6.1.1)

En la malla de V_{BE} resulta, $V_B = I_3R_3 + V_{BE} - V_{EE}$. (6.1.2)

Luego las corrientes quedan,

$$I_1 = \frac{V_B}{R_1} = \frac{I_3 R_3}{R_1} + \frac{V_{BE}}{R_1} - \frac{V_{EE}}{R_1} \quad (6.1.3)$$

$$I_2 = \frac{V_B - 2V_D + V_{EE}}{R_2} = \frac{I_3 R_3 + V_{BE} - 2V_D}{R_2} \quad (6.1.4)$$

$$I_B = \frac{I_3}{h_{FE} + 1} \quad (6.1.5)$$

Reemplazando las ec. (6.1.3), (6.1.4) y (6.1.5) en la (6.1.1) tenemos,

$$0 = \frac{I_3R_3 + V_{BE} - V_{EE}}{R_1} + \frac{I_3R_3 + V_{BE} - 2V_D}{R_2} + \frac{I_3}{h_{FE} + 1}$$

$$I_3 = \frac{R_2(V_{EE} - V_{BE}) + R_1(2V_D - V_{BE})}{R_2R_3 + R_1R_3 + R_1R_2/(h_{FE} + 1)}$$

$$I_C = \frac{h_{FE}}{h_{FE}+1} I_3 = h_{FE} \frac{R_2(V_{EE}-V_{BE}) + R_1(2V_D - V_{BE})}{(h_{FE}+1)(R_2R_3 + R_1R_3) + R_1R_2}$$
$$I_C = I_o \cong \frac{R_2(V_{EE}-V_{BE}) + R_1(2V_D - V_{BE})}{R_2R_3 + R_1R_3} \qquad (6.1.6)$$

queda la I_C constante solo afectada por las pequeñas variaciones de V_{BE} y el h_{FE}; los dos diodos no serían necesarios, pero su inclusión da como beneficio adicional en esta y otras redes de polarización similares, una reducción de la dependencia de la corriente de colector con la temperatura de la unión base-emisor. Se podría reemplazar R_2 por un regulador zéner para lograr la corriente constante deseada.

6.1.2 Fuente de corriente espejo

Esta configuración utiliza menos componentes resistivos que la anterior, la hace más aplicable a circuitos integrados. La corriente constante es provista en el colector de Q_2 (I_{C2}) siendo la tensión colector base de Q_1 igual a cero, esto asegura su operación en la región activa directa y en esta disposición el transistor está conectado como diodo. Si se supone transistores idénticos y a idéntica temperatura resulta: $h_{FE1} = h_{FE2}$, $V_{BE1} = V_{BE2}$, lo que implica $I_{B1} = I_{B2}$ e $I_{C1} = I_{C2}$. Aplicando la sumatoria de corrientes en el nodo del colector de Q_1,

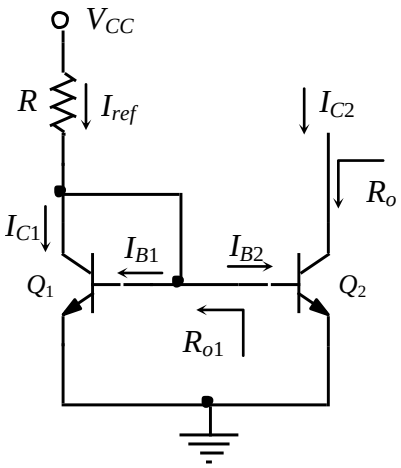


Figura 6.2 Circuito para una fuente de corriente espejo elemental

$$I_{ref} = I_{C1} + I_{B1} + I_{B2} = I_{C1} + 2I_{B1} = I_{C1} + 2(I_{C1}/h_{FE})$$

$$I_{ref} = I_{C1}\left(1+\frac{2}{h_{FE}}\right) \Rightarrow I_{C1} = I_{C2} = \frac{I_{ref}}{1+\frac{2}{h_{FE}}}$$

$$I_{ref} = [V_{CC} - V_{BE}]/R$$

$$I_{C2} = \frac{V_{CC} - V_{BE}}{R(1 + 2/h_{FE})} \cong I_{ref} \qquad (6.1.7)$$

Si queremos que la corriente de salida $I_{C2} \cong m.I_{ref}$ se deben dimensionar las áreas de las junturas base emisor de Q_1 y Q_2 tal que

$$m = \frac{I_{C2}}{I_{ref}} = \frac{I_{S2}}{I_{S1}} = \frac{A_{E2}}{A_{E1}} \qquad (6.1.8)$$

Si el h_{FE} es finito la expresión anterior es aproximada. Encuentre la expresión exacta.

La corriente de carga I_{C2} es también dependiente con V_{CE2}. Para una corriente de base constante, la corriente de colector se incrementará lentamente a medida que aumente la tensión colector emisor. En nuestro espejo de corriente $V_{CE2} \geq V_{CE1}$ ya que $V_{CE1} = V_{BE1}$. El valor de V_{CE2} depende de la tensión de polarización en el colector de Q_2. Es típico que $V_{CE2} >> V_{CE1}$.

La resistencia de salida de la fuente de corriente es un parámetro importante a tener en cuenta cuando se analiza un circuito en señal. Para determinar la resistencia de salida R_o de la fuente de corriente se utilizará los circuitos equivalentes de la Fig. 6.3, y para la resistencia de salida R_{o1} del transistor Q_1 el circuito equivalente de la Fig. 6.4. Los cálculos son,

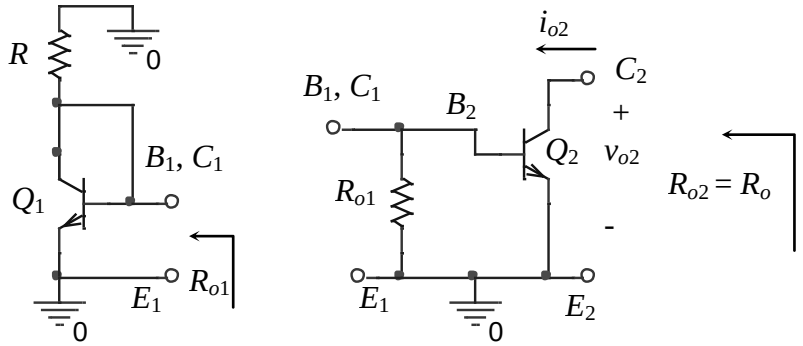


Figura 6.3 a) Circuitos equivalentes para cada transistor de una fuente de corriente espejo para obtener las resistencias de salida.

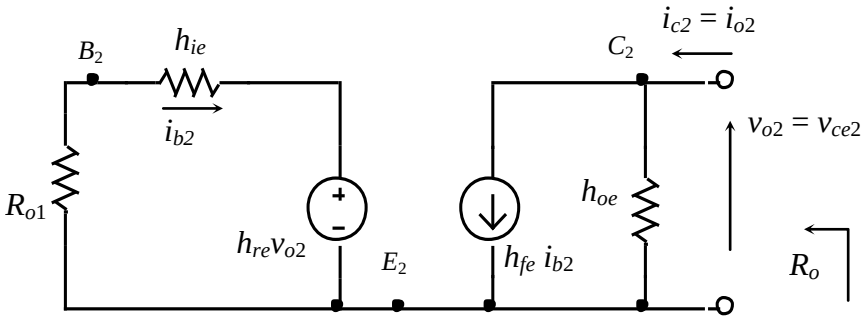


Figura 6.3 b) Circuito equivalente de una fuente de corriente espejo para obtener la resistencia de salida.

$$i_{o2} = h_{fe}i_{b2} + v_{o2}h_{oe}$$
$$i_{b2} = -h_{re}v_{o2}/(h_{ie} + R_{o1})$$
$$\boldsymbol{R_o^{-1} = R_{o2}^{-1} = i_{o2}/ v_{o2} = h_{oe} - h_{fe}h_{re}/(h_{ie} + R_{o1}) \cong h_{oe}} \qquad (6.1.9)$$

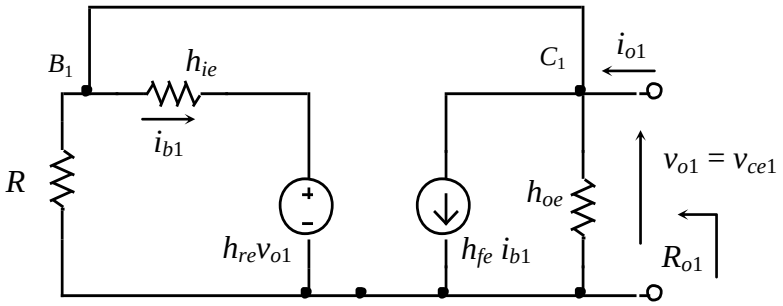


Figura 6.4 Circuito equivalente para obtener la resistencia de salida de Q_1 en la fuente de corriente.

$$i_{o1} = h_{fe}i_{b1} + v_{o1}h_{oe} + i_{b1} + v_{o1}g$$
$$i_{b1} = (v_{o1} - h_{re}v_{o1})/h_{ie} = v_{o1}(1 - h_{re})/h_{ie}$$
$$\boldsymbol{R_{o1}^{-1} = i_{o1}/v_{o1} = (h_{fe} + 1)(1 - h_{re})/h_{ie} + h_{oe} + g \cong h_{fe}/ h_{ie}} \qquad (6.1.10)$$

Para I_{C2} = 1,3 mA y h_{ie} = 1,1 kΩ, h_{fe} = 50, h_{re} = 2,5.10^{-4} y h_{oe} = 20.10^{-6} S, resulta: R_{o1} = 21,5 Ω y R_{o2} = 77,8 kΩ (suponiendo $R \cong$ 10 kΩ).

Como los transistores son idénticos con igual punto de reposo, los parámetros *h* son iguales. Se puede mejorar la resistencia de salida de la fuente de corriente anterior, utilizando un resistor de emisor tal que $R_{E1} = R_{E2}$, como se ilustra en la Fig. 6.5.

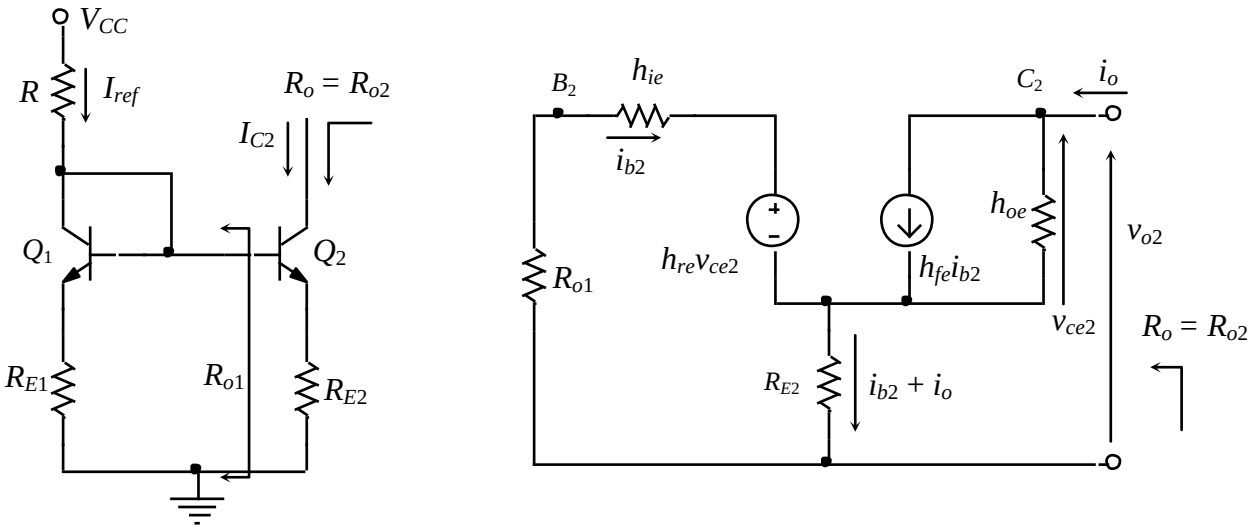


Figura 6.5 Circuito para una fuente de corriente espejo elemental con resistencia de salida mejorada y su equivalente para señal.

En el circuito equivalente de señal, suponiendo h_{re} = 0, se tiene en la malla de entrada:

$$-i_{b2}h_{ie} - (i_o + i_{b2})R_{E2} - i_{b2}R_{o1} = 0$$

$$i_{b2} = \frac{-R_{E2}i_o}{R_{E2} + h_{ie} + R_{o1}}$$

$$v_{o2} = i_o(R_{E2} \parallel (R_{o1} + h_{ie}) + \frac{i_o - h_{fe}i_{b2}}{h_{oe}} = i_o(R_{E2} \parallel (R_{o1} + h_{ie}) + i_o\frac{1}{h_{oe}}\left[1 + \frac{h_{fe}R_{E2}}{(R_{E2} + h_{ie} + R_{o1}}\right]$$

$$R_o = R_{o2} = \frac{v_{o2}}{i_o} = R_{E2} \parallel (R_{o1} + h_{ie}) + \frac{1}{h_{oe}}\left[1 + \frac{h_{fe}R_{E2}}{(R_{E2} + h_{ie} + R_{o1})}\right] \qquad (6.1.11)$$

Faltaría calcular R_{o1} para utilizarla en la última ecuación; esto se puede realizar a partir del circuito equivalente correspondiente a la fuente de corriente sin resistencias de emisor, con el agregado de una R_{E1}. R_{o1} será más alta en este caso; no obstante, suponerla cero en la ec. 6.1.11, R_o igualmente arroja valores similares al correcto.

Con los datos anteriores la resistencia de salida resulta: $R_{o2} \approx$ 1,4 MΩ si R_{E2} = 1 kΩ.

6.1.3 Fuente de corriente espejo con estabilidad mejorada

Se agrega un tercer transistor para obtener más estabilidad en el punto de reposo. Se utilizan tres transistores idénticos, Q_3 está en colector común. Las tensiones base emisor de Q_1 y

Q_2 son iguales, por lo tanto $I_{B1} = I_{B2}$ y $I_{C1} = I_{C2}$ ya que $h_{FE1} = h_{FE2} = h_{FE3}$. En la Fig. 6.6 se tiene el circuito modificado, del mismo se puede plantear,

$$
\begin{aligned}
I_{E3} &= I_{B1} + I_{B2} = \frac{I_{C1}}{h_{FE}} + \frac{I_{C2}}{h_{FE}} = \frac{2I_{C2}}{h_{FE}} \\
I_{B3} &= \frac{I_{E3}}{h_{FE}+1} = \frac{2I_{C2}}{h_{FE}(h_{FE}+1)} \\
I_{ref} &= I_{C1} + I_{B3} = I_{C2} + \frac{2I_{C2}}{h_{FE}(h_{FE}+1)} \\
&= I_{C2}\left[\frac{2 + h_{FE}(h_{FE}+1)}{h_{FE}(h_{FE}+1)}\right] \\
I_{ref} &= \frac{V_{CC} - V_{BE1} - V_{BE3}}{R} = \frac{V_{CC} - 2V_{BE}}{R}
\end{aligned}
\qquad (6.1.12)
$$

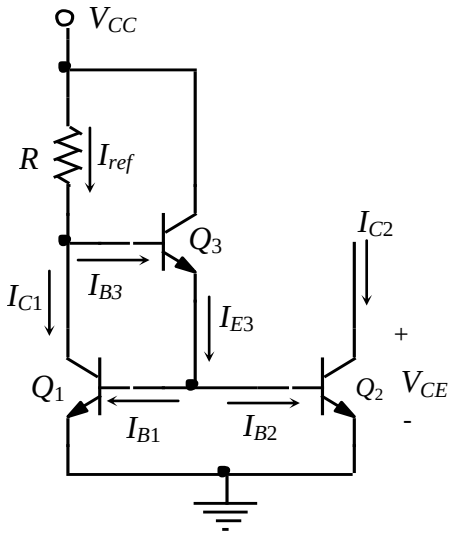


Figura 6.6 Fuente de corriente espejo con estabilidad mejorada.

Despejando para obtener I_{C2},

$$I_{C2} = \frac{(V_{CC} - 2V_{BE})h_{FE}(h_{FE}+1)}{R[h_{FE}(h_{FE}+1)+2]}$$

$$
\begin{aligned}
I_{C2} &= \frac{(V_{CC} - 2V_{BE})}{R\left(1 + \dfrac{2}{h_{FE}(h_{FE}+1)}\right)} \cong \frac{I_{ref}}{\left(1 + \dfrac{2}{h_{FE}^2}\right)} \\
I_{C2} &\cong I_{ref}
\end{aligned}
\qquad (6.1.13)
$$

Derivando la ecuación anterior podemos encontrar el factor de estabilidad respecto de h_{FE}:

$$S_{h_{FE}} = \frac{\partial I_{C2}}{\partial h_{FE}} = \frac{2(2h_{FE}+1)(V_{CC} - 2V_{BE})}{R[h_{FE}(h_{FE}+1)+2]^2} = \frac{2I_{ref}(2h_{FE}+1)}{[h_{FE}(h_{FE}+1)+2]^2} \cong \frac{2I_{ref}}{h_{FE}^{\ 3}} \qquad (6.1.14)$$

El factor de estabilidad ahora depende de h_{FE}^{-3} mientras que antes era de h_{FE}^{-2}. Se logra una mejora en la estabilidad del orden de h_{FE} si se compara la fuente espejo de corriente con tres transistores respecto de la que utiliza dos transistores.

6.1.4 Fuente de corriente espejo Wilson

Esta configuración se utiliza cuando se requiere baja sensibilidad a la corriente de base del transistor. Se observa en la Fig. 6.7 el circuito correspondiente. Se suponen todos los transistores idénticos. En el nodo del colector de Q_3 se tiene:

$$I_{E2} = I_{B1} + I_{B3} + I_{C3} = \frac{I_{C1}}{h_{FE}} + I_{C3}\left(1 + \frac{1}{h_{FE}}\right)$$

Como Q_1 y Q_3 son idénticos y tienen $V_{BE1} = V_{BE3}$, resulta $I_{B1} = I_{B3}$ y $I_{C1} = I_{C3}$ con $h_{FE1} = h_{FE2} = h_{FE3} = h_{FE}$. Por lo tanto se puede reescribir la última ecuación como,

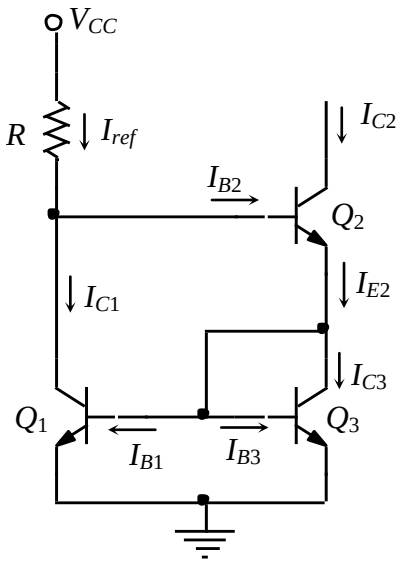


Figura 6.7 Fuente de corriente espejo Wilson.

$$I_{E2} = I_{C3}\left(1+\frac{2}{h_{FE}}\right)$$

$$I_{C2} = I_{E2}\frac{h_{FE}}{(h_{FE}+1)} = I_{C3}\left(\frac{h_{FE}}{h_{FE}+1}\right)\left(1+\frac{2}{h_{FE}}\right) \qquad (6.1.15)$$

En la base de Q_2,

$$I_{ref} = I_{C1} + I_{B2} = I_{C1} + I_{C2}/h_{FE}$$

Pero al ser idénticos los transistores, $I_{C1} = I_{C3}$; luego de la última ecuación reacomodada,

$$I_{C3} = I_{ref} - I_{C2}/h_{FE}$$

Si se reemplaza ésta en la ecuación 6.15,

$$I_{C2} = \left(I_{ref} - \frac{I_{C2}}{h_{FE}}\right)\left(\frac{h_{FE}}{h_{FE}+1}\right)\left(1+\frac{2}{h_{FE}}\right) \qquad (6.1.16)$$

Despejando I_{C2} queda:

$$I_{C2} = I_{ref}\frac{h_{FE}^2+2h_{FE}}{h_{FE}^2+2h_{FE}+2} = I_{ref}\left(1-\frac{2}{h_{FE}^2+2h_{FE}+2}\right) \cong I_{ref} \qquad (6.1.17)$$

La corriente I_{C2} e I_{ref} difieren muy poco entre sí.

6.1.5 Fuente de corriente Widlar

En las fuentes de corriente vistas, la corriente de carga I_{C2} es aproximadamente igual a la corriente de referencia para h_{FE} grande. Para entregar corrientes de mA con tensiones de alimentación del orden de 10V, el resistor de referencia debe ser de varios kΩ. Esto limita poco

al diseñador, sin embargo, si la corriente de carga es pequeña (del orden de 5μA), el resistor de referencia se acerca o supera el MΩ. En amplificadores operacionales en circuito integrado, las corrientes de entrada son bajas lo cual significa bajas corrientes de polarización para el amplificador diferencial de entrada acoplado en emisor. Un resistor de esta magnitud es prohibitivo por el área ocupada en el chip. También es difícil fabricar resistencias con valores exactos en circuitos integrados.

La corriente de referencia y la de carga se pueden hacer sustancialmente diferentes forzando las V_{BE} de Q_1 y Q_2 a ser distintas en el espejo de corriente. Esto se logra introduciendo una resistencia R_E en el emisor de Q_2 como se observa en la Fig. 6.8. Si se analiza la malla de base emisor de los transistores inferiores se tiene:

$$0 = V_{BE1} - V_{BE2} - I_{E2}R_E \qquad (6.1.18)$$

Para un transistor operando en la región activa se tenía,

$$I_C = I_S\left(e^{V_{BE}/nV_T} - 1\right) \qquad (6.1.19)$$

de donde resulta,

$$V_{BE} = nV_T \ln\left(1 + \frac{I_C}{I_S}\right) \approx nV_T \ln\frac{I_C}{I_S} \qquad (6.1.20)$$

si $V_{BE} >> nV_T \cong 50$ mV @ 25 °C

Reemplazando la ec.6.1.20 en la ec. 6.1.18 para cada tensión tenemos,

$$n_1V_T \ln\frac{I_{C1}}{I_S} - n_2V_T \ln\frac{I_{C2}}{I_S} - \frac{(h_{FE}+1)}{h_{FE}} I_{C2}R_E = 0 \qquad (6.1.21)$$

Como $Q_1 = Q_2$, es $n_1 = n_2$, luego resulta:

$$nV_T \ln\frac{I_{C1}}{I_{C2}} = \frac{(h_{FE}+1)}{h_{FE}} I_{C2}R_E,$$
$$nV_T \ln\frac{I_{C1}}{I_{C2}} = I_{C2}R_E \qquad (6.1.22)$$

Esta última es una ecuación trascendental que se resuelve iterativamente dados R_E e I_{C1} (o I_{ref}) para hallar I_{C2}. $I_{C2} << I_{C1} \cong I_{ref}$.

6.1.6 Fuente de corriente espejo con MOSFET

En circuitos integrados de tipo MOS, los FETs se polarizan en la región de saturación utilizando fuentes de corriente constante con MOSFETs. La Fig. 6.9 muestra una fuente de corriente espejo con NMOSFET de enriquecimiento. Los FETs M_1 y M_2 están conectados como dispositivos saturados. La corriente de referencia I_{ref} y la corriente de carga I_{D3} se determinan de la expresión para la corriente de drenador,

$$I_{ref} = K_1\left(V_{GS1} - V_{T1}\right)^2 = K_2\left(V_{GS2} - V_{T2}\right)^2 \qquad (6.1.23)$$

$$I_{D3} = K_3\left(V_{GS3} - V_{T3}\right)^2 \qquad (6.1.24)$$

El NMOSFET M_3 se supone en la región de saturación.
Aplicando la ley mallas de Kircchoff a M_1 y M_2, la tensión puerta-fuente de M_1 resulta,

$$V_{GS1} = V_{DD} - V_{GS2} \tag{6.1.25}$$

Reemplazando la ec. (6.1.25) en la ec. (6.1.23) da,

$$K_1\left(V_{DD} - V_{GS2} - V_{T1}\right)^2 = K_2\left(V_{GS2} - V_{T2}\right)^2 \tag{6.1.26}$$

Reacomodando la ecuación se obtiene

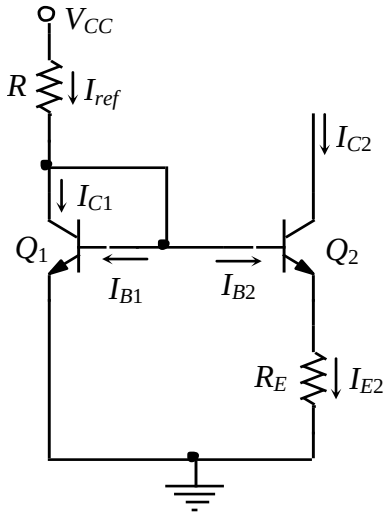


Figura 6.8 Fuente de corriente Widlar.

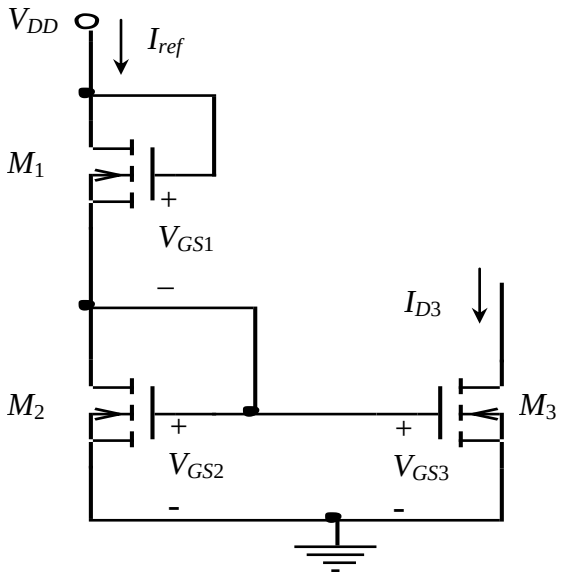


Figura 6.9 Fuente de corriente espejo con Mosfet.

$$\left[1+\left(\frac{K_1}{K_2}\right)^{1/2}\right]V_{GS2} = \left(\frac{K_1}{K_2}\right)^{1/2}\left(V_{DD} - V_{T1}\right) + V_{T2} \tag{6.1.27}$$

despejando V_{GS2},

$$V_{GS2} = \frac{\left(K_1/K_2\right)^{1/2}\left(V_{DD} - V_{T1}\right) + V_{T2}}{1+\left(K_1/K_2\right)^{1/2}} \tag{6.1.28}$$

Pero $V_{GS3} = V_{GS2}$, por ello la corriente de carga I_{D3} se halla reemplazando la ec. 6.1.28 en la ec. 6.1.24. Los distintos K permiten seleccionar distintas corrientes en procesos de fabricación de circuitos integrados.

6.2 Cargas Activas

En los amplificadores de pequeña señal la ganancia es directamente proporcional a la resistencia de carga, por lo tanto para obtener mucha ganancia se necesitan resistores de carga de gran valor. Sin embargo, aumentar la resistencia de carga requiere aumentar la tensión de

alimentación para mantener al transistor en la región de operación adecuada, aunque igualmente se altere el punto de operación. Estos dos efectos no son deseables.

Las configuraciones de fuentes de corriente se utilizan comúnmente como cargas activas para dar una carga alta y así aumentar la ganancia de pequeña señal. La resistencia de salida de pequeña señal de la fuente de corriente se utiliza como la carga del circuito amplificador. En la Fig. 6.10 se observan los modelos equivalentes de Thevenin y Norton de una fuente de corriente.

Para el equivalente Norton, se sigue el análisis y diseño vistos anteriormente para determinar $\boldsymbol{I_o}$ **para corriente continua**; mientras que la resistencia de salida $\boldsymbol{R_o}$ se obtiene del

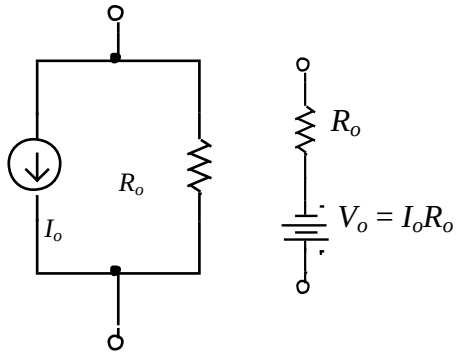


Figura 6.10 Equivalentes Norton y Thevenin de una fuente de corriente.

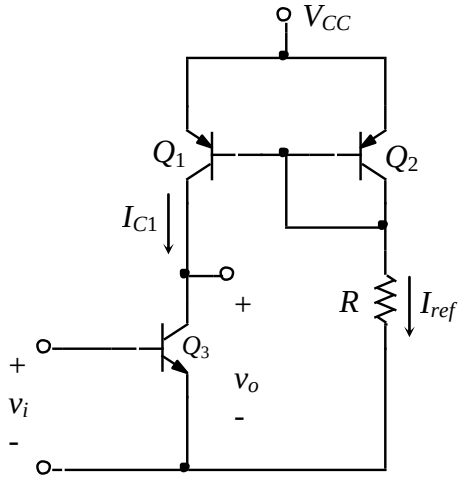


Figura 6.11 Amplificador en emisor común con carga activa.

comportamiento de la fuente de corriente **para pequeña señal**, como habitualmente se hace en los amplificadores. Ya que se utiliza un transistor en lugar de un resistor, la carga es dependiente tanto de las características inherentes del transistor como del punto de reposo del circuito.

En la Fig. 6.11 se tiene un ejemplo de etapa amplificadora en emisor común con carga activa. Si reemplazamos la fuente de corriente formada por Q_1 y Q_2 por su equivalente para señal, R_o y calculamos la ganancia de tensión se llega a

$$A_V = -\frac{h_{fe}R_o}{h_{ie}} \qquad (6.2.1)$$

Como R_o es un valor muy alto, la ganancia también lo será, sin alterar los valores de polarización. Esto último sí ocurre si se utiliza una resistencia muy alta en el colector.

6.3 Configuraciones compuestas

Son combinaciones de dos transistores, las cuales se analizan como una etapa de señal única. Estas asociaciones de componentes producen amplificadores con propiedades significativamente afectadas. Con BJT tenemos las configuraciones Darlington y cascodo, o combinaciones de BJT y unipolares como el BiFET (BiCMOS) Darlington. Se alteran los parámetros originales obteniéndose ganancia de corriente, resistencia de entrada y resistencia de salida aumentada/disminuida, según el caso particular que se analizará a continuación.

6.3.1 Configuración Darlington en colector común doble

La Fig. 6.12 muestra el circuito de esta disposición; si se lo analiza en continua se puede resumir el comportamiento como sigue:

en corte: $V_{BE(ON)} \approx 1{,}2V$
en activa: $V_{BE} \approx 1{,}4V$
en saturación: $V_{BE(sat)} \approx 1{,}6V$, $V_{CE(sat)} \approx 0{,}9V$

Las corrientes en el dispositivo son:

$$I_C = I_{C1} + I_{C2} = h_{FE1}I_{B1} + h_{FE2}I_{B2}$$

$$I_C = h_{FE1}I_{B1} + h_{FE2}[(h_{FE1} + 1)I_{B1} - I_{pol}],$$

y si $h_{FE1}\, h_{FE2} >> 1$ se tiene,

$$I_C \approx h_{FE1}\, h_{FE2}\, I_{B1} - h_{FE2}\, I_{pol},$$

$$I_E = (h_{FE2} + 1)I_{B2} = (h_{FE2} + 1)[I_{E1} - I_{pol}]$$

$$I_E = (h_{FE2} + 1)[(h_{FE1} + 1)I_{B1} - I_{pol}]$$

$$I_E = (h_{FE1} + 1)(h_{FE2} + 1)I_{B1} - (h_{FE2} + 1)I_{pol},$$ si se hace $I_{pol} = 0$ resulta,

$$\boldsymbol{h_{FE} = h_{FE1}\, h_{FE2}}$$

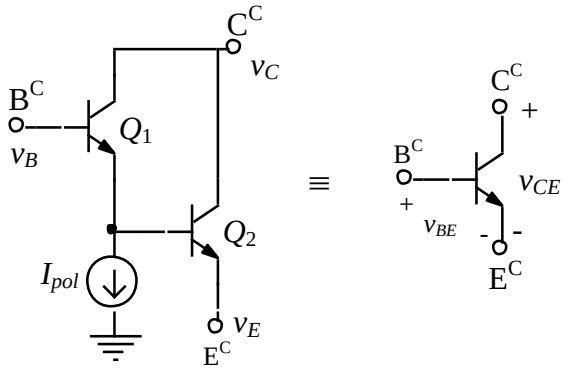


Figura 6.12 Configuración Darlington en colector común doble y su equivalente.

I_{pol} tiene por objeto equiparar las corrientes en ambos transistores de manera que los parámetros híbridos de cada transistor sean semejantes.
Los parámetros híbridos del conjunto para pequeña señal se obtienen del análisis del circuito equivalente, que puede observarse en la Fig. 6.13:

$$\begin{aligned} i_c = i_{c1} + i_{c2}\,, \quad i_{b2} &= i_{c1} + i_{b1} = (h_{fe} + 1)i_{b1} \\ &= h_{fe1}i_{b1} + h_{fe2}\, i_{b2} \\ &= h_{fe1}i_{b1} + h_{fe2}\,(h_{fe1} + 1)i_{b1} \\ &= (h_{fe1} + 1)(h_{fe2} + 1)i_{b1} - i_{b1} \end{aligned}$$

si h_{fe2} y $h_{fe1} >> 1$ se tiene, $i_c = h_{fe1}h_{fe2}i_{b1}$

Por lo tanto para el equivalente del conjunto: $\boldsymbol{h_{fe} = i_c/i_b = i_c/i_{b1} = h_{fe1}h_{fe2}}$

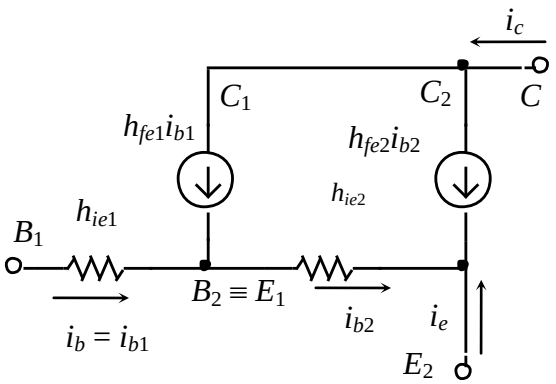


Figura 6.13 Circuito para obtener los parámetros híbridos del Darlington en colector común doble.

En la malla de entrada se tiene: $h_{ie} = v_{be}/i_b = v_{b1e2}/i_{b1}$

$$v_{b1e2} = h_{ie1}i_{b1} + h_{ie2}i_{b2} = h_{ie1}i_{b1} + (i_{b1} + h_{fe1}i_{b1})h_{ie2}$$

Luego resulta para el conjunto, $\boldsymbol{h_{ie} = h_{ie1} + h_{ie2}(h_{fe1} + 1)}$

Se puede demostrar que este parámetro compuesto vale:

$$\boldsymbol{h_{ie} \approx 2\, h_{fe1}\, h_{fe2} V_T / |I_C|}$$

Para calcular la resistencia de salida se supone $i_{b1} = 0$, y además como $h_{ie1} >> h_{ie2}$ ($h_{ie1} || h_{ie2} \cong h_{ie2}$); se utiliza el circuito de la Fig. 6.14,

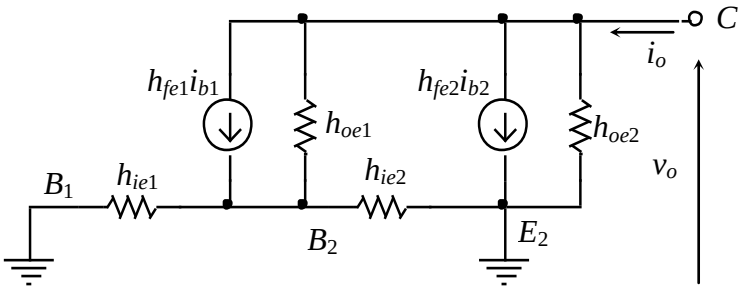


Figura 6.14 Determinación de la resistencia de salida para el Darlington en colector común doble.

La suma de corrientes de señal en el colector de salida será:

$$i_o = i_c = v_{ce} h_{oe2} + h_{fe2} i_{b2} + v_{ce}/(h_{ie2} + h_{oe1}^{-1})$$

$$i_{b2} = v_{ce}(h_{ie2} + 1/\, h_{oe1})$$

$$h_{oe} = i_c/v_{ce} = 1/R_o \approx h_{oe2} + (h_{fe2} + 1)/(h_{ie2} + 1/h_{oe1}) = h_{oe2} + (h_{fe2} + 1)h_{oe1}/(1 + h_{ie2}h_{oe1})$$

$$\boldsymbol{h_{oe} \approx h_{oe2} + (h_{fe2} + 1)h_{oe1} = R_o^{-1}}$$

Se puede concluir que esta configuración provee una mayor ganancia de corriente, mayor resistencia de entrada y menor resistencia de salida.
Nota: recuerde que los parámetros híbridos en cada transistor dependen de la polarización en "ése" transistor.

6.3.2 Configuración Darlington en colector común – emisor común

Esta configuración no es tan común como la anterior. En la Fig. 6.15 se muestra el circuito de esta disposición.
Si se analiza en continua se puede resumir el comportamiento como sigue:

en corte: $V_{BE(ON)} \approx$ 1,2 V
en activa: $V_{BE} \approx$ 1,4 V
en saturación: $V_{BE(sat)} \approx$ 1,6 V, $V_{CE(sat)} \approx$ 0,2 V

En la región activa se tiene:

$$I_C = I_{C2}\,;\; I_C = h_{FE2} I_{B2} = h_{FE2}[(h_{FE1} + 1)I_{B1} - I_{pol}] \approx \boldsymbol{h_{FE2}\, h_{FE1}\, I_{B1} - h_{FE2} I_{pol} = I_C}$$

$$I_{B2} = I_{E1} - I_{pol} = (h_{FE1} + 1)I_{B1} - I_{pol}$$

$$I_E = I_{E2} + I_{pol} = (h_{FE2} + 1)I_{B2} + I_{pol} = (h_{FE2} + 1)(I_{E1} - I_{pol}) + I_{pol}$$
$$= (h_{FE2} + 1)[(h_{FE1} + 1)I_{B1} - I_{pol}] + I_{pol}$$

$= (h_{FE2} + 1)(h_{FE1} + 1)I_{B1} - (h_{FE2} + 1)I_{pol} + I_{pol}$

$\boldsymbol{I_E = (h_{FE2} + 1)(h_{FE1} + 1)I_B - h_{FE2}\, I_{pol}}$, con $I_{B1} = I_B$

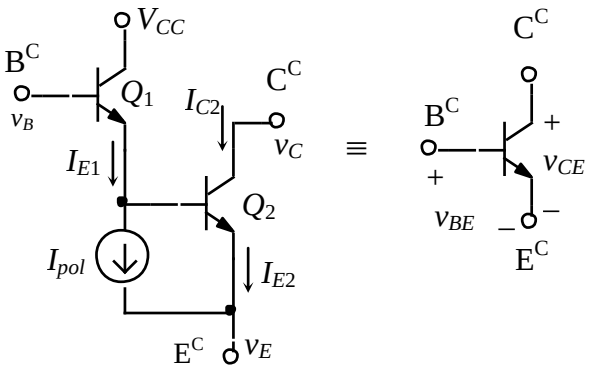


Figura 6.15 Configuración Darlington colector común emisor común.

si se hace $I_{pol} = 0$ resulta,

$\boldsymbol{I_C \cong h_{FE2}\, h_{FE1}\, I_B}$ por lo tanto $\boldsymbol{h_{FE} = h_{FE1}\, h_{FE2}}$

Los parámetros *h* en pequeña señal se pueden obtener de la Fig. 6.16 como sigue:

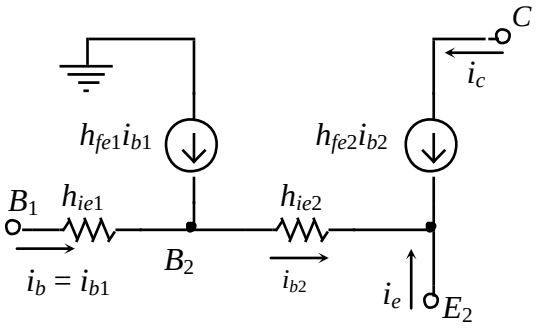


Figura 6.16 Circuito equivalente para determinar los parámetros híbridos del conjunto Darlington colector común emisor común.

$i_c = i_{c2} = h_{fe2}\, i_{b2}$
$= h_{fe2}\,(h_{fe1} + 1)\, i_{b1} \cong h_{fe2}\, h_{fe1} i_{b1}$, por lo tanto se tiene $\boldsymbol{h_{fe} = h_{fe2} h_{fe1}}$

$h_{ie} = v_{b1}/i_{b1}$, $\boldsymbol{h_{ie} = h_{ie1} + h_{ie2}\,(h_{fe1} + 1)}$

Se puede demostrar que $\boldsymbol{h_{ie} = h_{fe2}\, h_{fe1} V_T/|I_C|}$, si $I_{pol} = 0$,

Con $i_{b1} = 0$, $\boldsymbol{h_{oe} = h_{oe2}}$

A diferencia de la configuración anterior, esta última tiene mayor resistencia de salida e iguales la ganancia de corriente y la resistencia de entrada.

6.3.3 Configuración Darlington PNP

Se utiliza normalmente en diseños de circuitos discretos la Fig. 6.17 a). En el diseño de circuitos integrados, la falta de transistores *pnp* de buena calidad ha impulsado el uso de la configuración combinada alternativa que se ilustra en la Fig. 6.17 b). Ambos son equivalentes a

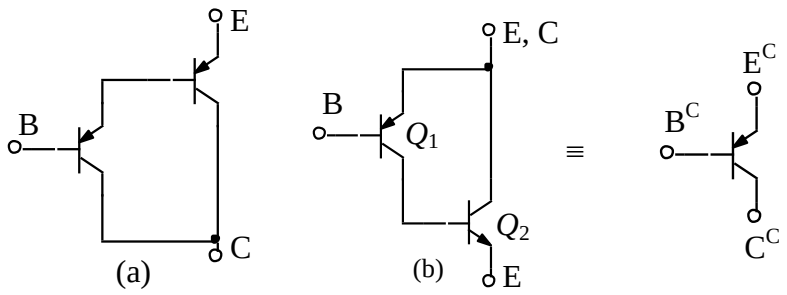


Figura 6.17 Configuración Darlington PNP.

un solo transistor que tenga $h_{FE} \approx h_{FE1}\, h_{FE2}$. Normalmente Q_1 en la Fig. 6.17 b) tiene un h_{FE1} entre 5-10 y deficiente respuesta en frecuencia ($f_T \approx 5$ MHz).

6.3.4 Configuración BiFET Darlington

Generalmente se refiere con BiCMOS a la combinación entre MOSFET y BJT; con BiFET se refiere a la combinación entre JFET y BJT, aunque también a la primera combinación. Estas combinaciones proveen una resistencia de entrada casi infinita debida al FET, una g_m mayor y una r_d menor. El circuito de esta configuración se puede observar en la Fig. 6.18:

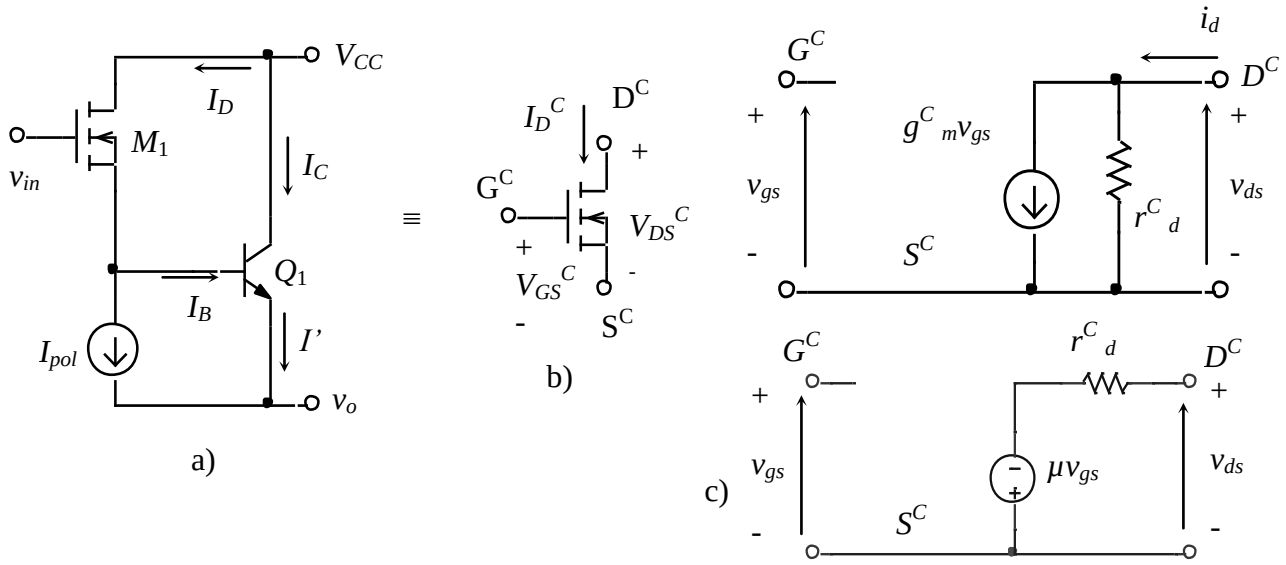


Figura 6.18 a) Configuración BiFET Darlington, b) dispositivo equivalente, c) modelos equivalentes de señal del conjunto M_1-Q_1.

Del circuito se puede plantear en continua:

$$I_B = I_D - I_{pol}$$

$$I' = (h_{FE} + 1)I_B = (h_{FE} + 1)\, I_D - (h_{FE} + 1)I_{pol}$$

$$I_S^C = I' + I_{pol}$$

$= (h_{FE} + 1)\, I_D - h_{FE}\, I_{pol} = I_D^C$

Utilizando la característica de transferencia del MOSFET se tiene que:

$I_D = K(V_{GS} - V_T)^2$ luego,

$I_D^C = (h_{FE} + 1)K(V_{GS}^C - V_T^C)^2 - h_{FE}\, I_{pol}$

Donde,

$I_D^C = K^C(V_{GS}^C - V_T^C)^2 - h_{FE}\, I_{pol}$	corriente de drenador compuesta
$K^C = (h_{FE} + 1)K$	factor de transconductancia compuesto
$V_{GS}^C = V_{GS}$	tensión compuesta compuerta fuente
$V_T^C = V_T + V_{BE}$	tensión compuesta umbral

En pequeña señal utilizaremos un modelo equivalente como el visto en el capítulo 5, pero con los parámetros compuestos siguientes:

$$\boldsymbol{g_m^C = (1 + h_{fe})g_m / [1 + h_{ie}(g_m + g_d)]} \quad \text{con} \quad \boldsymbol{g_d = r_d^{-1}}$$

$$\boldsymbol{r_d^C = [r_d + (\mu + 1)h_{ie}] / (h_{fe} + 1)} \quad \text{con} \quad \boldsymbol{\mu = g_m r_d}$$

6.3.5 Configuración cascodo bipolar

El circuito está formado por un transistor en emisor común seguido por otro en base común. Este esquema provee extremadamente alta impedancia de salida y muy buen comportamiento en alta frecuencia (comparada con la configuración emisor común simple).
En la Fig. 6.19 se muestra el circuito de la configuración cascodo.
Del circuito en continua se tiene:

en corte:	$V_{BE(ON)} \approx$ 0,6 V	
en activa:	$V_{BE} \approx$ 0,7 V	
en saturación:	$V_{BE(sat)} \approx$ 0,8 V,	$V_{CE(sat)} \approx$ 0,4 V

Y las siguientes condiciones a cumplir,

$$V_C \geq V_{pol} - 0{,}5\text{V} \quad \text{y } V_E \leq V_{pol} - 1\text{V}$$

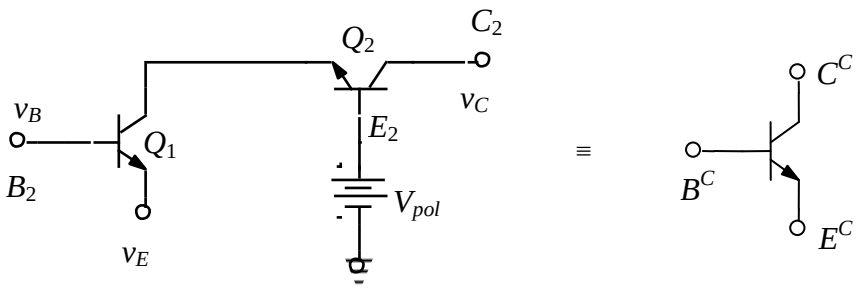


Figura 6.19 Configuración cascodo.

Para obtener los parámetros híbridos del conjunto, se utiliza el circuito equivalente de la Fig. 6.20, así resulta

$\boldsymbol{h_{ie} = h_{ie1}}$

$i_{c2} = h_{fe2}\, i_{b2}$

$h_{fe1}\, i_{b1} = i_{e1} = (h_{fe2} + 1) i_{b2}$

$i_{b2} = h_{fe1}\, i_{b1}/(h_{fe2} + 1)$

Por lo tanto,

$$\boldsymbol{h_{fe} = i_{c2}/i_{b1} = h_{fe1}\, h_{fe2}/(h_{fe2} + 1) \approx h_{fe1}}$$

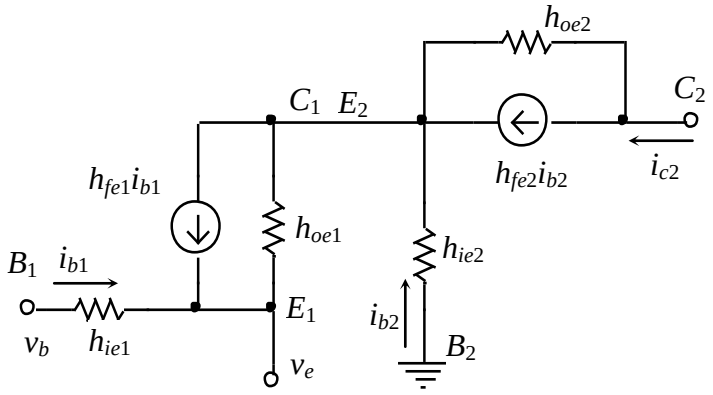


Figura 6.20 Circuito equivalente de la configuración cascodo para obtener los parámetros híbridos del conjunto.

Para el cálculo de la resistencia de salida suponiendo $i_{b1} = 0$, y observando el circuito equivalente en la Fig. 6.21,

se tiene: si $h_{oe1}^{-1} >> h_{ie2}$

$v' = - i_{b2} h_{ie2}$; $i_{b2} = - i_o$

$i_o = (v_o - v')h_{oe2} + h_{fe2} i_{b2}$

$i_o = v_o h_{oe2} - i_o h_{ie2} h_{oe2} - h_{fe2} i_o$

$$\frac{1}{R_o} = \frac{i_o}{v_o} = h_{oe} = \frac{h_{oe2}}{1 + h_{fe2} + h_{ie2} h_{oe2}} \cong \frac{h_{oe2}}{1 + h_{fe2}}$$

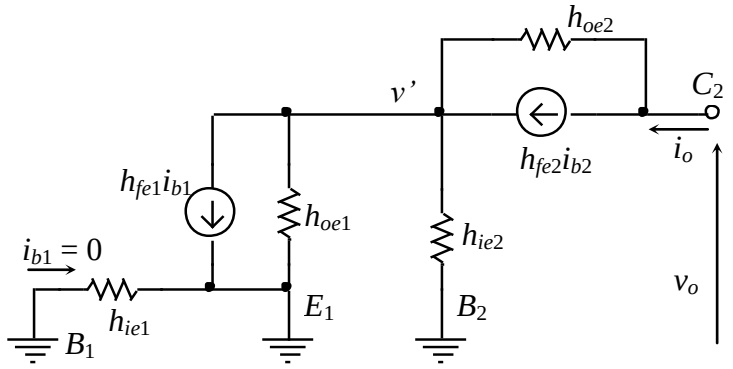


Figura 6.21 Determinación de la resistencia de salida de la configuración cascodo.

6.3.6 Configuración cascodo MOS

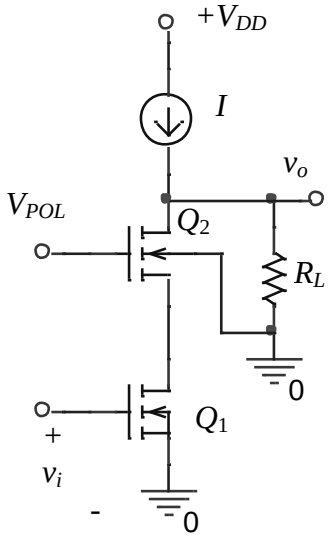


Figura 6.22 Amplificador cascodo básico.

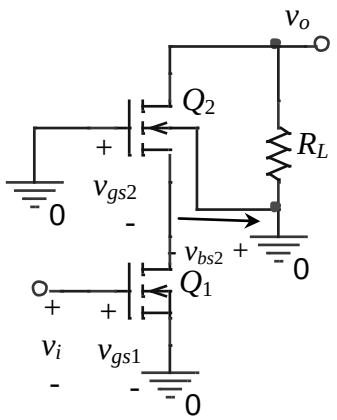


Figura 6.23 Circuito para el análisis en AC. Se considera el efecto del sustrato.

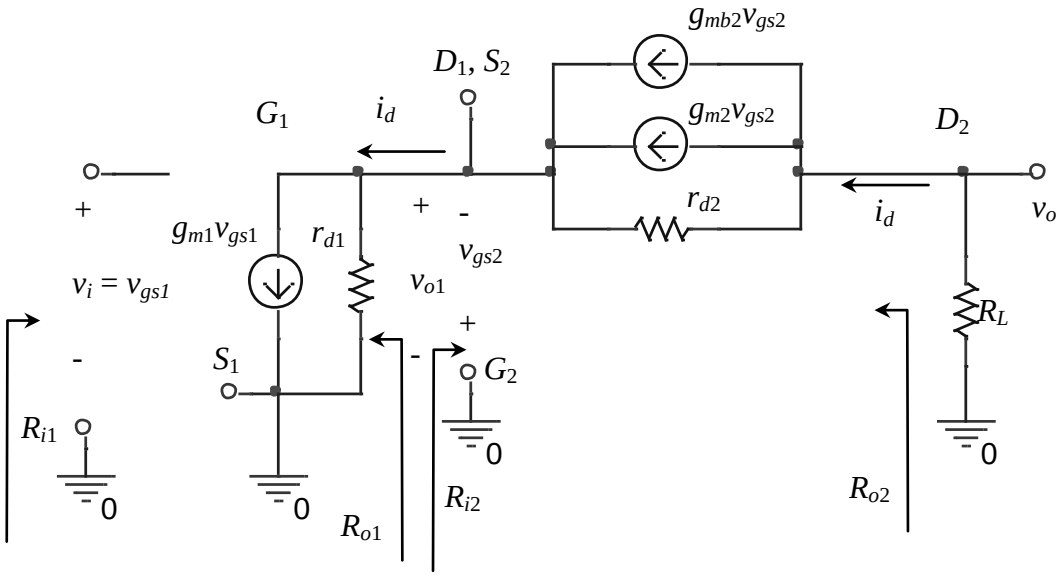


Figura 6.24 Circuito para pequeña señal.

De la Fig. 6.24 debería resultar evidente que $R_{i1} = \infty$ y $R_{o1} = r_{d1}$.
La resistencia de entrada de la etapa compuerta común viene definida por,

$$R_{i2} = \frac{v_{gs2}}{i_d} \quad ` \tag{6.3.1}$$

De la Fig. 6.24,

$$v_o = - i_d R_L \tag{6.3.2}$$

operando sobre el circuito hacemos,

$$i_d = (g_{m2} + g_{mb2})v_{gs2} + \frac{v_o + v_{gs2}}{r_{d2}} \tag{6.3.3}$$

con la ec. (6.3.2) en la ec. (6.3.3) nos queda

$$R_{i2} = \frac{r_{d2} + R_L}{1 + (g_{m2} + g_{mb2})r_{d2}} \tag{6.3.4}$$

Si $R_L = \infty \Rightarrow R_{i2} = \infty$.
Para la resistencia de salida, usamos la Fig. 6.25, por analogía con la configuración en compuerta común o, resolviendo por definición obtenemos,

$$R_{o2} = \frac{v_o}{i_o}\Big|_{vi=0} = r_{d2}\left(1 + (g_{m2} + g_{mb2})r_{d1}\right) + r_{d1} \tag{6.3.5}$$

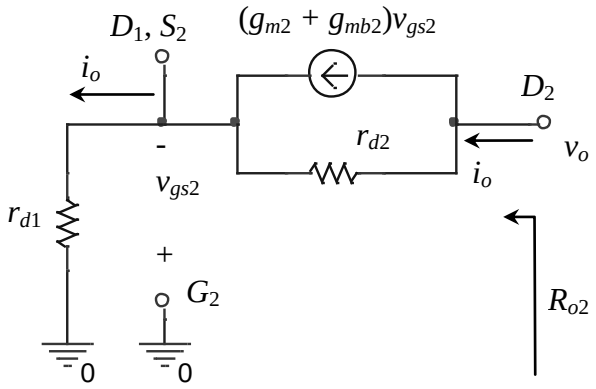


Figura 6.25 Determinación de la resistencia de salida de la segunda etapa de la configuración cascodo.

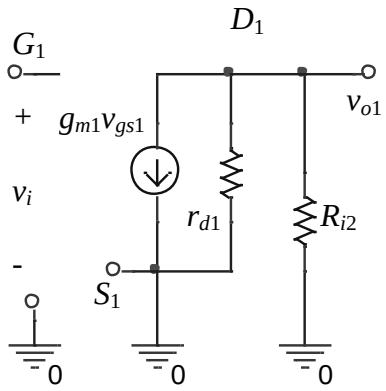


Figura 6.26 Circuito para determinar la ganancia de tensión de la primera etapa de la configuración cascodo.

Para calcular la ganancia de tensión total de la configuración cascodo, comenzamos calculando la ganancia de tensión de la etapa en fuente común de Q_1, a partir de la Fig. 6.26. De ella hacemos,

$$v_{gs1} = v_i \qquad \text{y} \qquad v_{o1} = -\, g_{m1}v_{gs1}(r_{d1} \| R_{i2}) \tag{6.3.6}$$

por lo tanto

$$A_{V1} = \frac{v_{o1}}{v_i} = -g_{m1}\left(r_{d1} \parallel R_{i2}\right) \tag{6.3.7}$$

Si $R_L = \infty \Rightarrow A_{V1} = -\, g_{m1}(r_{d1})$.

Para calcular la ganancia de la etapa en compuerta común de Q_2 usamos la Fig. 6.27. Podemos ver que,

$$v_o = -\, i_d R_L \qquad \text{y} \qquad v_{o1} = -\, v_{gs2} \tag{6.3.8}$$

La corriente en el drenador D2 es

$$i_d = (g_{m2} + g_{mb2})v_{gs2} + \frac{v_o - v_{o1}}{r_{d2}} \tag{6.3.9}$$

Haciendo reemplazos de la ec. (6.3.8) en la (6.3.9) tenemos

$$-\frac{v_o}{R_L} = -v_{o1}\left(g_{m2} + g_{mb2}\right) + \frac{v_o}{r_{d2}} - \frac{v_{o1}}{r_{d2}} \tag{6.3.10}$$

$$\frac{v_o}{r_{d2}} + \frac{v_o}{R_L} = v_{o1}\left[\left(g_{m2} + g_{mb2}\right) + \frac{1}{r_{d2}}\right] \tag{6.3.11}$$

Finalmente la ganancia de la etapa de Q_2 resulta

$$A_{V2} = \frac{\left(g_{m2} + g_{mb2}\right) + \dfrac{1}{r_{d2}}}{\dfrac{1}{r_{d2}} + \dfrac{1}{R_L}} \tag{6.3.12}$$

Si $R_L = \infty \Rightarrow A_{V2} \cong 1 + (g_{m2} + g_{mb2})r_{d2}$

Por lo tanto con la ec. (6.3.7) y la ec. (6.3.12) la ganancia total del amplificador cascodo queda,

$$A_V = A_{V1}A_{V2} = \frac{v_{o1}}{v_i}\frac{v_o}{v_{o1}} = -g_{m1}\left(r_{d1} \parallel R_{i2}\right)\frac{1 + \left(g_{m2} + g_{mb2}\right)r_{d2}}{1 + \dfrac{r_{d2}}{R_L}} \tag{6.3.13}$$

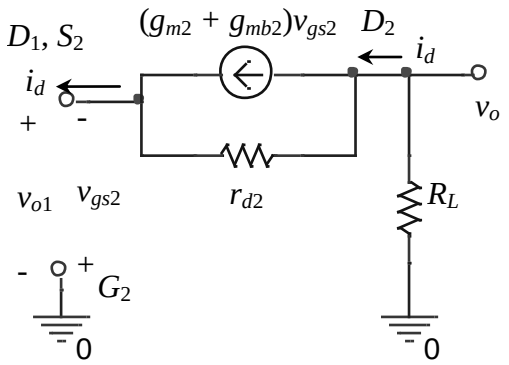


Figura 6.27 Circuito para determinar la ganancia de la segunda etapa del cascodo MOS.

Líneas No balanceadas vs. Líneas balanceadas

Líneas No Balanceadas

Las líneas de señal no balanceadas se caracterizan por el hecho que el cable y los conectores usan solamente dos conductores, un conductor central rodeado por una malla o blindaje. Ejemplo típico de cable para señal no balanceada es el cable coaxial con impedancias características usuales de 50 o 75 Ω.

En una configuración no balanceada, el blindaje envuelve al conductor central. El blindaje se mantiene a un potencial constante de tierra (cuando es conectado a tierra al enchufarlo a un equipo) mientras que la tensión de señal en el conductor central varía de manera positiva y negativa relativo a él. Ya que el blindaje rodea completamente al conductor central o conductor "vivo" y está conectado a tierra, detecta la mayoría de la interferencia eléctrica y la pasa en forma inocua a tierra. Muy poca o ninguna interferencia será capaz de alcanzar al conductor central donde interactuaría con la señal deseada. Como el blindaje es uno de los dos conductores requeridos para cerrar el circuito, siempre debe estar conectado a tierra en ambos extremos del cable. Esto puede configurar una condición denominada "lazo de tierra" que a veces produce zumbido cuando las tierras de diferentes partes de un equipo eléctrico se conectan entre sí. (Nota: un blindaje que consiste de alambre trenzado en lugar de una espiral alrededor del conductor central dará una cobertura superior. El blindaje en espiral es más barato pero se abre en las flexiones, exponiendo el conductor central a ruidos y zumbidos no deseados).

Si la interferencia eléctrica del exterior penetra el blindaje, se mezclará con la señal deseada que está presente en el conductor central y será amplificada junto con ella. Esto podría no ser un gran problema cuando el cable es de solo unos metros de longitud. Pero en ambientes de gran interferencia o cuando una señal no balanceada se debe enviar distancias largas, será más susceptible a la interferencia eléctrica. Este problema se puede aliviar con el uso de líneas balanceadas.

Líneas balanceadas

Las líneas balanceadas se caracterizan por el hecho de tener dos conductores centrales para la señal, rodeados por un blindaje. Este blindaje está conectado a tierra como en las líneas no balanceadas pero no es necesario para llevar señal. Su único propósito es dar una línea de defensa contra las interferencias no deseadas. Un beneficio de esta configuración está en que el blindaje solo necesita estar conectado a tierra en un extremo del cable para que cumpla su función. Teniendo esta tierra desconectada o levantada en un extremo se puede eliminar el problema del lazo de tierra discutido en la sección anterior para líneas no balanceadas.

Los dos conductores centrales de una línea balanceada son los únicos en transportar la señal y trabajan de una manera "push-pull". Es decir, a medida que una tensión en un conductor se hace más positiva, la tensión en el otro conductor se hace más negativa por la misma cantidad y al mismo tiempo (y viceversa). Por lo tanto, en cualquier instante de tiempo, ambos conductores tienen la misma tensión pero de polaridad opuesta. El circuito receptor que procesa esta señal balanceada se llama amplificador diferencial y estas polaridades opuestas de las tensiones en los conductores son esenciales para su operación.

Ahora, si alguna interferencia eléctrica intenta penetrar el blindaje exterior, interactuará con ambos conductores centrales igualmente y con la misma polaridad. El efecto en el amplificador diferencial será tal que estas tensiones de igual polaridad no son procesadas y efectivamente se cancelan mutuamente, el ruido desaparece.
Esta propiedad de las líneas balanceadas para rechazar ruido e interferencia las hacen populares cuando es necesario enviar señales en distancias largas.

CAPÍTULO 7: AMPLIFICADORES DIFERENCIALES

7.1 Introducción

La función de un amplificador diferencial es, en general, la de amplificar la diferencia entre dos señales. Su necesidad proviene de que, en muchas mediciones físicas, como en electromedicina, se requieren respuestas desde continua hasta muchos megahertz libres de ruido e interferencias, posibles con este amplificador. También constituye la etapa básica de un amplificador operacional integrado con entradas diferenciales. Son frecuentemente empleados en muchas ramas de la instrumentación. Poseen, en general, una entrada de tres terminales, y una salida de dos o tres terminales, y usualmente se describe su perfomance con respecto a señales en modo común y en modo diferencial. En sus inicios, se lo aplicó en instrumentación biológica, en la cual era necesario amplificar pequeñas señales en modo diferencial, y excluir grandes señales en modo común. Posteriormente, con la disponibilidad de mejores transistores, el desarrollo se abocó al desarrollo de amplificadores diferenciales de continua de estado sólido para uso en telemetría y otros sistemas.

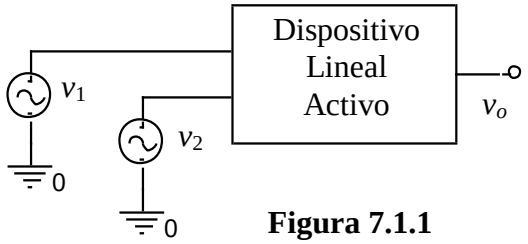


Figura 7.1.1

En la Fig. 7.1.1 se representa un dispositivo lineal con dos señales de entrada v_1 y v_2 y una señal de salida v_o, cada una de ellas medida respecto de tierra. En un amplificador diferencial ideal, la señal de salida viene dada por

$$v_o = A_d\,(v_1 - v_2), \tag{7.1}$$

siendo A_d la ganancia del amplificador diferencial. Con ello se ve que cualquier señal común a las dos entradas no produce ningún efecto sobre la tensión de salida. No obstante, en la práctica no puede cumplirse estrictamente la última relación porque, en general, la salida no sólo dependerá de la ***señal de modo diferencial*** $\boldsymbol{v_d}$ de las dos señales, sino también del valor medio denominado ***señal de modo común*** $\boldsymbol{v_c}$ donde se define:

$$v_d \equiv v_1 - v_2 \qquad \text{y} \qquad v_c \equiv (v_1 + v_2)/2 \tag{7.2}$$

Entonces, de la ec. (7.2) se pueden expresar las dos señales de entrada en función de la componente común y la diferencial, de la siguiente manera:

$$v_2 = v_1 - v_d \tag{7.3}$$

$$v_c = v_1/2 + (v_1 - v_d)/2$$
$$v_c = v_1 - v_d/2 \tag{7.4}$$

Por lo tanto: $\boldsymbol{v_1 = v_c + v_d/2}$ (7.5)

$$v_2 = v_1 - v_d = v_c + v_d/2 - v_d$$

Luego: $\boldsymbol{v_2 = v_c - v_d/2}$ (7.6)

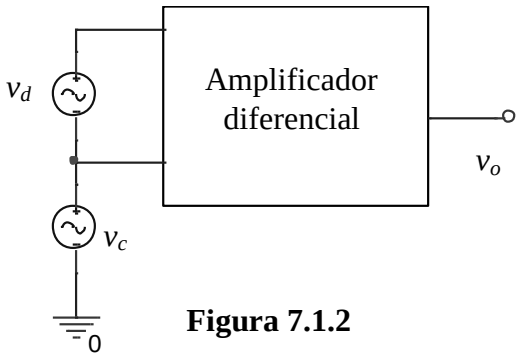


Figura 7.1.2

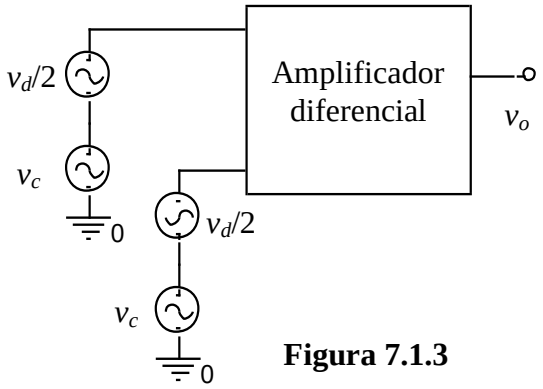


Figura 7.1.3

La salida puede expresarse como combinación lineal de las entradas para un amplificador real:

$$v_o = A_1 v_1 + A_2 v_2 \tag{7.7}$$

haciendo

$$A_1 = v_o/v_1|_{v_2=0}$$
$$A_2 = v_o/v_2|_{v_1=0}$$

Si las ec. (7.5) y (7.6) se reemplazan en la (7.7) se tiene

$$v_o = A_d v_d + A_c v_c \tag{7.8}$$

con $A_d \equiv ½(A_1 - A_2)$ y $A_c \equiv A_1 + A_2$

o poniendo la ecuación (7.2) en la (7.8),

$$v_o = A_d(v_1 - v_2) + A_c(v_1 + v_2)/2$$
$$v_o = v_1(A_d + A_c/2) + v_2(A_c/2 - A_d) \tag{7.9}$$

Comparando las ecuaciones (7.7) con (7.9), se obtiene:

$$A_1 = A_d + A_c/2 \tag{7.10}$$

$$A_2 = - A_d + A_c/2 \tag{7.11}$$

Idealmente debería cumplirse que $A_1 = - A_2$. Esto se logra con el diseño del amplificador diferencial (acercarse al ideal).

7.2 Relación de Rechazo en Modo Común.

Se define la relación de rechazo en modo común (**Common Mode Rejection Ratio, *CMRR*** del inglés) al cociente entre la ganancia en modo diferencial y la ganancia en modo común y se designa por la letra ρ

$$\rho = \left| \frac{A_d}{A_c} \right| \tag{7.12}$$

Normalmente este parámetro se expresa en dB:

$$CMRR = 20 \log \rho = 20 \log \left| \frac{A_d}{A_c} \right| \tag{7.13}$$

con **valores típicos entre 60 y 100 dB**. Con (7.8) y (7.12) combinándolas queda,

$$v_o = A_d v_d \left(1 + \frac{1}{\rho} \frac{v_c}{v_d} \right) \tag{7.14}$$

De esta ecuación se deduce que el amplificador debe diseñarse tal que ρ sea grande comparado con la relación entre la señal de modo común y la diferencial.

7.3 Análisis de la polarización de una Etapa Básica

Una etapa amplificadora diferencial simple presenta un esquema como el que muestra la Fig. 7.3.1.

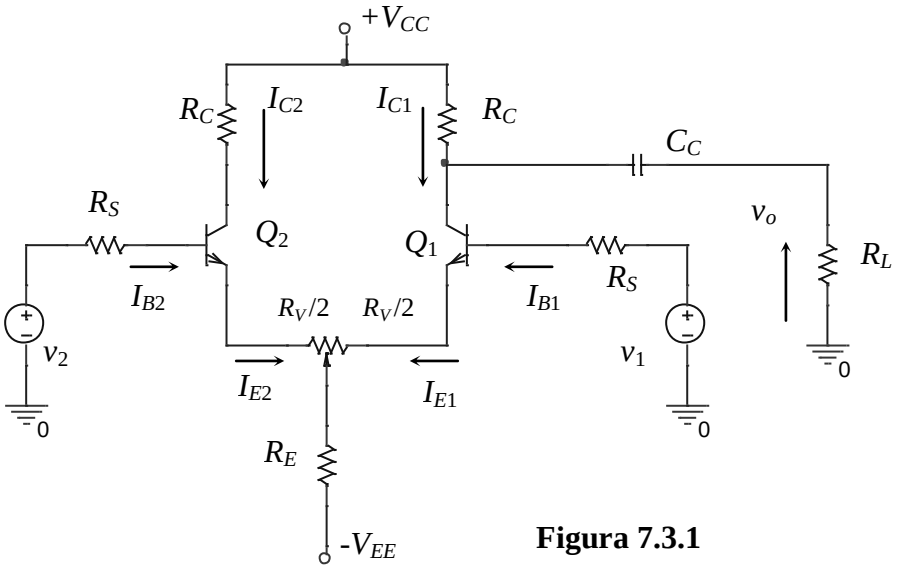


Figura 7.3.1

Para el caso en que: $V_{BE1} = V_{BE2}$ y $h_{FE1} = h_{FE2}$

Entonces: $I_{B1} = I_{B2} = I_B$

Luego: $I_{C1} = I_{C2} = h_{FE}I_B$ (7.15)

El cálculo de la polarización de una etapa diferencial típica se puede realizar de la siguiente manera:

$$V_{EE} = I_B R_S + V_{BE} + I_B(1+h_{FE})\frac{R_V}{2} + 2I_B(1+h_{FE})R_E$$

Por lo tanto:

$$I_B = \frac{V_{EE} - V_{BE}}{R_S + (1+h_{FE})\left[\frac{R_V}{2} + 2R_E\right]} \quad (7.16)$$

Si despreciamos la caída en R_S y si $h_{FE} >> 1$ resulta, de $I_C = h_{FE}I_B$

$$I_C \cong \frac{V_{EE} - V_{BE}}{\frac{R_V}{2} + 2R_E}$$

Por último: $V_{CE1} = V_{C1} - V_{E1}$ (7.17)

$V_{C1} = V_{CC} - I_{C1}R_C$ (7.18)

$V_{E1} = - I_{B1}R_S - V_{BE}$ (7.19)

Por lo tanto haciendo la diferencia entre las ecuaciones (7.18) – (7.19)

$V_{CE1} = V_{CC} - I_{C1}R_C + I_{B1}R_S + V_{BE}$ (7.20)

$V_{CE1} = V_{CE2}$

7.4 Comportamiento con señal

El circuito de señal de la etapa diferencial básica se observa en la Fig. 7.4.1, y el circuito equivalente simplificado en la Fig. 7.4.2.

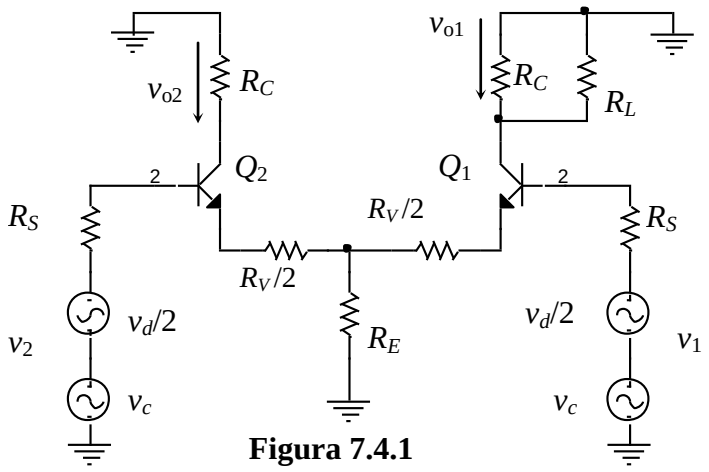


Figura 7.4.1

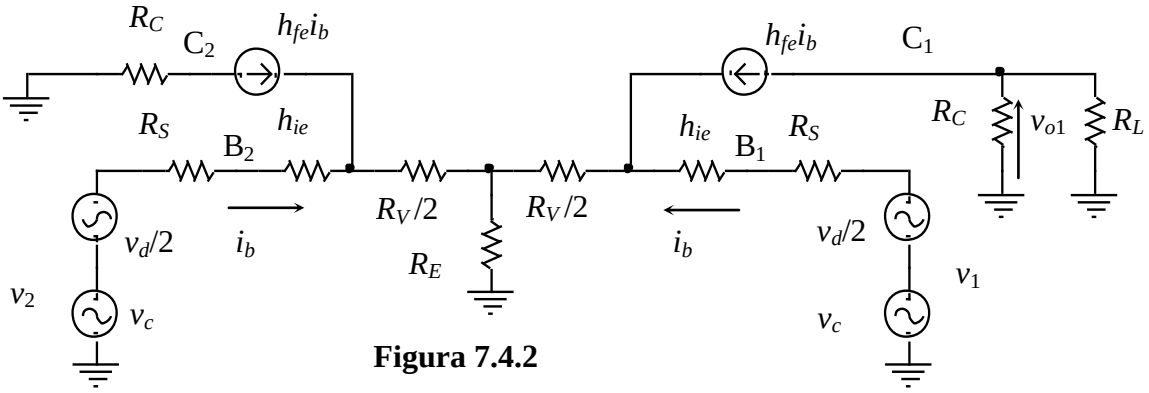


Figura 7.4.2

7.4.1 Análisis para señal en Modo Común

Para conocer el comportamiento de la etapa para la componente de señal en modo común se hace cero el valor de la señal diferencial. Por lo que, el circuito equivalente a analizar con los elementos del emisor referidos a la base se ve en la Fig. 7.4.3 a partir de la Fig. 7.4.2.

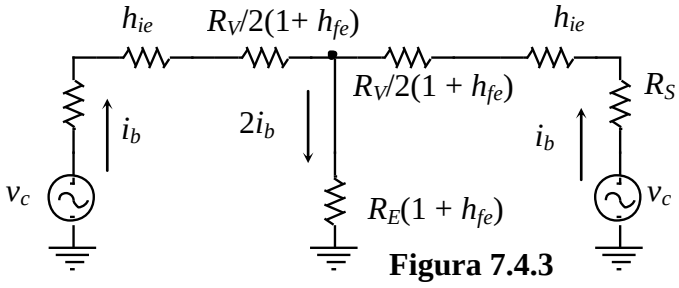


Figura 7.4.3

En este caso, dada la simetría de ambas ramas laterales, es evidente que darán corrientes iguales por las mismas, las que se superpondrán sobre R_E, por lo que:

$$v_c = i_b R_S + i_b h_{ie} + i_b(1 + h_{fe})R_V/2 + 2\, i_b(1 + h_{fe})R_E \tag{7.21}$$

Por lo tanto:

$$i_b = \frac{v_c}{R_S + h_{ie} + (1+h_{fe})\left(\frac{R_V}{2} + 2R_E\right)} \tag{7.22}$$

Luego, en la salida se tiene $i_c = h_{fe}\, i_b$ y $v_{o1} = v_{oc} = -\, i_c R_C || R_L$. Por lo tanto,

$$v_{oc} = \frac{-h_{fe} v_c R_C \parallel R_L}{R_S + h_{ie} + (1+h_{fe})\left(\frac{R_V}{2} + 2R_E\right)} \tag{7.23}$$

De este modo, la expresión de la ganancia en modo común será:

$$A_{vc} = \frac{v_{oc}}{v_c} = \frac{-h_{fe} R_C \parallel R_L}{R_S + h_{ie} + (1+h_{fe})\left(\frac{R_V}{2} + 2R_E\right)} = -h_{fe}\frac{R_L^{|}}{R_{ic}} \cong -\frac{R_L^{|}}{2R_E} \tag{7.24}$$

Para obtener el valor de la impedancia de entrada en este modo, de la ec. (7.22) resulta:

$$R_{ic} = v_c/i_b = R_S + h_{ie} + (1 + h_{fe})[R_V/2 + 2R_E] \quad (7.25)$$

7.4.2 Análisis para señal en Modo Diferencial

En este caso, Fig. 7.4.4, ambas fuentes producirán corrientes que tendrán sentido contrario sobre R_E de modo que sus efectos se anularán sobre ella. De esta forma, la corriente total sobre esta resistencia será cero para señal, por lo que **el punto A** en el circuito equivalente **se convierte en una tierra virtual para estas señales**. De esta manera:

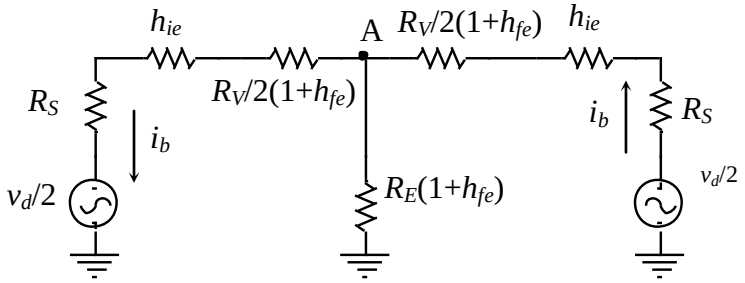


Figura 7.4.4

$$i_b = \frac{v_d/2}{R_S + h_{ie} + (1+h_{fe})\dfrac{R_V}{2}} \quad (7.26)$$

En el circuito de salida (no dibujado) se cumple,

$$i_c = h_{fe} i_b = \frac{h_{fe} v_d/2}{\left[R_S + h_{ie} + \left(1+h_{fe}\right)\dfrac{R_V}{2}\right]} \quad (7.27)$$

y también como $i_c = h_{fe}\, i_b$ y $v_{o1} = v_{od}$:

$$v_{od} = -i_c R_C || R_L = -\frac{h_{fe} v_d R_C || R_L/2}{R_S + h_{ie} + (1+h_{fe})\dfrac{R_V}{2}}$$

Luego la ganancia de tensión en modo diferencial resulta:

$$A_{vd} = \frac{v_{od}}{v_d} = -\frac{h_{fe} R_C \parallel R_L}{2\left(R_S + h_{ie} + (1+h_{fe})\dfrac{R_V}{2}\right)} = -\frac{h_{fe} R_L^{|}}{R_{id}} \quad (7.28)$$

La impedancia de entrada se obtiene de la ec. (7.26) como:

$$R_{id} = \frac{v_d}{i_b} = 2\left[R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2}\right] \quad (7.29)$$

Se ve que esta ganancia es superior a la anterior, que por otra parte es lo que se busca. Se podría pensar entonces en aumentar el valor de R_E de modo de disminuir lo más posible el valor de la ganancia en modo común sin afectar el valor de la ganancia en modo diferencial. No obstante, se verá que esta no es la solución más adecuada. El aumento de R_E trae aparejado una disminución de la corriente de polarización, lo que a su vez produce una variación en los

parámetros del transistor. Una disminución de la corriente de polarización produce un aumento del h_{ie} y una disminución del h_{fe} del transistor, lo que en definitiva producirá una disminución de la ganancia en modo diferencial (ver ec.7.28).

Si la salida se toma en forma diferencial de manera que se tenga $v_{od} = v_{o1} - v_{o2}$, y en la entrada $v_d = v_1 - v_2$ resulta que la ganancia ahora es $A_{vdd} = 2A_{vd}$. El doble subíndice *dd* indica que se tiene salida diferencial. Esta última configuración es la utilizada en la etapa de entrada de los amplificadores operacionales.

7.5 Modificación de la Etapa Básica

Se podría pensar, entonces, en modificar la etapa original de modo que presente una

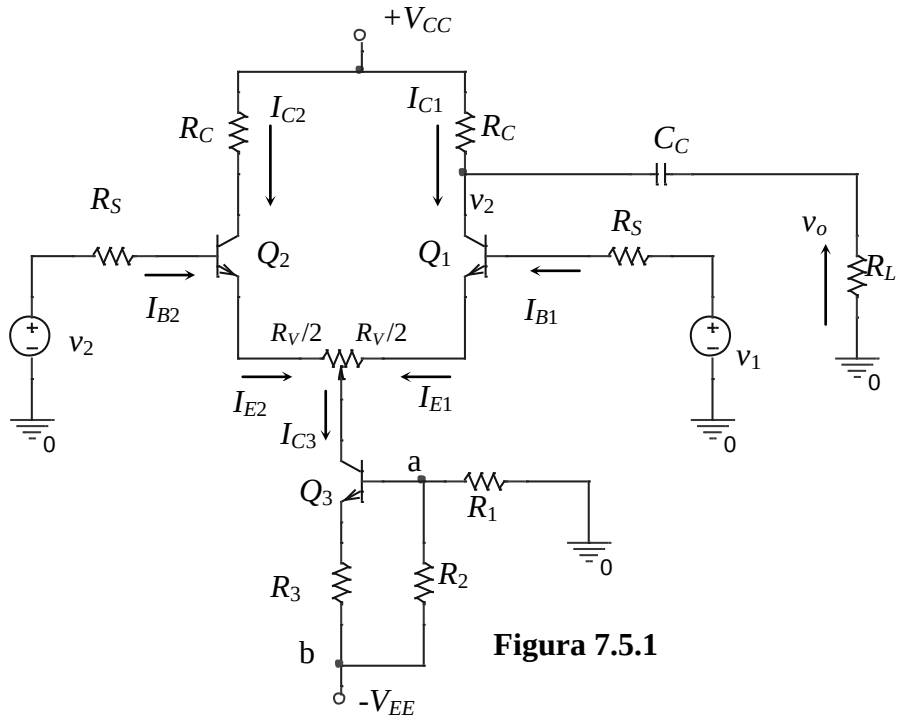


Figura 7.5.1

elevada impedancia en señal, aumentando la resistencia en el emisor de los transistores y manteniendo los niveles de polarización deseados. Esto se logra con la utilización de una etapa transistorizada trabajando como fuente de corriente, como se observa en la Fig. 7.5.1.

En este caso, la corriente de polarización de la etapa la fija la fuente de corriente. De este modo hallando el equivalente Thevenin entre la base de Q_3 y la fuente V_{EE} (nodos a y b), se tiene:

$$V_{th} = V_{EE}R_2/(R_1 + R_2) \tag{7.30}$$

$$R_{th} = R_1 \| R_2 \tag{7.31}$$

$$I_{B3} = (V_{th} - V_{BE})/[R_{th} + R_3(1 + h_{FE})] \tag{7.32}$$

$$I_{C3} = h_{FE}(V_{th} - V_{BE})/[R_{th} + R_3(1 + h_{FE})] \tag{7.33}$$

$$I_{E1,2} = I_{C3}/2 \tag{7.34}$$

$$I_{C1,2} = I_{E1,2}\, h_{FE}/(1 + h_{FE}) \tag{7.35}$$

$$I_{B1,2} = I_{C1,2}/\ h_{FE} \tag{7.36}$$

$$V_{CE} = V_{CC}\ -\ I_C R_C\ +\ I_B R_S\ +\ V_{BE}$$

Para el caso de la expresión de la ganancia en modo diferencial y común, las expresiones son idénticas a las obtenidas anteriormente, con la única diferencia que en este caso, para la ganancia en modo común, el valor de R_E será reemplazado por la impedancia de salida de la fuente de corriente. Esto es, si se considera h_{re} = 0 resulta la Fig. 7.5.2, donde se observa el circuito equivalente de señal y el modelo de la fuente de corriente en continua y señal:

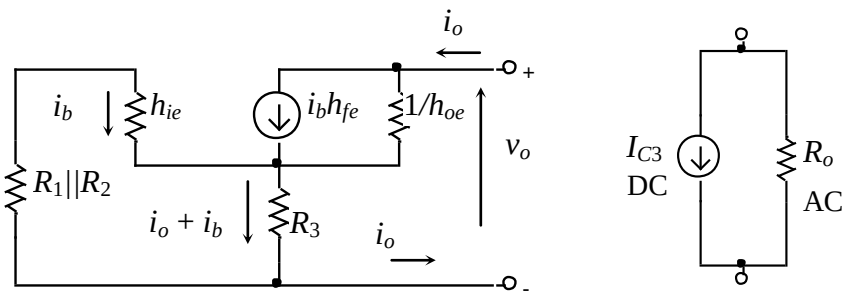


Figura 7.5.2

Para obtener el valor de la impedancia de salida, se utiliza el procedimiento habitual. Se sabe que:

$$R_o = v_o/i_o$$

Entonces del circuito, se tiene:

$$v_o = (i_o - h_{fe} i_b)/h_{oe}\ + i_o[R_3||(h_{ie} + R_{th})] \tag{7.37}$$

Además, la relación que existe entre la corriente $\boldsymbol{i_o}$ y la corriente de base es:

$$i_o[R_3||(h_{ie} + R_{th})] = -\ i_b(h_{ie} + R_{th}) \tag{7.38}$$

Por lo tanto:

$$i_b = -\,i_o\left(\frac{R_3||(h_{ie}\ +\ R_{th})}{h_{ie}\ +\ R_{th}}\right) = -\,i_o\,\frac{R_3}{\left(R_3 + h_{ie}\ +\ R_{th}\right)} \tag{7.39}$$

Reemplazando la ec. (7.39) en la (7.37):

$$v_o = \left(i_o + \frac{h_{fe} i_o R_3}{\left(R_3 + h_{ie} + R_{th}\right)}\right)\frac{1}{h_{oe}} + i_o\,\frac{R_3(h_{ie} + R_{th})}{\left(R_3 + h_{ie} + R_{th}\right)}$$

Por lo tanto, reacomodando para i_o:

$$v_o = i_o\left\{\left(1 + \frac{h_{fe} R_3}{\left(R_3 + h_{ie} + R_{th}\right)}\right)\frac{1}{h_{oe}} + \frac{R_3(h_{ie} + R_{th})}{\left(R_3 + h_{ie} + R_{th}\right)}\right\}$$

Con lo que resulta:

$$R_o = \frac{v_o}{i_o} = \left(1 + \frac{h_{fe} R_3}{\left(R_3 + h_{ie} + R_{th}\right)}\right)\frac{1}{h_{oe}} + \frac{R_3(h_{ie} + R_{th})}{\left(R_3 + h_{ie} + R_{th}\right)} \tag{7.40}$$

Como en general el primer término es mucho mayor que el segundo, se puede dejar expresado:

$$R_o \cong \left(1+\frac{h_{fe}R_3}{R_3+h_{ie}+R_{th}}\right)\frac{1}{h_{oe}} \rangle \frac{1}{h_{oe}} \tag{7.41}$$

Entonces:

$$A_{vc}=\frac{v_{oc}}{v_c}=-\frac{h_{fe}R_C \parallel R_L}{R_S+h_{ie}+(1+h_{fe})\left(\frac{R_V}{2}+2R_o\right)} \tag{7.42}$$

Se ve claramente como R_o disminuye la ganancia en modo común.

7.6 Ganancias A_1 y A_2

Se define como ganancia A_1 a la obtenida entre la salida y la entrada v_1 para la entrada $v_2 = 0$. De la misma manera, la ganancia A_2 será la obtenida entre v_o y v_2 para $v_1 = 0$.

$$\begin{aligned} A_1 &= v_o/v_1|_{v_2=0} \\ A_2 &= v_o/v_2|_{v_1=0} \end{aligned} \tag{7.43}$$

Para la ganancia A_1, el equivalente de entrada, con todas las resistencias referidas a la base de Q_1 será:

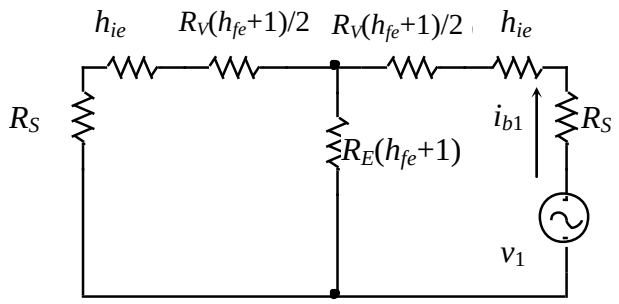


Figura 7.6.1

Se observa que tanto la R_S como el h_{ie} del transistor Q_2 están doblemente referidas (divididas por $1 + h_{fe}$ desde la base de Q_2 a su emisor, y multiplicadas por $1 + h_{fe}$ para referirlas desde el emisor de Q_1 a su base); por lo que, vistas desde la base de Q_1 mantienen sin cambio su valor. La corriente i_{b1} será entonces:

$$i_{b1}=\frac{v_1}{R_S+h_{ie}+(1+h_{fe})\frac{R_V}{2}+R_E(1+h_{fe})\parallel[R_S+h_{ie}+(1+h_{fe})\frac{R_V}{2}]} \tag{7.44}$$

Como $i_{c1} = h_{fe}\, i_{b1}$

$$i_{c1}=\frac{h_{fe}v_1}{R_S+h_{ie}+(1+h_{fe})\frac{R_V}{2}+R_E(1+h_{fe})\parallel[R_S+h_{ie}+(1+h_{fe})\frac{R_V}{2}]} \tag{7.45}$$

Además $v_o = -\, i_{c1}\, R_C \parallel R_L$, por lo tanto:

$$v_o = -\frac{h_{fe} v_1 R_C \parallel R_L}{R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2} + R_E(1+h_{fe}) \parallel [R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2}]} \qquad (7.46)$$

y de esta forma, la expresión de la ganancia será:

$$A_1 = \frac{v_o}{v_1} = -\frac{h_{fe} R_C \parallel R_L}{R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2} + R_E(1+h_{fe}) \parallel [R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2}]} \qquad (7.47)$$

Si se tiene en cuenta que $R_E(1 + h_{fe}) >> R_S + h_{ie} + R_V/2(1 + h_{fe})$ se puede aproximar A_1 a la forma:

$$A_1 = -\frac{h_{fe} R_C \parallel R_L}{2[R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2}]} \qquad (7.48)$$

Si se compara esta expresión con la ecuación 7.28, A_{vd}, se ve que son iguales (idealmente), por lo que podemos afirmar que la ganancia A_1 será aproximadamente igual a la ganancia diferencial y, además, por tener igual signo, será también inversora.

Para la ganancia A_2, analizamos el circuito de la Fig. 7.6.2

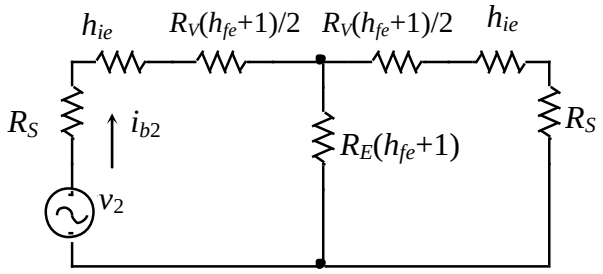


Figura 7.6.2

En este caso:

$$i_{b2} = \frac{v_2}{R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2} + R_E(1+h_{fe}) \parallel [R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2}]} \qquad (7.49)$$

$$i_{e2} = (1 + h_{fe})\, i_{b2}$$

$$i_{e2} = \frac{(1+h_{fe}) v_2}{R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2} + R_E(1+h_{fe}) \parallel [R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2}]} \qquad (7.50)$$

Por lo tanto, para obtener el valor de i_{e1} a partir de éste, se puede utilizar el circuito equivalente de la Fig. 7.6.3. Donde se han referido las resistencias de base de Q_1 al emisor.
Se debe cumplir:

$$i_{e2} R_E \parallel [R_V/2 + (R_S + h_{ie})/(1+h_{fe})] = -i_{e1}[R_V/2 + (R_S + h_{ie})/(1+h_{fe})]$$

Por lo tanto:

$$i_{e1} = -\frac{i_{e2} R_E \parallel [R_V/2 + (R_S + h_{ie})/(1+h_{fe})]}{R_V/2 + (R_S + h_{ie})/(1+h_{fe})}$$

$$i_{e1} = -\frac{i_{e2} R_E}{R_E + R_V/2 + (R_S + h_{ie})/(1+h_{fe})} \qquad (7.51)$$

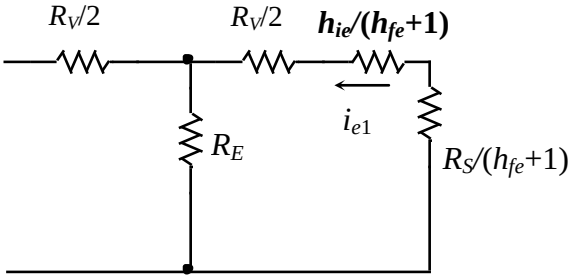


Figura 7.6.3

Reemplazando en la ec. (7.51), i_{e2} por la expresión obtenida en (7.50):

$$i_{e1} = -\frac{(1+h_{fe}) v_2 R_E}{\left(R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2} + R_E(1+h_{fe}) \parallel [R_S + h_{ie} + \frac{R_V}{2}(1+h_{fe})]\right)\left(R_E + \frac{R_V}{2} + \frac{R_S + h_{ie}}{1+h_{fe}}\right)}$$

$$i_{c1} = i_{e1}\, h_{fe} /(1 + h_{fe})$$

$$v_o = -\, i_{c1} R_C \parallel R_L$$

$$v_o = \frac{h_{fe} v_2 R_E R_C \parallel R_L}{\left(R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2} + R_E(1+h_{fe}) \parallel [R_S + h_{ie} + \frac{R_V}{2}(1+h_{fe})]\right)\left(R_E + \frac{R_V}{2} + \frac{R_S + h_{ie}}{1+h_{fe}}\right)}$$

Por lo tanto, como $\boldsymbol{A_2 = v_o / v_2}$

$$A_2 = \frac{h_{fe} R_E R_C \parallel R_L}{\left(R_S + h_{ie} + (1+h_{fe})\frac{R_V}{2} + R_E(1+h_{fe}) \parallel [R_S + h_{ie} + \frac{R_V}{2}(1+h_{fe})]\right)\left(R_E + \frac{R_V}{2} + \frac{R_S + h_{ie}}{1+h_{fe}}\right)} \qquad (7.52)$$

Si se tiene en cuenta que: $R_E >> R_V/2 + (R_S + h_{ie}) / (1 + h_{fe})$

y que: $R_E(1 + h_{fe}) >> R_S + h_{ie} + R_V/2(1 + h_{fe})$

Se puede aproximar A_2 como:

$$A_2 \cong \frac{h_{fe} R_C \parallel R_L}{2\left[R_S + h_{ie} + \frac{R_V}{2}\left(1 + h_{fe}\right)\right]} \tag{7.53}$$

Se puede concluir que A_2 será también aproximadamente igual, en módulo, a la ganancia diferencial $A_{vd} = v_o/v_2$, y, como tiene signo positivo, será no inversora.

Otra forma de obtener estas ganancias es utilizando el equivalente considerando el siguiente circuito:

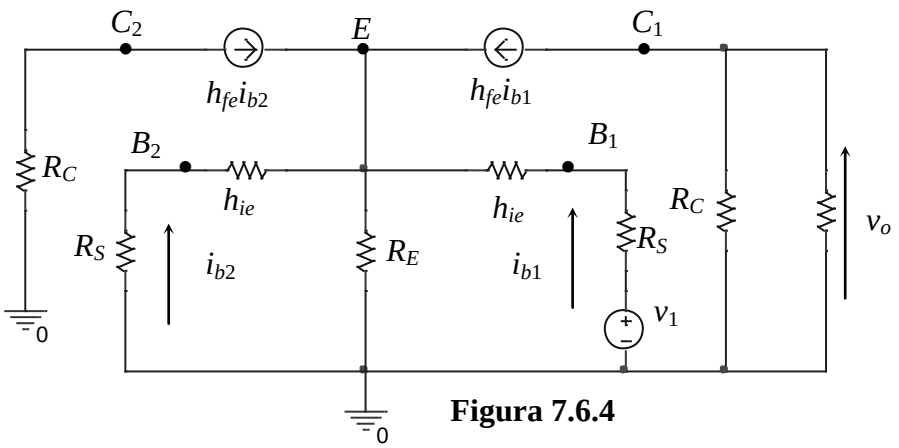


Figura 7.6.4

Aquí se ha eliminado la resistencia variable de ajuste R_V para simplificar los cálculos. Si se utiliza el método de los nodos para resolver el circuito, se tiene:

Nodo E: $v_e/(R_S + h_{ie}) + v_e/R_E + (v_e - v_1)/(R_S + h_{ie}) + h_{fe}v_e/(R_S + h_{ie}) + h_{fe}(v_e - v_1)/(R_S + h_{ie}) = 0$

donde, $i_{b1} = (v_e - v_1)/(R_S + h_{ie})$ y $i_{b2} = v_e/(R_S + h_{ie})$

Nodo C_1: $h_{fe}(v_1 - v_e)/(R_S + h_{ie}) + v_c/R_C \| R_L = 0$

Del nodo E: $2\, v_e(1 + h_{fe})/(R_S + h_{ie}) + v_e/R_E = v_1(1 + h_{fe})/(R_S + h_{ie})$

$$v_e[2(1 + h_{fe}) + (R_S + h_{ie})/R_E] = v_1(1 + h_{fe})$$

$$v_e\,[2R_E(1 + h_{fe}) + R_S + h_{ie}] = v_1(1 + h_{fe})R_E$$

$$v_e = v_1(1 + h_{fe})R_E/[R_S + h_{ie} + 2R_E(1 + h_{fe})] \tag{7.54}$$

Luego, reemplazando v_e de la ec. (7.54) en la expresión del nodo C_1:

$$\frac{h_{fe}v_1}{R_S + h_{ie}} - \frac{h_{fe}v_1(1 + h_{fe})R_E}{(R_S + h_{ie})[R_S + h_{ie} + 2R_E(1 + h_{fe})]} + \frac{v_c}{R_C \parallel R_L} = 0$$

$$\frac{h_{fe}v_1}{R_S + h_{ie}}\left(1 - \frac{(1 + h_{fe})R_E}{R_S + h_{ie} + 2R_E(1 + h_{fe})}\right) + \frac{v_c}{R_C \parallel R_L} = 0$$

$$\frac{h_{fe}v_1}{R_S+h_{ie}}\left(\frac{R_S+h_{ie}+R_E(1+h_{fe})}{R_S+h_{ie}+2R_E(1+h_{fe})}\right)=-\frac{v_c}{R_C \parallel R_L}$$

$$v_c=-\frac{h_{fe}v_1R_C \parallel R_L[R_S+h_{ie}+R_E(1+h_{fe})]}{(R_S+h_{ie})[R_S+h_{ie}+2R_E(1+h_{fe})]}$$

como $v_c = v_o$

$$A_1=\frac{v_o}{v_1}=-\frac{h_{fe}R_C \parallel R_L[R_S+h_{ie}+R_E(1+h_{fe})]}{(R_S+h_{ie})[R_S+h_{ie}+2R_E(1+h_{fe})]} \tag{7.55}$$

$$A_1=-\frac{h_{fe}R_C \parallel R_L}{(R_S+h_{ie}) \parallel [R_S+h_{ie}+R_E(1+h_{fe})]} \tag{7.56}$$

Que es igual a la expresión (7.47) considerando $R_V = 0$.

7.7 Cálculo de A_1 y A_2 a partir de los valores de A_{vd} y A_{vc}

Recordando las ec. (7.9), (7.10) y (7.11) se tienen:

$A_1 = A_{vd} + A_{vc}/2$

$A_2 = - A_{vd} + A_{vc}/2$

Como $A_{vd} >> A_{vc}$, tanto A_1 como A_2 serán del orden de la ganancia diferencial, con la única salvedad que A_1 tiene el mismo signo de ésta (es inversora), mientras que A_2 tiene signo opuesto (no inversora).

Para finalizar, en todos los casos vistos hasta aquí se ha considerado:

$v_o = - i_c R_C \| R_L$

Esto trae implícito que se ha despreciado el h_{oe} de los transistores. Si se tiene en cuenta el h_{oe} y suponiendo que el colector de Q_2 puede no tener una R_C, sino estar colgado directamente de V_{CC}, lo que produciría que la tensión efectiva de señal aplicada a los h_{oe} sería diferente, lo que a su vez generará corrientes diferentes por estas ramas, se tendrá en definitiva que ya no serán iguales las componentes de corriente que circularán por la resistencia R_E, con lo que el punto A (punto medio de R_V) dejará de ser una tierra virtual. Si se desea hacer un cálculo más exacto de las ganancias, incluyendo el parámetro h_{oe} de los transistores, se puede emplear un equivalente completo como el que se verá en el siguiente ejemplo.

Ejemplo

Supóngase el circuito de la Fig. 7.7.1, y los valores de componentes:

R_S = 100 Ω	h_{ie} = 5 kΩ	
R_E = 7,5kΩ	h_{fe} = 200	
$R_C = R_L$ = 12 kΩ	$1/h_{oe}$ = 40 kΩ	R_V = 0

el circuito equivalente se muestra en la Fig. 7.72.

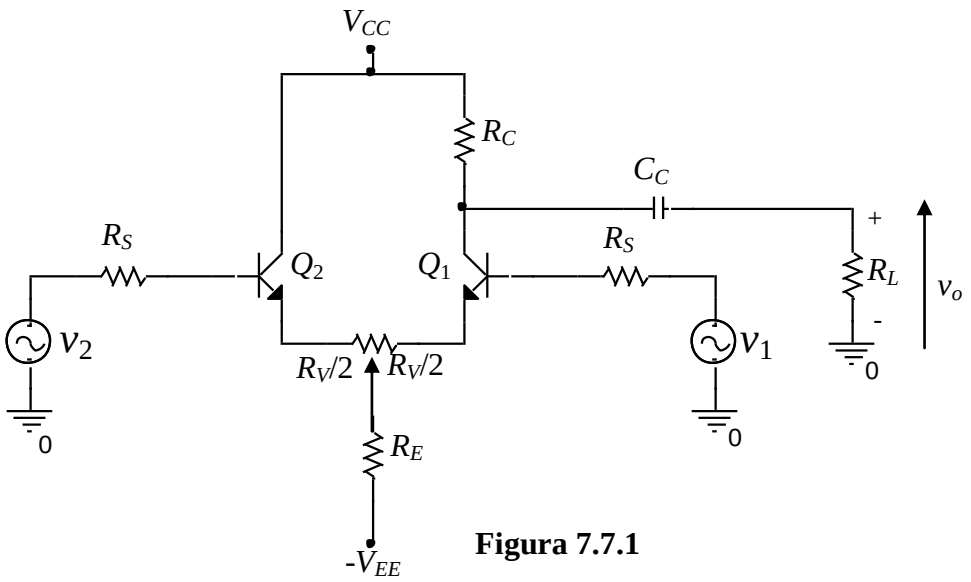


Figura 7.7.1

Resolviendo por nodos en la Fig. 7.7.2:

NODO E $(\boldsymbol{v_e} + \boldsymbol{v_d}/2)/(R_S + h_{ie}) + \boldsymbol{v_e}/R_E + (\boldsymbol{v_e} - \boldsymbol{v_d}/2)/(R_S + h_{ie}) + \boldsymbol{v_e}h_{oe} + h_{fe}(\boldsymbol{v_e} + \boldsymbol{v_d}/2)/(R_S + h_{ie})$
$+ (\boldsymbol{v_e} - \boldsymbol{v_c})h_{oe} + h_{fe}(\boldsymbol{v_e} - \boldsymbol{v_d}/2)/(R_S + h_{ie}) = 0$ (7.57)

NODO C_1 $(\boldsymbol{v_c} - \boldsymbol{v_e})h_{oe} + h_{fe}(\boldsymbol{v_d}/2 - \boldsymbol{v_e})/(R_C + h_{ie}) + \boldsymbol{v_c}/R_C||R_L = 0$ (7.58)

Del nodo E: $2{,}201\boldsymbol{v_e}/5{,}1 + \boldsymbol{v_e}/7{,}5 + 2\boldsymbol{v_e}/40 = \boldsymbol{v_c}/\ 40$

Por lo tanto: $\boldsymbol{v_e} = 3{,}164.10^{-4}\ \boldsymbol{v_c}$ (7.59)

Del nodo C_1: $\boldsymbol{v_c}[h_{oe} + 1/R_C||R_L] + h_{fe}\boldsymbol{v_d}/2/(R_S + h_{ie}) = \boldsymbol{v_e}[h_{oe} + h_{fe}/(R_S + h_{ie})]$ (7.60)

Reemplazando valores:

$0{,}192\boldsymbol{v_c} + 19{,}61\boldsymbol{v_d} = \boldsymbol{v_e}\ 39{,}24$ (7.61)

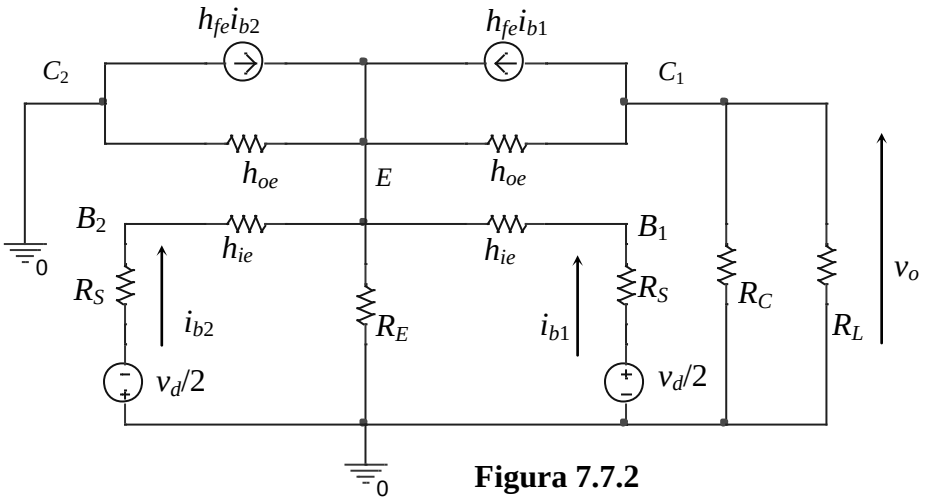


Figura 7.7.2

Reemplazando $\boldsymbol{v_e}$ a partir de su expresión obtenida en 7.59, en la ecuación 7.61 se tiene:

$$0{,}192\boldsymbol{v_c} + 19{,}61\boldsymbol{v_d} = \boldsymbol{v_c}0{,}0124 \qquad (7.62)$$

Por lo tanto: $\boldsymbol{v_c} = -109{,}4\boldsymbol{v_d}$ (7.63)

Como $\boldsymbol{v_o} = \boldsymbol{v_c}$ el valor de la ganancia en modo diferencial será:

$$A_{vd} = \boldsymbol{v_o}/\boldsymbol{v_d} = -109{,}4 \qquad (7.64)$$

Además, se puede ver que en este caso el punto correspondiente al NODO E (que coincide con el punto A) no es una tierra virtual ya que en este caso presenta un valor de tensión de señal distinta de cero. Este valor se puede calcular a partir de las ec. (7.59) y (7.63), expresándolo en función de la señal de entrada $\boldsymbol{v_d}$ que se aplique:

$$\boldsymbol{v_e} = 3{,}164.10^{-4}\,\boldsymbol{v_c} = -\,3{,}164.10^{-4}\,.109{,}4\boldsymbol{v_d}$$

$$\boldsymbol{v_e} = -\,0{,}0346\boldsymbol{v_d}$$

7.8 Amplificador diferencial MOS

La Fig. 7.8.1 muestra una etapa diferencial que emplea transistores MOS, donde la polarización se logra con el empleo de una fuente de corriente constante electrónica. En esta figura la fuente de corriente se muestra completa, vale decir con su componente de continua *I*, y su componente de señal R_o, y los posibles esquemas para implementarla se pueden ver en el Capítulo 6. Para implementar etapas diferenciales los transistores MOS, al igual que los BJT, son especialmente útiles en la fabricación de circuitos integrados. Un motivo para esta preferencia es que los dispositivos se pueden fabricar con parámetros coincidentes, muy útil en el diseño de los amplificadores diferenciales. Otro motivo es la amplia disponibilidad de transistores a un costo relativamente bajo en la tecnología de circuitos integrados.

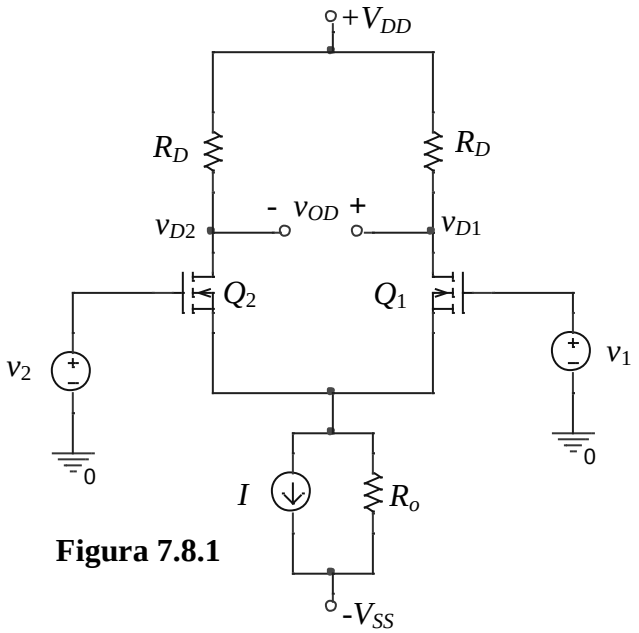


Figura 7.8.1

7.8.1 Análisis de la polarización de la etapa diferencial MOS

En la Fig. 7.8.2 observamos el circuito para el análisis de la polarización. Dada la simetría del circuito y considerando idénticos los transistores, es inmediato tomar la corriente en cada rama como la mitad de la corriente de polarización *I*, es decir

$$I_{D1} = I_{D2} = I_D = I/2$$

y las tensiones de compuerta fuente también serán iguales. Del transistor hacemos,

$$I_D = K\left(V_{GS} - V_T\right)^2 = \frac{I}{2}$$

De donde se obtiene la tensión compuerta fuente,

$$V_{GS} = V_T + \sqrt{\frac{I_D}{K}} = V_T + \sqrt{\frac{I}{2K}}$$

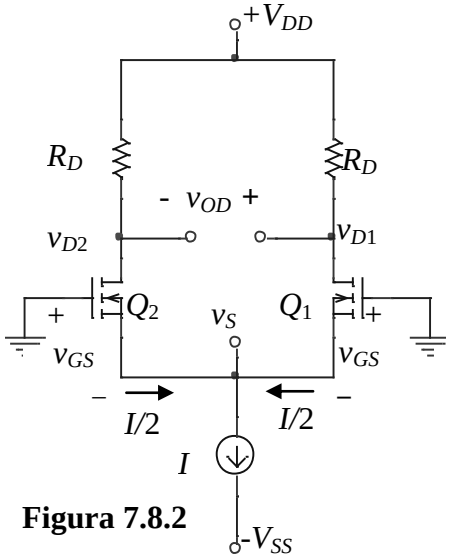


Figura 7.8.2

Donde, $V_S = - V_{GS}$

Las tensiones de drenador para cualquiera de los MOSFET son:

$$V_{D1} = V_{D2} = V_{DD} - I_D R_D \quad \text{y} \quad V_O = V_{D1} - V_{D2} = 0$$

Luego la tensión drenador fuente, obviando los subíndices, en cada drenador es,

$$V_{DS} = V_D - V_S = V_{DD} - I_D R_D + V_{GS}$$

7.8.2 Análisis de señal del amplificador

a) Modo diferencial

En la Fig. 7.8.3 vemos el circuito equivalente considerando señal de entrada diferencial, donde las fuentes de los transistores se encuentran a tierra virtual. El modelo de los transistores a utilizar será el desarrollado en la sección 5.5, solo con el parámetro g_m. Teniendo en cuenta que $v_{id}/2 = v_{gs}$, las fuentes de señal son de polaridades opuestas y generan corrientes opuestas, es fácil ver que,

$$v_{d1} = -g_m R_D \frac{v_{id}}{2} \qquad v_{d2} = +g_m R_D \frac{v_{id}}{2}$$

$$v_{od} = -g_m R_D v_{id}$$

La ganancia con salida diferencial resulta,

$$A_{dd} = \frac{v_{od}}{v_{id}}\bigg|_{v_{ic}=0} = -g_m R_D$$

mientras que las ganancias con salida simple son,

$$A_{dd1} = \frac{v_{d1}}{v_{id}}\bigg|_{v_{ic}=0} = -\frac{g_m R_D}{2} = \frac{A_{dd}}{2}$$

$$A_{dd2} = \frac{v_{d2}}{v_{id}}\bigg|_{v_{ic}=0} = +\frac{g_m R_D}{2} = -\frac{A_{dd}}{2}$$

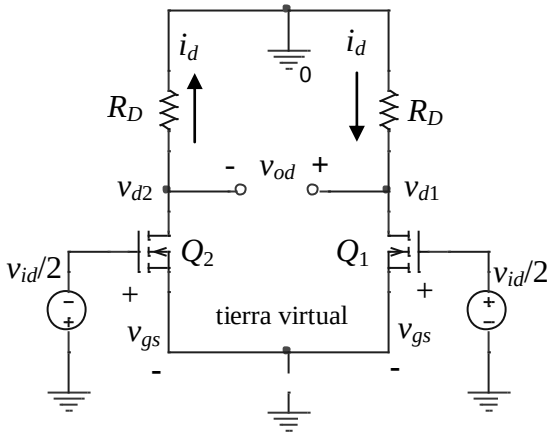


Figura 7.8.3

La resistencia de entrada diferencial y de salida diferencial, entre drenadores, resulta,

$$R_{id} = \infty \quad \text{y} \quad R_{od} = 2R_D$$

b) Modo común

En la Fig. 7.8.4 vemos el circuito equivalente de alterna del amplificador diferencial, considerando señal de entrada común, donde las fuentes de los transistores se encuentran unidas a la resistencia de salida de la fuente de corriente de polarización.

Para el cálculo de la tensión de salida en cada drenador, vemos que las corrientes en cada uno de ellos son de igual sentido e intensidad, por lo tanto las tensiones de drenador son iguales. Si tenemos en cuenta la ec. (5.6.3.4) de capítulo 5 de FET, haciendo $R'_L = R_D$ y $r_d = \infty$, nos queda,

$$v_{d1} = v_{d2} = \frac{-g_m R_D}{1+g_m(2R_o)} v_{ic}$$

y la tensión en las fuentes,

$$v_s = \frac{2g_m R_o}{1+g_m(2R_o)} v_{ic} \cong v_{ic}$$

La tensión diferencial de salida es cero ya que los drenadores tienen la misma tensión,

$$v_{od} = v_{d1} - v_{d2} = 0$$

Como consecuencia la ganancia de modo común con salida diferencial es cero, vale decir

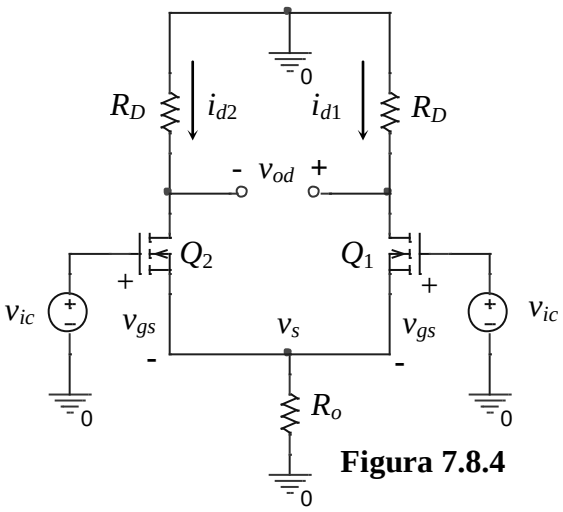


Figura 7.8.4

$$A_{cd} = \frac{v_{od}}{v_{ic}} = 0$$

Si la salida se toma de un solo drenador, la ganancia en modo común en cualquiera de ellos es,

$$A_{c1} = \frac{v_{d1}}{v_{ic}} = -\frac{g_m R_D}{1+g_m(2R_o)} \cong -\frac{R_D}{2R_o}$$

Esta ganancia es muy pequeña ya que por ser R_o la resistencia de salida de una fuente de corriente, tiene un valor muy alto. Se busca diseñar la fuente de corriente con un valor lo más alto posible de R_o, de tal manera de conseguir altas relaciones de rechazo al modo común.

Como las fuentes de señal de entrada están directamente conectadas a las compuertas, la corriente de entrada es cero y en consecuencia la resistencia de entrada diferencial en modo común es

$$R_{ic} = \infty$$

La resistencia de salida diferencial en modo común vale

$$R_{oc} = 2R_D$$

mientras que si la salida es simple, en cualquiera de los drenadores vale R_D. Esto por analogía a la ec. (5.6.3.7) del capítulo 5.

c**) Relación de Rechazo de Modo común (CMRR)**

Si la señal de entrada es solo de modo común, la salida diferencial del amplificador diferencial MOS simétrico y balanceado será cero y la CMRR será infinito. Si la salida se toma de un solo drenador se tiene,

$$CMRR = \left|\frac{A_{dd1}}{A_{c1}}\right| = \left|\frac{\frac{-g_m R_D}{2}}{\frac{-R_D}{2R_o}}\right| = g_m R_o$$

CAPÍTULO 8: AMPLIFICADORES MULTIETAPAS

Introducción

Las etapas amplificadoras vistas con un solo transistor (o monoetapas) tienen amplias posibilidades de diseño de sus características, descriptas por los principales parámetros de performance: ganancia de tensión y corriente y resistencia de entrada y salida.

Sin embargo hay muchas circunstancias donde los parámetros de performance deseados para un amplificador no pueden lograrse mediante un amplificador de un solo transistor. En estos casos es necesario emplear amplificadores que usen más de un transistor o etapa.

Para cambiar los parámetros de performance del amplificador el camino más directo y obvio es conectar en cascada amplificadores de un solo transistor, es decir conectar la salida de una etapa directamente en la entrada de la siguiente etapa. De esta manera se logra aumentar la ganancia y/o la modificación de la resistencia de entrada y/o la resistencia de salida. La desventaja de esta solución radica en el relativamente alto número de componentes necesarios para lograr el diseño deseado, algo superado en la tecnología de circuitos integrados, ya que se dispone de un gran número de transistores a muy bajo costo. Además si las monoetapas constitutivas del amplificador multietapa se acoplan a capacitor (práctica común para desacoplar las condiciones de continua entre etapas, en circuitos discretos), la respuesta en baja frecuencia del amplificador se ve afectada seriamente, cosa que no ocurre en las etapas acopladas directamente.

Opciones para monoetapas amplificadoras a transistor conectadas en cascada

Las razones básicas para elegir un amplificador multietapa por encima de un amplificador monoetapa incluyen una o más de las siguientes características de performance:

- Aumentar la amplificación.
- Modificación de la impedancia de entrada.
- Modificación de la impedancia de salida.

En los amplificadores de tensión de varias etapas conectadas en cascada, la primera etapa por lo general debe tener una elevada resistencia de entrada para evitar la pérdida de señal cuando el amplificador se alimenta desde una fuente de señal de elevada resistencia. Para estos casos se prefiere etapas en emisor común (EC) o fuente común (SC). Las etapas en base común (BC) y compuerta común (GC) tienen buena ganancia de tensión pero no ganancia de corriente. La baja resistencia de entrada de estas etapas produce una reducción de la ganancia a la etapa previa por ello no son usadas como etapas intermedias, sino estas etapas son más útiles como etapas iniciales de baja resistencia de entrada, cuando la fuente de señal así lo requiera, como el caso de las fuentes de señal de corriente. Caso contrario podrá usarse EC (SC).

La función de las etapas intermedias es producir la mayor parte de la ganancia de tensión. Las etapas en emisor común (EC) y fuente común (SC) son ideales para incrementar la amplificación. Cada una exhibe una ganancia de tensión y corriente considerable, además cuando se conectan en cascada la relativa alta resistencia de entrada de estas etapas no cargan significativamente las etapas previas (la ganancia de tensión es una función de la carga).

La función de la última etapa es producir una baja resistencia de salida para evitar la pérdida de ganancia cuando una resistencia de carga de bajo valor se conecte al amplificador. Las etapas

en colector común (CC) y drenador común (DC) tienen buena ganancia de corriente pero no, ganancia de tensión. Su alta resistencia de entrada les permite seguir a una etapa de amplificación sin un considerable decremento de tensión. Estas etapas son más útiles como etapas finales de baja resistencia de salida.

Los principios de diseño para un amplificador conectado en cascada generalmente son:

1. La etapa inicial no debería ser CC ó DC
- Casos de baja resistencia de entrada: BC ó GC
- Otros casos: EC ó SC

2. Las etapas intermedias deberían ser EC ó SC

3. La etapa final no debería ser BC ó GC
- Casos de baja resistencia de salida: CC ó DC
- Otros casos: EC ó SC

Observación:
Los amplificadores para propósitos especiales pueden violar estos principios de diseño.

8.1 Amplificadores multietapas usando etapas simples en cascada

Entre las posibles conexiones multietapas en grandes amplificadores, la conexión en cascada es la más simple. En una conexión en cascada, la tensión y la corriente de salida de una etapa son pasados directamente a la entrada de la siguiente etapa.
En la Fig. 8.1 se muestra un amplificador de dos etapas conectado en cascada.

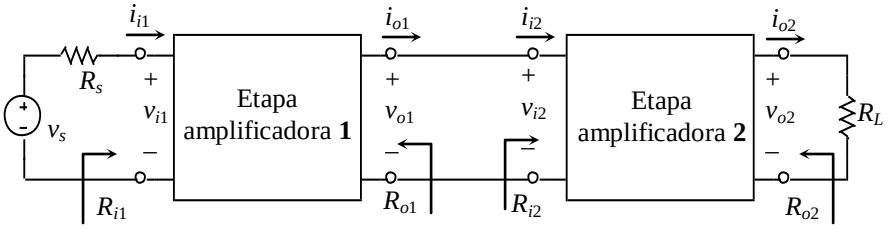


Figura 8.1 Esquema general de un amplificador multietapas.

En este amplificador las salidas v_{o1} e i_{o1} de la primera etapa se convierten en las entradas v_{i2} e i_{i2} de la segunda etapa sin ninguna modificación. La ganancia total de tensión está dada por la razón de la tensión de carga a la tensión de la fuente en el caso más general.
Esto se puede expresar como:

$$A_v = \frac{v_{o2}}{v_s} = \left(\frac{v_{o2}}{v_{i2}}\right)\left(\frac{v_{i2}}{v_{o1}}\right)\left(\frac{v_{o1}}{v_{i1}}\right)\left(\frac{v_{i1}}{v_s}\right) = (A_{v2})(1)(A_{v1})\left(\frac{R_{i1}}{R_{i1}+R_S}\right) \tag{8.1}$$

Donde A_{v1} es la ganancia de tensión de la primera etapa y A_{v2} es la ganancia de tensión de la segunda etapa, con carga. La ganancia total de tensión de un amplificador conectado en cascada puede ser expresada como un producto de las ganancias de las etapas individuales y un simple divisor de tensión. Sin embargo es importante notar que cada etapa presenta una carga a la anterior. Su resistencia de entrada es parte de la carga total de la etapa anterior.

En un modo similar la ganancia de corriente del amplificador conectado en cascada es el producto de las ganancias de corriente de las etapas individuales y un simple divisor de corriente. Nuevamente las etapas individuales interactúan entre sí, y las expresiones para la ganancia de corriente deben incluir los efectos de tal interacción. La resistencia total de entrada R_{i1} o la resistencia total de salida R_{o2} también deben ser modificadas por la interacción de las etapas individuales. Si reemplazamos el generador de tensión entrada por su equivalente Norton, la ganancia de corriente del amplificador resulta:

$$A_i = \frac{i_{o2}}{i_s} = \left(\frac{i_{o2}}{i_{i2}}\right)\left(\frac{i_{i2}}{i_{o1}}\right)\left(\frac{i_{o1}}{i_{i1}}\right)\left(\frac{i_{i1}}{i_s}\right)$$
$$= (A_{i2})(1)(A_{i1})\left(\frac{R_{i1}}{R_{i1}+R_S}\right)$$

Donde A_{i1} es la ganancia de corriente de la primera etapa y A_{i2} es la ganancia de corriente de la segunda etapa.

8.2 Acoplamiento indirecto o capacitivo

Ejemplo 8.1

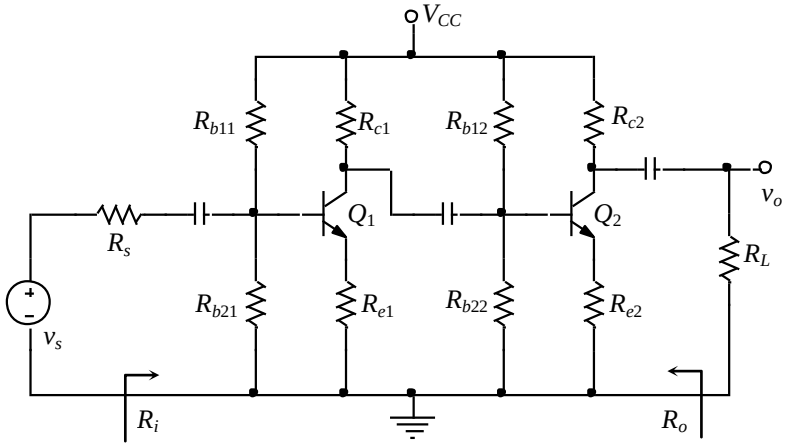


Figura 8.2 Amplificador de dos etapas del ejemplo 8.1.

$\beta = h_{FE} = 150$, $V_A = 350$, $V_{CC} = 15$ V

Las resistencias del circuito son:

$R_{b11} = R_{b12} = 82$ kΩ, $R_{c1} = R_{c2} = 2{,}2$ kΩ
$R_{b21} = R_{b22} = 12$ kΩ, $R_{e1} = R_{e2} = 430$ Ω
$R_s = 100$ Ω $R_L = 2{,}7$ kΩ

En la Fig. 8.2 se muestra un amplificador de dos etapas conectado en cascada que está compuesto de dos etapas amplificadoras idénticas (dos transistores bipolares de silicio). Se desea determinar las ganancias de tensión y corriente para señal (desde el generador hacia la carga) y las resistencias de entrada y salida.

Solución

La determinación de los parámetros de performance de los amplificadores multietapas sigue los siguientes pasos (similar a los amplificadores monoetapas):

1. Dibuje el circuito equivalente para continua. Use para los transistores un modelo de polarización apropiado (circuito o analítico).
2. Determine las condiciones estáticas del circuito (polarización), verificar la región activa para los BJTs o la región de saturación para los FETs.
3. Determine los parámetros del modelo de señal de los transistores a partir de las condiciones estáticas.
4. Dibuje el circuito equivalente para señal.
5. Determinar los parámetros de cada etapa remplazando los transistores por sus respectivos modelos de señal o usando previamente los resultados derivados por la topología del circuito.
6. Reúna los resultados del análisis de polarización y los resultados del análisis de señal de cada etapa.
7. Reúna los resultados del análisis de polarización y de señal individuales para obtener la performance total del circuito.

Análisis para polarización

Se comienza el análisis de la etapa que contiene al transistor Q_1. El circuito equivalente para la polarización luego del remplazo del circuito de base por su equivalente de Thévenin es:

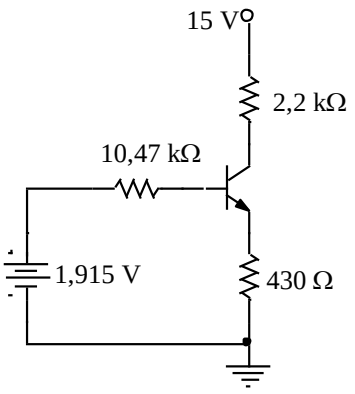


Figura 8.3 Equivalente Thevenin de la primera etapa del amplificador de la figura 8.2.

$$R_{th} = R_{b11} \,||\, R_{b21} = \frac{R_{b11}R_{b21}}{R_{b11}+R_{b21}} = \frac{82\text{k}\Omega 12\text{k}\Omega}{82\text{k}\Omega + 12\text{k}\Omega} = 10{,}47\text{k}\Omega \tag{8.2}$$

$$V_{th} = \left(\frac{V_{CC}}{R_{b11}+R_{b21}}\right)R_{b21} = \left(\frac{15\text{V}}{82\text{k}\Omega + 12\text{k}\Omega}\right)12\text{k}\Omega = 1{,}915\text{V} \tag{8.3}$$

Las corrientes de base y de colector son:

$$\begin{aligned}
&V_{th} - R_{th}I_B - V_{BE} - I_E R_E = 0 \\
&\text{Pero} \quad I_C = \beta I_B \quad \text{y} \quad I_E = I_B + I_C = I_B(\beta+1) \\
&\therefore \quad V_{th} - R_{th}I_B - V_{BE} - I_B(\beta+1)R_E = 0 \\
&I_B = \frac{V_{th} - V_{BE}}{R_{th} + (\beta+1)R_E} = \frac{1{,}915\text{V} - 0{,}7\text{V}}{10{,}47\text{k}\Omega + (151 \cdot 430\Omega)} = 16{,}11\,\mu\text{A} \\
&I_C = \beta I_B = 150 \cdot 16{,}11\,\mu\text{A} = 2{,}417\text{ mA}
\end{aligned} \tag{8.4}$$

La tensión V_{CE} es:

$$
\begin{aligned}
&V_{CC} - I_C R_{C1} - V_{CE} - I_E R_{E1} = 0 \qquad \text{con} \quad I_E \cong I_C \\
&V_{CC} - I_C R_{C1} - V_{CE} - I_C R_{E1} = 0 \\
&V_{CE} = V_{CC} - I_C (R_{C1} + R_{E1}) = 15\text{V} - 2{,}417\ \text{mA}(2{,}2\text{k}\Omega + 430\Omega) \\
&V_{CE} = 8{,}63\ \text{V}
\end{aligned}
\tag{8.5}
$$

Como V_{CE} = 8,63 V es mayor que V_{CEsat} = 0,2 V, el transistor Q_1 está en la región activa.

Los parámetros *h* del transistor son:

$$
\begin{aligned}
&h_{fe} = 150 = \beta \quad ; \quad h_{ie} = (\beta + 1)\frac{nV_T}{|I_C|} = 151\frac{26\text{mV}}{2.417\text{mA}} = 1{,}624\ \text{k}\Omega \\
&h_{oe} = \left|\frac{I_C}{V_A}\right| = \frac{2{,}417\text{mA}}{350\text{V}} = 6{,}906 \cdot 10^{-6}\ \frac{1}{\Omega}
\end{aligned}
\tag{8.6}
$$

En este amplificador las dos etapas están polarizadas idénticamente. Por lo tanto las condiciones estáticas en cada etapa y los parámetros *h* son los mismos.
Cuando las etapas no son idénticas las condiciones de polarización y los parámetros del transistor deben ser obtenidas para cada etapa.

<u>Análisis para señal</u>

El circuito equivalente de señal se observa en la Fig. 8.4.

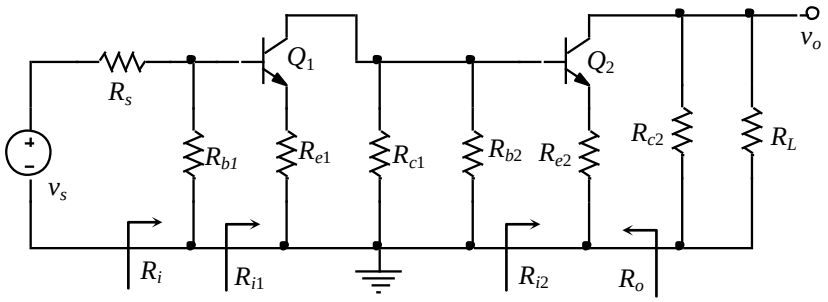


Figura 8.4 Circuito equivalente de alterna o señal para el amplificador de dos etapas.

Donde,

$$R_{b1} = R_{b11} // R_{b21} = 10{,}47\text{k}\Omega \qquad R_{b2} = R_{b12} // R_{b22} = 10{,}47\text{k}\Omega \tag{8.7}$$

Este modelo de señal muestra un amplificador conectado en cascada que consiste de dos etapas en EC con resistencia de emisor. La resistencia de entrada para una etapa en EC + R_E es:

$$R_i = h_{ie} + (h_{fe} + 1)R_E \tag{8.8}$$

Como las etapas son idénticas ($R_{E1} = R_{E2}$) se tiene:

$$R_{i1} = R_{i2} = h_{ie} + (h_{fe} + 1)R_E = 1{,}624\text{k}\Omega(151 \cdot 430\Omega) = 66{,}55\text{k}\Omega \tag{8.9}$$

La resistencia total de entrada del amplificador es la resistencia de entrada de la primera etapa,

$$R_i = R_{b1} \parallel R_{i1} = 10{,}47\text{k}\Omega \parallel 66{,}55\text{k}\Omega = 9{,}046\text{k}\Omega \approx 9{,}05\text{k}\Omega \tag{8.10}$$

La resistencia total de salida del amplificador es la resistencia de salida de la segunda etapa,

$$R_o = R_{o2} = \frac{v}{i}\Big|_{vs=0} = R_{c2} \parallel R_{ot} \cong R_{c2} \quad \text{pues } R_{ot} \cong \infty$$
$$R_o \cong R_{c2} = 2{,}2\text{k}\Omega \tag{8.11}$$

Se asume que h_{re} y h_{oe} son aproximadamente igual a cero.
La ganancia de tensión para una etapa en EC + R_E es:

$$A_v = \frac{-h_{fe}R_c}{h_{ie} + (h_{fe}+1)R_e} = \frac{-h_{fe}R_c}{R_i} \tag{8.12}$$

La única cantidad indeterminada en la expresión de ganancia es la resistencia total conectada al colector R_c. Para la primera etapa R_c es la combinación en paralelo de R_{b2}, R_{c1} y la resistencia de entrada de la segunda etapa R_{i2}, o sea ($R_c = R_{b2}//R_{C1}//R_{i2}$).
Para la segunda etapa R_c es la combinación en paralelo de R_{c2} y R_L ($R_c = R_{c2}//R_L$).
Notar que aunque las etapas son idénticas, las diferentes cargas de cada etapa producen una variación en algunas de las características de la etapa.

La ganancia de tensión para cada etapa es:

$$A_{v1} = \frac{-h_{fe}R_c}{R_{i1}} = \frac{-h_{fe}(R_{b2} \parallel R_{c1} \parallel R_{i2})}{R_{i1}} = \frac{-150(10{,}47\text{k}\Omega \parallel 2{,}2\text{ k}\Omega \parallel 66{,}55\text{k}\Omega)}{66{,}55\text{k}\Omega}$$
$$A_{v1} = -3{,}98$$
$$A_{v2} = \frac{-h_{fe}R_c}{R_{i2}} = \frac{-h_{fe}(R_{c2} \parallel R_{load})}{R_{i2}} = \frac{-150(2{,}2\text{k}\Omega \parallel 2{,}7\text{k}\Omega)}{66{,}55\text{k}\Omega} \tag{8.13}$$
$$A_{v2} = -2{,}73$$

La ganancia de tensión total está dada por el producto de las etapas individuales y un divisor de tensión en la entrada.

$$A_v = \frac{v_o}{v_s} = (A_{v2})(A_{v1})\left(\frac{R_i}{R_i + R_S}\right)$$
$$= (-3{,}98)(-2{,}73)\left(\frac{9{,}05\text{k}\Omega}{9{,}05\text{k}\Omega + 100\Omega}\right) = 10{,}75 \tag{8.14}$$

La ganancia de corriente se obtiene a partir de la ganancia de tensión, a saber:

$$A_i = \frac{i_{load}}{i_{source}} = \left(\frac{i_{load}}{v_o}\right)\left(\frac{v_o}{v_s}\right)\left(\frac{v_s}{i_{source}}\right) = \frac{1}{R_{load}}(A_v)(R_i + R_S)$$
$$= \frac{1}{2{,}7\text{k}\Omega}(10{,}74)(9{,}05\text{k}\Omega + 100\Omega) = 36{,}40 \tag{8.15}$$

<u>Ejemplo 8.2</u>

V_{CC} = 12 V	R_4 = 330 Ω	h_{FE1}= h_{FE2} = h_{fe1}= h_{fe2} = 100
R_1 = 100 kΩ	R_5 = 12 kΩ	h_{ie1} = 2,5 kΩ
R_2 = 10 kΩ	R_6 = 100 Ω	h_{ie2} = 51 Ω
R_3 = 4k7	R_7 = 8 Ω	

En un circuito de dos etapas con acoplamiento capacitivo la señal de la fuente pasa a la primer etapa, luego a la segunda, y de ésta a la carga por medio de sendos condensadores. Esto permite realizar los cálculos de polarización en forma independiente para cada una de las etapas ya que en continua una no afecta a la otra, es decir las etapas son no interactuantes en continua.

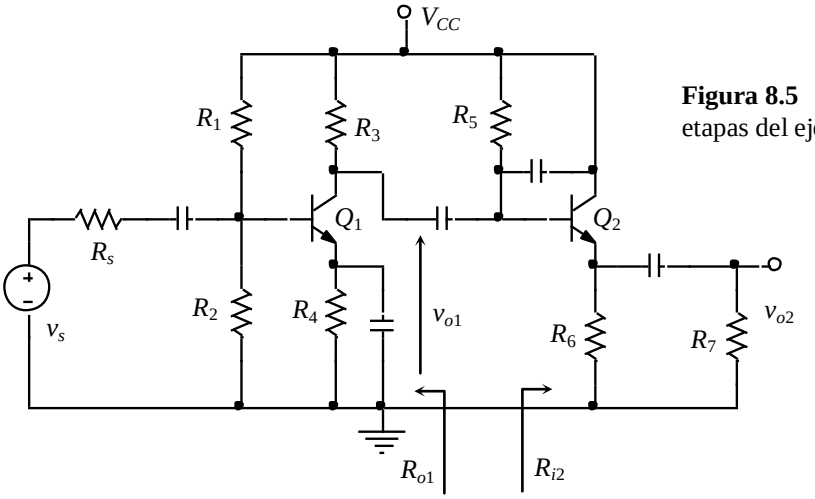


Figura 8.5 Amplificador de dos etapas del ejemplo 8.2

Análisis para polarización

En la primera etapa se tiene un circuito autopolarizado cuyo equivalente se observa en la Fig. 8.6:

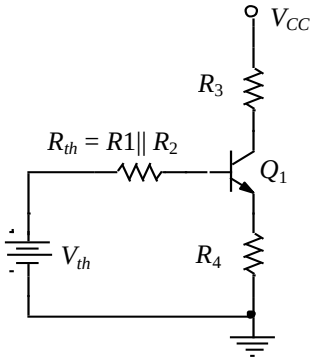


Figura 8.6 Circuito equivalente en continua de la primera etapa del ejemplo 8.2

$$V_{th} = V_{CC}R_2/(R_1 + R_2) = 1{,}09 \text{ V}$$

$$R_{th} = R_1//R_2 = R_1R_2/(R_1 + R_2) = 9{,}09 \text{ k}\Omega$$

$V_{th} - I_{B1}R_{th} - V_{BE1} - I_{E1}R_4 = 0$

$I_{E1} = I_{B1} + I_{C1} = I_{C1} + \beta_1 I_{B1} = (\beta_1 + 1)I_{B1}$

$V_{th} - I_{B1}R_{th} - V_{BE1} - I_{B1}(\beta_1 + 1)R_4 = 0$

$V_{th} - V_{BE1} - I_{B1}[R_{th} + (\beta_1 + 1)R_4] = 0$

$I_{B1} = (V_{th} - V_{BE1})/[R_{th} + (\beta_1 + 1)R_4] = 9{,}19\ \mu A$

$I_{C1} = \beta_1 I_{B1} = 0{,}92\ mA$

$V_{CC} - I_{C1}R_3 - V_{CE1} - I_{E1}R_4 = 0$

$I_{E1} = I_{B1} + I_{C1} = I_{C1}/\beta_1 + I_{C1} = [(\beta_1 + 1)/\beta_1]I_{C1} \cong I_{C1}$ si $\beta_1 >> 1$

$V_{CC} - I_{C1}R_3 - V_{CE1} - I_{C1}R_4 = 0$

$V_{CC} - V_{CE1} - I_{C1}(R_3 + R_4) = 0$

$V_{CE1} = V_{CC} - I_{C1}(R_3 + R_4) = 7{,}37\ V$

En la segunda etapa se tiene un circuito con polarización fija:

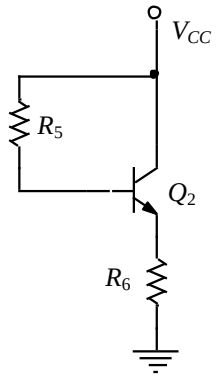


Figura 8.7 Circuito equivalente en continua para la segunda etapa del ejemplo 8.2.

$V_{CC} - I_{B2}R_5 - V_{BE2} - I_{E2}R_6 = 0$

$I_{E2} = I_{B2} + I_{C2} = I_{B2} + \beta_2 I_{B2} = (\beta_2 + 1)I_{B2}$

$V_{CC} - I_{B2}R_5 - V_{BE2} - I_{B2}(\beta_2 + 1)R_6 = 0$

$V_{CC} - V_{BE2} - I_{B2}[R_5 + (\beta_2 + 1)R_6] = 0$

$I_{B2} = (V_{CC} - V_{BE2})/[R_5 + (\beta_2 + 1)R_6] = 511{,}31\ \mu A$

$I_{C2} = \beta_2 I_{B2} = 51{,}13\ mA$

$V_{CC} - V_{CE2} - I_{E2}R_6 = 0$

$$I_{E2} = I_{B2} + I_{C2} = I_{C2}/\beta_2 + I_{C2} = [(\beta_2 + 1)/\beta_2]I_{C2} \cong I_{C2} \quad \text{si } \beta_2 >> 1$$

$$V_{CC} - V_{CE2} - I_{C2}R_6 = 0$$

$$V_{CE2} = V_{CC} - I_{C2}R_6 = 6{,}89 \text{ V}$$

Análisis para señal

El circuito equivalente de la primera etapa es:

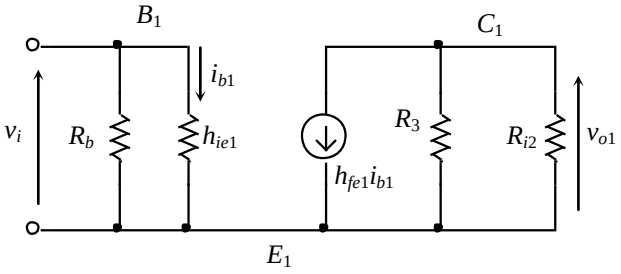


Figura 8.8 Circuito equivalente de la primera etapa del ejemplo 8.2.

La ganancia de tensión de la primera etapa es:

$$A_{v1} = v_{o1}/v_i$$

$$v_i = h_{ie1}\, i_{b1}$$

$$v_{o1} = -\, h_{fe1}i_{b1}(R_3 \| R_{i2})$$

$$A_{v1} = -\, h_{fe1}(R_3 \| R_{i2})/h_{ie1}$$

Donde R_{i2} es la resistencia de entrada de la segunda etapa.

El circuito equivalente de la segunda etapa se muestra en la Fig. 8.9.

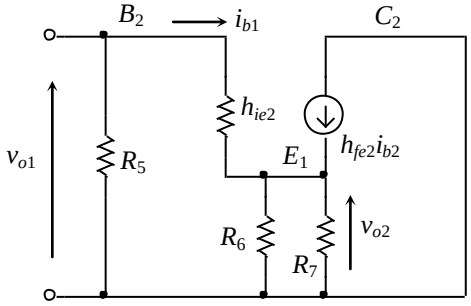


Figura 8.9 Circuito equivalente de la segunda etapa del ejemplo 8.2.

La impedancia de entrada de la segunda etapa es:

$$R_{i2} = R_5 \| [h_{ie2} + (1 + h_{fe2})(R_6 \| R_7)] = 749{,}48\ \Omega = \approx 0{,}749\ \text{k}\Omega$$

Entonces:

$$A_{v1} = -\, h_{fe1}(R_3 \| R_{i2})/h_{ie1} = -\, 25{,}84$$

La ganancia de tensión de la segunda etapa es:

$$A_{v2} = v_{o2}/v_{o1}$$

$$v_{o1} = i_{b2}h_{ie2} + (1 + h_{fe2})i_{b2}(R_6\|R_7) = i_{b2}[h_{ie2} + (h_{fe2} + 1)(R_6\|R_7)]$$

$$v_{o2} = i_{b2}(1 + h_{fe2})(R_6\|R_7)$$

$$A_{v2} = [(1 + h_{fe2})(R_6\|R_7)]/[h_{ie2} + (1 + h_{fe2})(R_6\|R_7)] = 0{,}94$$

Por último, la ganancia total de tensión del circuito es el producto de las ganancias de tensión de ambas etapas:

$$A_v = v_{o2}/v_i = (v_{o2}/v_{o1})(v_{o1}/v_i) = A_{v2}A_{v1} = -24{,}30$$

8.3 Acoplamiento directo

Mientras que el acoplamiento capacitivo de etapas tiene su principal ventaja en el aislamiento de la polarización de las etapas individuales, tiene como desventaja la degradación en baja frecuencia. Además el aislamiento de la polarización necesita la polarización individual de cada transistor en la región activa para los BJTs y en la región de saturación para los FETs. La polarización individual puede incrementar significativamente el número de elementos de la polarización (en amplificadores discretos estos elementos son generalmente resistores) lo cual incrementará el tamaño, costo y el consumo de energía de un amplificador. Es por eso ventajoso cuando sea posible acoplar directamente las etapas.

El acoplamiento capacitivo de la fuente y la carga es a menudo inevitable a raíz de los desplazamiento de continua o polarización.

Un ejemplo de conexión en cascada de dos etapas con acoplamiento directo se muestra en la Fig. 8.10:

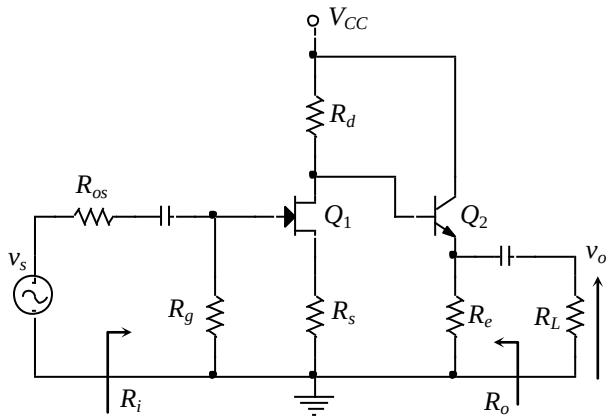


Figura 8.10 Amplificador de dos etapas con acoplamiento directo del ejemplo 8.3.

La polarización del transistor de la segunda etapa (BJT) depende de las condiciones de polarización del transistor de la primera etapa (JFET). En este caso la polarización dependiente ha eliminado dos resistores de polarización y un capacitor en comparación con la polarización independiente.

El propósito de R_g es asegurar que la tensión de polarización en la compuerta de Q_1 sea cero. Si el diseñador está absolutamente seguro de que la fuente v_s no tiene componente de continua el resistor R_g y su capacitor de entrada asociado podrían ser eliminados también.

Ejemplo 8.3

En la Fig. 8.10 se muestra el amplificador de dos etapas conectado en cascada compuesto de dos etapas simples conectadas directamente.
Los parámetros característicos de los transistores son:

$$\beta = 150 \; ; \; V_A = 350\text{V (BJT de silicio)}$$
$$V_P = \text{-}3{,}5\text{V} \; ; \; I_{DSS} = 10\text{mA} \; ; \; V_A = 250\text{V (JFET)}$$
$$R_g = 1\text{M}\Omega \; ; \; R_e = 2{,}7\text{k}\Omega$$
$$R_d = 1{,}5\text{k}\Omega \; ; \; R_{os} = 100\Omega \text{ (impedancia del generador)}$$
$$R_S = 130\Omega \; ; R_L = 2{,}2\text{k}\Omega$$
$$V_{CC} = 15\text{V}$$

Se desea determinar las ganancias de tensión y corriente de señal (desde el generador hacia la carga) y las resistencias de entrada y salida.

Solución

Análisis para polarización

En la primera etapa se tiene un JFET como se observa en la Fig. 8.10a.

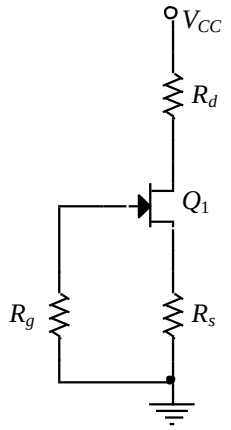


Figura 8.10a Primera etapa con FET en continua del ejemplo 8.3.

Las condiciones de polarización para el JFET son determinadas con las expresiones que relacionan I_D y V_{GS} en la región de saturación.

$$I_D = I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2 \qquad \langle 1 \rangle$$

$$I_G \cong 0 \;\Rightarrow\; V_{R_G} = I_G R_g \cong 0$$

$$V_{R_G} - V_{GS} - R_S I_D = 0 \;\Rightarrow -V_{GS} - R_S I_D = 0$$

$$\therefore\; I_D = \frac{-V_{GS}}{R_S} \qquad \langle 2 \rangle$$

Igualando $\langle 1 \rangle$ y $\langle 2 \rangle$

$$I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2 = \frac{-V_{GS}}{R_S}$$

$$\frac{V_{GS}^{\;2}}{V_{PO}^{\;2}} + \left(-\frac{2}{V_P} + \frac{1}{R_S I_{DSS}}\right)V_{GS} + 1 = 0$$

$$\frac{V_{GS}^{\;2}}{12{,}25} + 1{,}3406 V_{GS} + 1 = 0$$

$$V_{GS} = -0{,}783\text{V} \;\Rightarrow\; I_D = 6{,}025\text{mA}$$

En la segunda etapa se tiene un BJT. Las condiciones de polarización del transistor BJT se obtienen a partir del circuito de la Fig. 8.11.

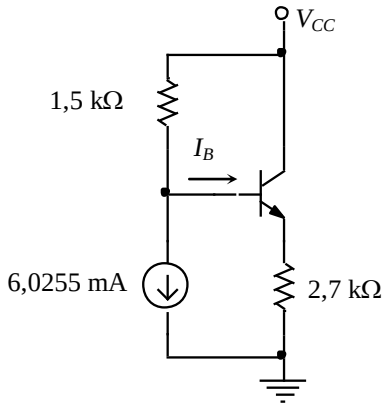


Figura 8.11 Polarización de la segunda etapa del ejemplo 8.3.

Las corrientes de base y colector son halladas escribiendo la ecuación de la malla base emisor:

$$V_{CC} - R_D(I_D + I_B) - V_{BE} - R_E I_E = 0 \qquad \text{Con} \quad I_E = (\beta+1)I_B$$

$$15 - 1{,}5\text{k}\Omega(6{,}025\text{mA} + I_B) - 0{,}7\text{V} - (151 \cdot 2{,}7\text{k}\Omega I_B) = 0$$

$$I_B = 12{,}86\,\mu\text{A} \rightarrow \quad I_C = \beta I_B = 1{,}93\,\text{mA}$$

Verificamos si los transistores están en las regiones apropiadas:

$$V_{CE} = V_{CC} - I_C R_C = 15\text{V} - 1{,}93\text{mA}\,2{,}7\text{k}\Omega = 9{,}79\text{ V} \quad \therefore$$

$$V_{CE} = 9{,}79\text{V} \geq V_{CESAT} = 0{,}2\text{V} \quad \Rightarrow \quad Q_2 \text{ está en la región activa}$$

$$V_{DS} = V_{CC} - R_D(I_D + I_B) - R_S I_D$$

$$V_{DS} = 15\text{V} - 1{,}5\text{k}\Omega(6{,}025\text{mA} + 12{,}86\text{uA}) - 130\Omega 6{,}025\text{mA} = 5{,}16\text{ V}$$

$$V_{DS} = 5{,}16\text{ V} \geq V_{GS} - V_P = 2{,}71\text{ V} \;\Rightarrow\; Q_1 \text{ está en la región de saturación}$$

<u>Análisis para señal</u>

Los parámetros de señal del transistor son:

$$h_{fe} = \beta = 150 \quad ; \quad h_{ie} = (\beta+1)\frac{nV_T}{|I_C|} = 2{,}04\text{ k}\Omega$$

$$g_m = \frac{2I_D}{V_{GS} - V_P} = 4{,}425 \cdot 10^{-3}\,\frac{1}{\Omega} \quad ; \quad r_d = \left|\frac{V_A}{I_D}\right| = 41{,}49\text{ k}\Omega$$

El modelo de señal está compuesto de una etapa en fuente común seguida por una etapa en colector común como se observa en la Fig. 8.12.

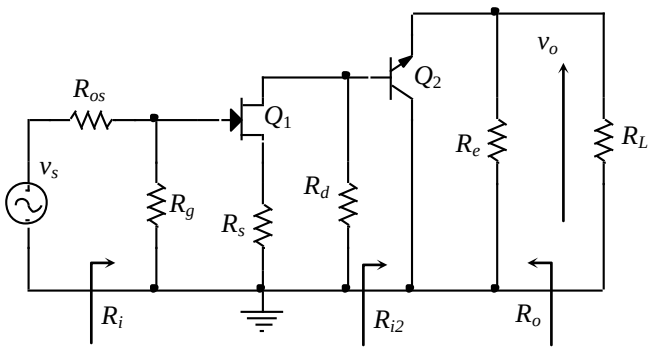


Figura 8.12 Circuito para señal del amplificador de dos etapas del ejemplo 8.3.

La resistencia total de entrada R_i es la combinación en paralelo de R_g y la resistencia de entrada del JFET.

$$R_i = R_g \parallel \infty = R_g = 1\text{M}\Omega$$

La resistencia de entrada de la etapa en CC es:

$$R_{i2} = \frac{\left[h_{ie} + (h_{fe}+1)(R_E \parallel R_L)\right] i_b}{i_b} = h_{ie} + (h_{fe}+1)(R_E \parallel R_L)$$

$$R_{i2} = 2{,}04\,\text{k}\Omega + 151\left(\frac{2{,}7\,\text{k}\Omega \cdot 2{,}2\,\text{k}\Omega}{2{,}7\,\text{k}\Omega + 2{,}2\,\text{k}\Omega}\right) = 185{,}1\,\text{k}\Omega$$

La ganancia de tensión de la etapa en SC es:

$$A_{v1} = \frac{-g_m r_d (R_d \parallel R_{i2})}{r_d + (R_d \parallel R_{i2}) + (g_m r_d + 1)R_s} = -4{,}447$$

La ganancia de tensión de la etapa en CC es:

$$A_{v2} = 1 - \frac{h_{ie}}{R_{i2}} = 0{,}989$$

La ganancia total es:

$$A_v = A_{v1} A_{v2} \frac{R_i}{R_i + R_{os}} = -4{,}40$$

La ganancia de corriente es:

$$A_i = \frac{i_{load}}{i_{source}} = \frac{i_{load}}{v_o}\frac{v_o}{v_s}\frac{v_s}{i_{source}} = \frac{1}{R_{load}} A_v (R_i + R_S) \approx 2000$$

La resistencia de salida de la etapa en CC depende de la resistencia de salida de la etapa en SC. La resistencia de salida de la etapa en SC es:

$$R_{o1} = r_d + (g_m r_d + 1)R_s = 59{,}95\text{k}\Omega$$

La resistencia de salida de la etapa en CC es:

$$R_{o2} = \frac{(R_{o1} \parallel R_D) + h_{ie}}{h_{fe} + 1} = 23{,}2\Omega$$

La resistencia total de salida es: $R_o = R_{o2} \parallel R_E = 23\,\Omega$

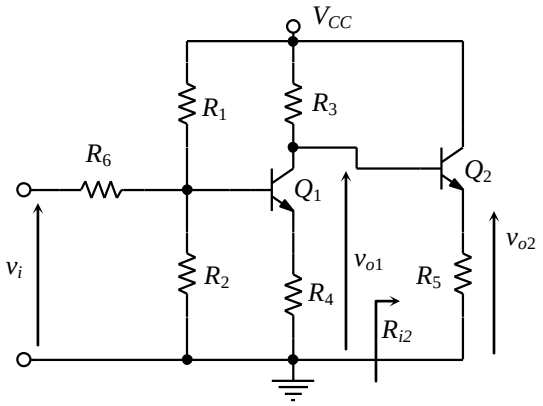


Figura 8.13 Amplificador de dos etapas con acoplamiento directo del ejemplo 8.4.

Ejemplo 8.4

R_1 = 100 kΩ	R_6 = 10000 kΩ
R_2 = 10 kΩ	h_{FE1}= h_{FE2} = h_{fe1} = h_{fe2} = 100
R_3 = 4k7	h_{ie1}= 2k2
R_4 = 330 Ω	h_{ie2} = 460 Ω
R_5 = 1 kΩ	

En un circuito de dos etapas con acoplamiento directo la polarización de la segunda etapa se toma directamente de la primera etapa.

Solución

Análisis para polarización

En la primera etapa se tiene un circuito autopolarizado en el cual se desprecia la pequeña corriente que circula por el resistor R_6:

$$V_{th} = V_{CC}R_2/(R_1 + R_2) = 1{,}09 \text{ V}$$

$$R_{th} = R_1 \| R_2 = R_1R_2/(R_1 + R_2) = 9{,}09 \text{ k}\Omega$$

$$V_{th} - I_{B1}R_{th} - V_{BE1} - I_{E1}R_4 = 0$$

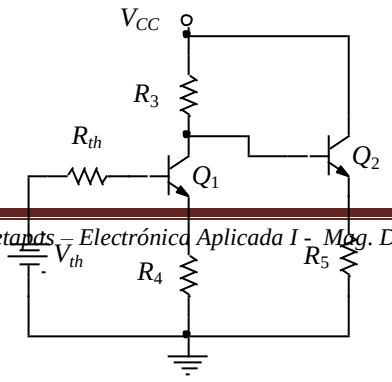


Figura 8.14 Circuito equivalente para polarización del amplificador de la figura 8.13.

$I_{E1} = I_{B1} + I_{C1} = I_{B1} + \beta_1 I_{B1} = (\beta_1 + 1)I_{B1}$

$V_{th} - I_{B1}R_{th} - V_{BE1} - I_{B1}(\beta_1 + 1)R_4 = 0$

$V_{th} - V_{BE1} - I_{B1}[R_{th} + (\beta_1 + 1)R_4] = 0$

$I_{B1} = (V_{th} - V_{BE1})/[R_{th} + (\beta_1 + 1)R_4] = 9{,}19\ \mu A$

$I_{C1} = \beta_1 I_{B1} = 0{,}92\ mA$

$V_{CC} - (I_{C1} + I_{B2})R_3 - V_{BE2} - I_{E2}R_5 = 0$

$I_{E2} = I_{B2} + I_{C2} = I_{B2} + \beta_2 I_{B2} = (\beta_2 + 1)I_{B2}$

$V_{CC} - (I_{C1} + I_{B2})R_3 - V_{BE2} - I_{B2}(\beta_2 + 1)R_5 = 0$

$V_{CC} - V_{BE2} - I_{C1}R_3 - I_{B2}[R_3 + (\beta_2 + 1)R_5] = 0$

$I_{B2} = (V_{CC} - V_{BE2} - I_{C1}R_3)/[R_3 + (\beta_2 + 1)R_5] = 55{,}50\ \mu A$

$V_{CC} - (I_{C1} + I_{B2})R_3 - V_{CE1} - I_{E1}R_4 = 0$

$I_{E1} = I_{B1} + I_{C1} = I_{C1}/\beta_1 + I_{C1} = [(\beta_1 + 1)/\beta_1]I_{C1} \cong I_{C1}$ si $\beta_1 >> 1$

$V_{CC} - I_{C1}R_3 - I_{B2}R_3 - V_{CE1} - I_{C1}R_4 = 0$

$V_{CC} - V_{CE1} - I_{B2}R_3 - I_{C1}(R_3 + R_4) = 0$

$V_{ce1} = V_{CC} - I_{B2}R_3 - I_{C1}(R_3 + R_4) = 5{,}92\ V$

$I_{C2} = \beta_2 I_{B2} = 5{,}55\ mA$

$V_{CC} - V_{CE2} - I_{E2}R_5 = 0$

$I_{E2} = I_{B2} + I_{C2} = I_{C2}/\beta_2 + I_{C2} = [(\beta_2 + 1)/\beta_2]I_{C2} \cong I_{C2}$ si $\beta_2 >> 1$

$V_{CC} - V_{CE2} - I_{C2}R_5 = 0$

$V_{CE2} = V_{CC} - I_{C2}R5 = 6{,}45\ V$

<u>Análisis para señal</u>

El circuito equivalente de la primera etapa se observa en la Fig. 8.15:

La ganancia de tensión de la primer etapa es:

$$A_{v1} = v_{o1}/v_i$$

$$v_i = i_{b1}h_{ie1} + i_{b1}(h_{fe1} + 1)R_4 = i_{b1}[h_{ie1} + (h_{fe1} + 1)R_4]$$

$$v_{o1} = - h_{fe1}i_{b1}(R_3||R_{i2})$$

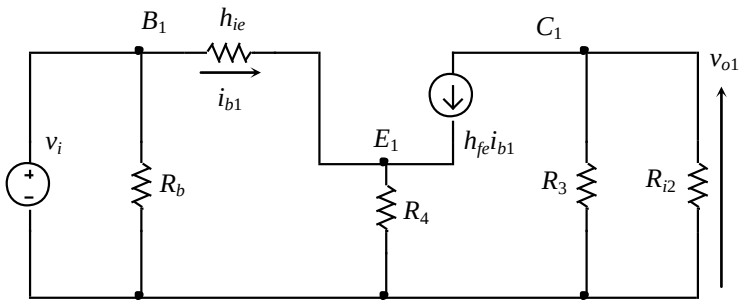


Figura 8.15 Circuito equivalente de la primera etapa del ejemplo 8.4.

$$A_{v1} = - h_{fe1}(R_3||R_{i2})/[h_{ie1} + (h_{fe1} + 1)R_4]$$

Donde R_{i2} es la resistencia de entrada de la segunda etapa.

El circuito equivalente de la segunda etapa se observa en la Fig. 8.16:

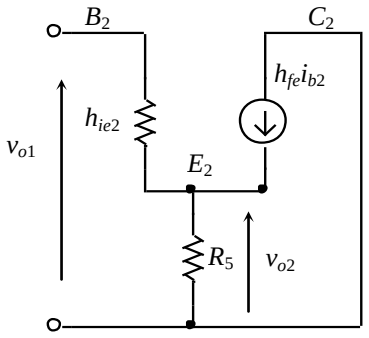


Figura 8.16 Circuito equivalente de la segunda etapa del ejemplo 8.4.

La impedancia de entrada de la segunda etapa es:

$$R_{i2}= h_{ie2} + (h_{fe2} + 1)R_5 = 101{,}46\ \text{K}\Omega$$

Entonces:

$$A_{v1} = - h_{fe1}(R_3||R_{i2})/[h_{ie1} + (h_{fe1} + 1)R_4] = -12{,}64$$

La ganancia de tensión de la segunda etapa es:

$$A_{v2} = v_{o2}/v_{o1}$$

$$v_{o1} = i_{b2}h_{ie2} + i_{b2}(h_{fe2} + 1)R_5 = i_{b2}[h_{ie2} + (h_{fe2} + 1)R_5]$$

$$v_{o2} = i_{b2}(h_{fe2} + 1)R_5$$

$$A_{v2} = (h_{fe2} + 1)R_5/[h_{ie2} + (h_{fe2} + 1)R_5] = 0{,}99$$

Por último, la ganancia total de tensión del circuito es el producto de las ganancias de tensión de

ambas etapas:

$$A_v = v_{o2}/v_i = (v_{o2}/v_{o1})(v_{o1}/v_i) = A_{v2}\,A_{v1} = -12{,}58$$

Ejemplo 8.5

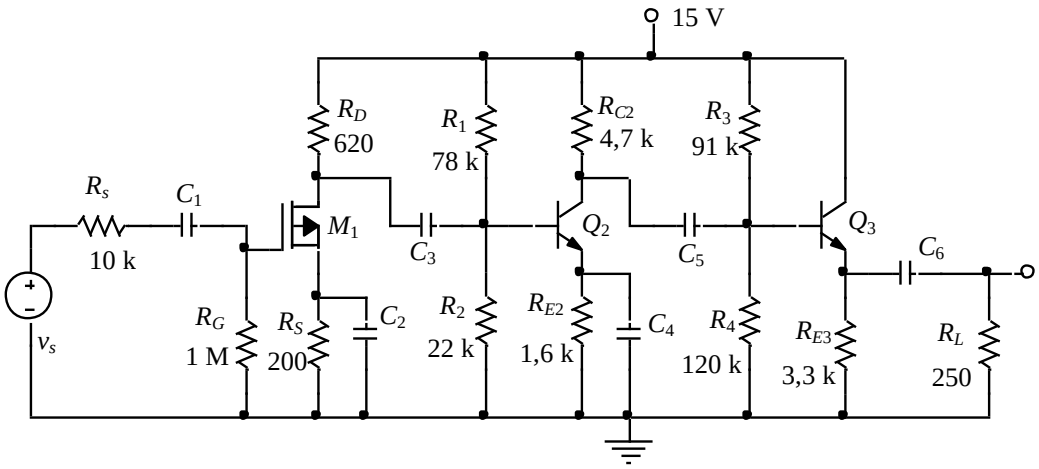


Figura 8.17 Amplificador de tres etapas con acoplamiento capacitivo del ejemplo 8.5

En la Fig. 8.17 se muestra un amplificador de tres etapas con acoplamiento indirecto o capacitivo en el cual los puntos de trabajo de los transistores no son afectados por la conexión de las etapas en cascada. En la primer etapa se tiene un MOSFET (M_1) que opera en la configuración fuente común provee una alta resistencia de entrada. En la segunda etapa se tiene un BJT (Q_2) que se encuentra en la configuración emisor común y provee una alta ganancia de tensión. En la tercer etapa se tiene un BJT (Q_3) en la configuración colector común el cual provee una baja resistencia de salida y separa la etapa de alta ganancia de la baja resistencia de carga.

Los capacitores C_1 y C_6 están acoplando la señal de la entrada y la salida del amplificador. Los capacitores C_2 y C_4 se usan para obtener la máxima ganancia de tensión de los dos amplificadores inversores.

Los capacitores C_3 y C_5 de acoplamiento entre las etapas transfieren la señal y proveen aislamiento a la polarización.

En este amplificador multietapa se desea determinar la ganancia de tensión, las resistencias de entrada y salida, las ganancias de corriente y potencia y el rango de la señal de entrada usando los valores de los puntos de polarización y los parámetros de pequeña señal.

M_1: $V_P = -2$ V y $\lambda = 0{,}02$ V^{-1}
$I_D = 5$ mA y $V_{DS} = 10{,}9$ V
$g_{m1} = 10$ mS ; $r_d = 12{,}2$ KΩ

Q_2: $\beta_2 = 150$ y $V_{A2} = 80$ V
$I_{C2} = 1{,}57$ mA y $V_{CE2} = 5{,}09$ V
$g_{m2} = 62{,}8$ mS ; $h_{ie2} = 2{,}39$ kΩ y $h_{oe2} = 54{,}2$ kΩ

Q_3: $\beta_3 = 80$ y $V_{A3} = 60$ V
$I_{C3} = 1{,}99$ mA y $V_{CE3} = 8{,}36$ V
$g_{m2} = 79{,}6$ mS ; $h_{ie3} = 1$ kΩ y $h_{oe3} = 34{,}4$ kΩ

Los circuitos equivalentes de señal son:

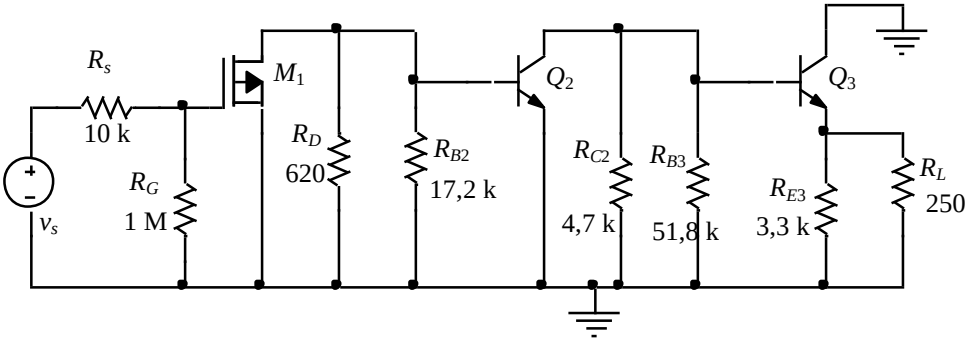


Figura 8.18 Circuito equivalente de señal del amplificador del ejemplo 8.5.

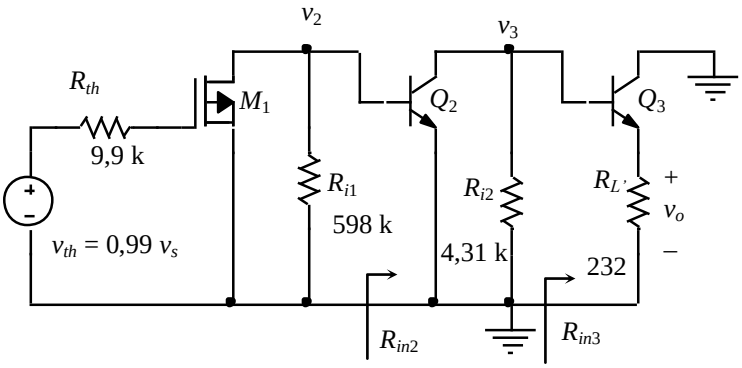


Figura 8.19 Circuito equivalente de señal final del amplificador del ejemplo 8.5.

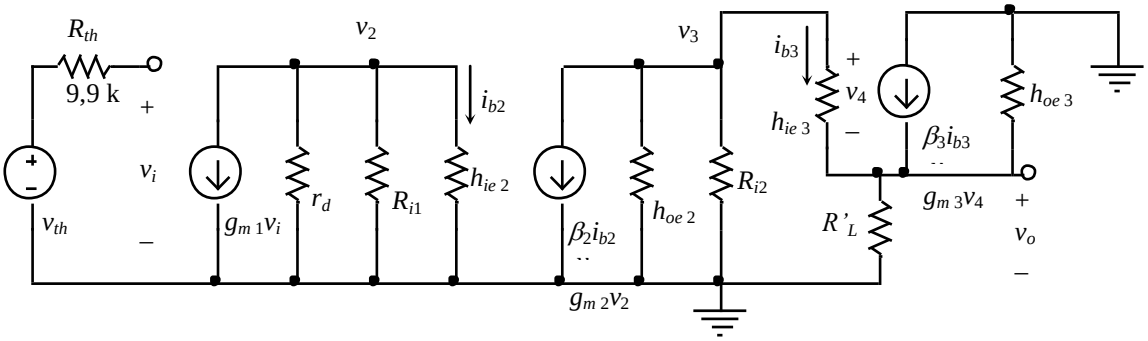


Figura 8.20 Modelos de pequeña señal para el amplificador de tres etapas del ejemplo 8.5

Ganancia de tensión

$$v_{th} = v_s R_G/(R_s + R_G)$$

$$v_{th} = v_s 1\text{M}\Omega/(10\ \text{k}\Omega + 1\ \text{M}\Omega) = 0{,}99\ v_s$$

$$R_{th} = R_s \| R_G = 10\ \text{k}\Omega \parallel 1\ \text{M}\Omega = 9{,}90\ \text{k}\Omega$$

$$R_{i1} = R_D \| R_{B2} = 620\ \Omega \| 17{,}2\ \text{k}\Omega = 598\ \Omega$$

$$R_{i2} = R_{C2} \| R_{B3} = 4{,}7\ \text{k}\Omega \| 51{,}8\ \text{k}\Omega = 4{,}31\ \text{k}\Omega$$

$R'_L = R_{E3}||R_L = 3{,}3\ k\Omega\ ||250\ \Omega = 232\ \Omega$

La ganancia total de tensión del amplificador multietapa es el producto de las ganancias de tensión de cada etapa simple.

$A_v = v_o/v_s = (v_o/v_{th})(v_{th}/v_s) = A_{vth}(v_{th}/v_s)$

$A_{vth} = v_o/v_{th} = (v_2/v_{th})(v_3/v_2)(v_o/v_3) = A_{v1}A_{v2}A_{v3}$

$A_v = A_{vth}(v_{th}/v_s) = A_{v1}A_{v2}A_{v3}(v_{th}/v_s)$

La ganancia de tensión de la primera etapa es:

$A_{v1} = v_2/v_{th} = - g_{m1}R_{L1}$

$R_{L1} = R_{i1}||h_{ie2} = 598\ \Omega||2{,}39\ k\Omega = 478\ \Omega$

$A_{v1} = - 0{,}01\ S\ \ 478\ \Omega = - 4{,}78$

La ganancia de tensión de la segunda etapa es:

$A_{v2} = v_3/v_4 = -g_{m2}R_{L2}$

$R_{L2} = R_{i2}||R_{in3} = R_{i2}||[h_{ie3} + (\beta_3 + 1)R_{L3}] = 4{,}31\ k\Omega||[1\ k\Omega + (81)232\ \Omega]$

$R_{L2} = 3{,}54\ k\Omega$

$A_{v2} = - 62{,}8\ S\ 3{,}54\ k\Omega = - 222$

La ganancia de tensión de la tercera etapa es:

$A_{v3} = v_o/v_3 = (\beta_3 + 1)R_{L3}/[h_{ie3} + (\beta_3 + 1)R_{L3}]$

$A_{v3} = (81)232\ \Omega/[1\ k\Omega + (81)232\ \Omega] = 0{,}95$

La ganancia total de tensión del amplificador multietapa es:

$A_v = A_{v1}A_{v2}A_{v3}(v_{th}/v_s)$
$A_v = (-4{,}78)(-222)(0{,}95)(0{,}99) = 998$

Resistencia de entrada

Debido a que la corriente de entrada de M_1 es aproximadamente cero, la resistencia total de entrada del amplificador multietapa es:

$R_{in} = R_G = 1\ M\Omega$ pues $i_g \cong 0$

Resistencia de salida

La resistencia total de salida del amplificador multietapa es la combinación en paralelo de la resistencia de salida de la tercera etapa (R_{o3}) con el resistor R_{E3}:

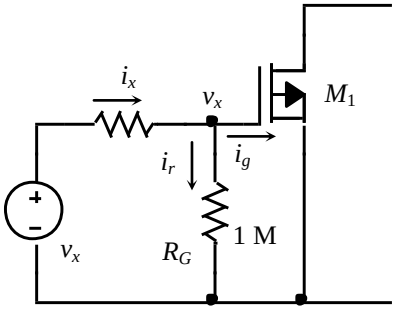


Figura 8.21

$i_x = i_r + i_e = v_x/R_{E3} + v_x/R_{o3} = v_x(1/R_{E3} + 1/R_{o3})$

$R_o = v_x/i_x = R_{E3}||R_{o3}$

$R_{o3} = [\alpha_3/g_{m3} + R_{th3}/(\beta_3 + 1)]$

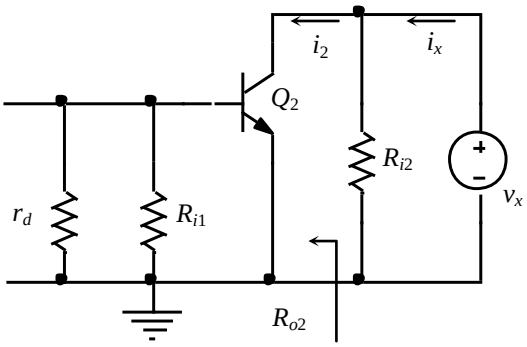


Figura 8.22 Resistencia de salida de la segunda etapa del ejemplo 8.5.

La resistencia R_{th3} puede ser determinada removiendo Q_3 y aplicando una tensión de prueba v_x al nodo v_3:

$i_x = v_x/R_{i2} + i_2 = v_x/R_{i2} + v_x/R_{o2} = v_x(1/R_{i2} + 1/R_{o2})$

$R_{th3} = v_x/i_x = R_{i2}||R_{o2} = R_{i2}||h_{oe2} = 4{,}31\ \text{k}\Omega||54{,}2\ \text{k}\Omega = 3{,}99\ \text{k}\Omega$

$R_{o3} = [\alpha_3/g_{m3} + R_{th3}/(\beta_3 + 1)] = [0{,}988/0{,}0796\ \text{S} + 3{,}99\ \text{k}\Omega/(81)] = 61{,}67\ \Omega$

$R_o = R_{E3}||R_{o3} = 3{,}3\ \text{k}\Omega||61{,}67\ \Omega = 60{,}54\ \Omega$

Ganancia de corriente

La ganancia total de corriente del amplificador multietapa es:

$A_i = i_o/i_s$

$i_s = v_s/(R_s + R_{in})$

$i_o = v_o/R_L$

$A_i = [v_o/R_L]/[v_s/(R_s + R_{in})] = A_v(R_s + R_{in})/R_L$

A_i = 998(10 kΩ + 1 MΩ)/250 Ω = 4,03.10^6

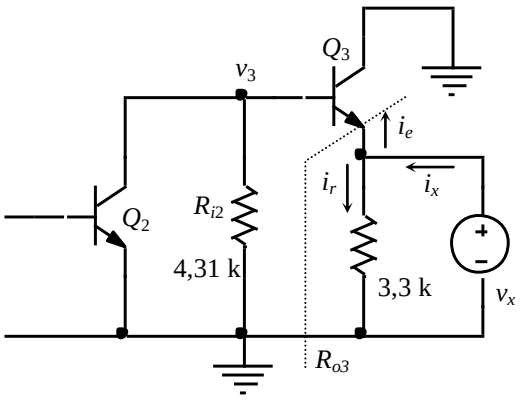


Figura 8.23 Resistencia de salida de la tercera etapa del ejemplo 8.5.

Ganancia de potencia

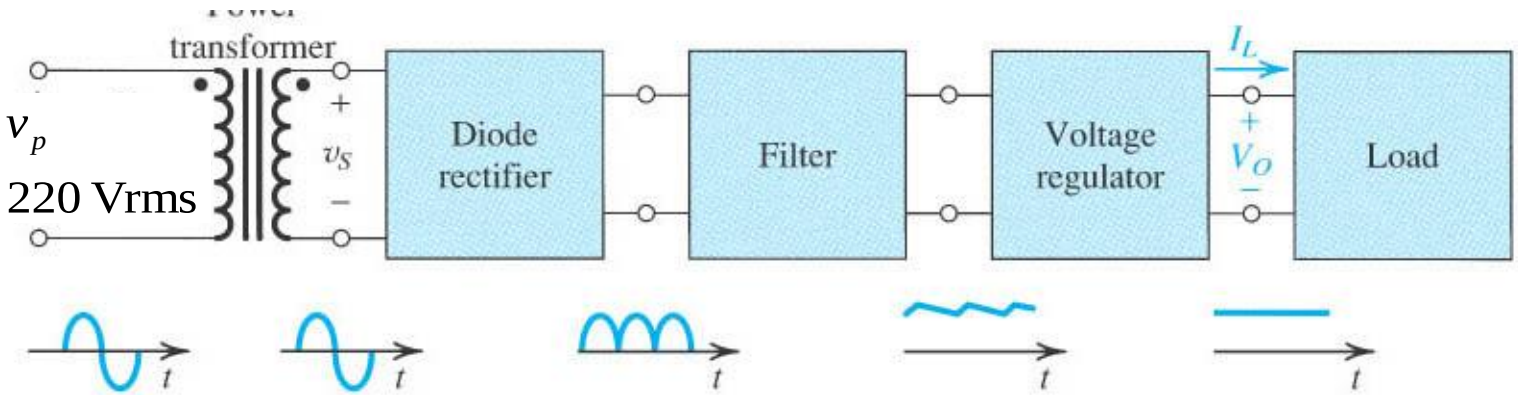
La ganancia total de potencia del amplificador multietapa es:

$$A_p = p_o/p_s = v_o i_o/v_s i_s = A_v A_i$$

$$A_p = 998.4{,}03.10^6 = 4{,}02.10^9$$

Capítulo 9

Fuentes de Alimentación



$$v_p = V_P sen(2\pi 50t) \quad \text{primario}$$

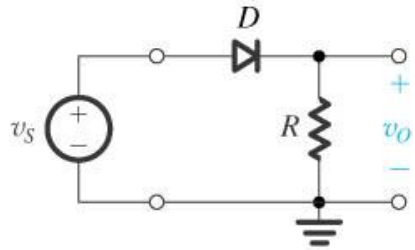
$$v_s = V_S sen(2\pi 50t) \quad \text{secundario}$$

$$V_S = 220\sqrt{2}\left(N_2 / N_1\right)$$

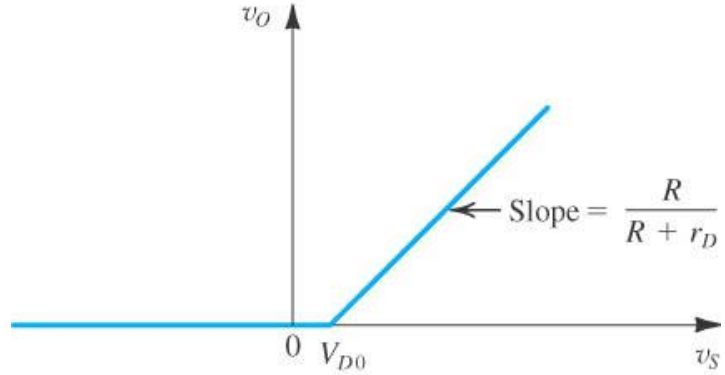
$$n = \frac{V_P}{V_S} = \frac{N_1}{N_2} \rangle 1 \quad \text{reductor}$$

Figura 9.1 Diagrama bloque de una fuente de alimentación de continua.

Copyright © 2004 by Oxford University Press, Inc.



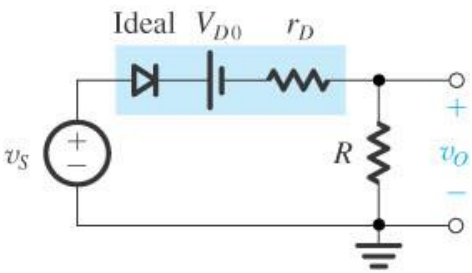
(a)



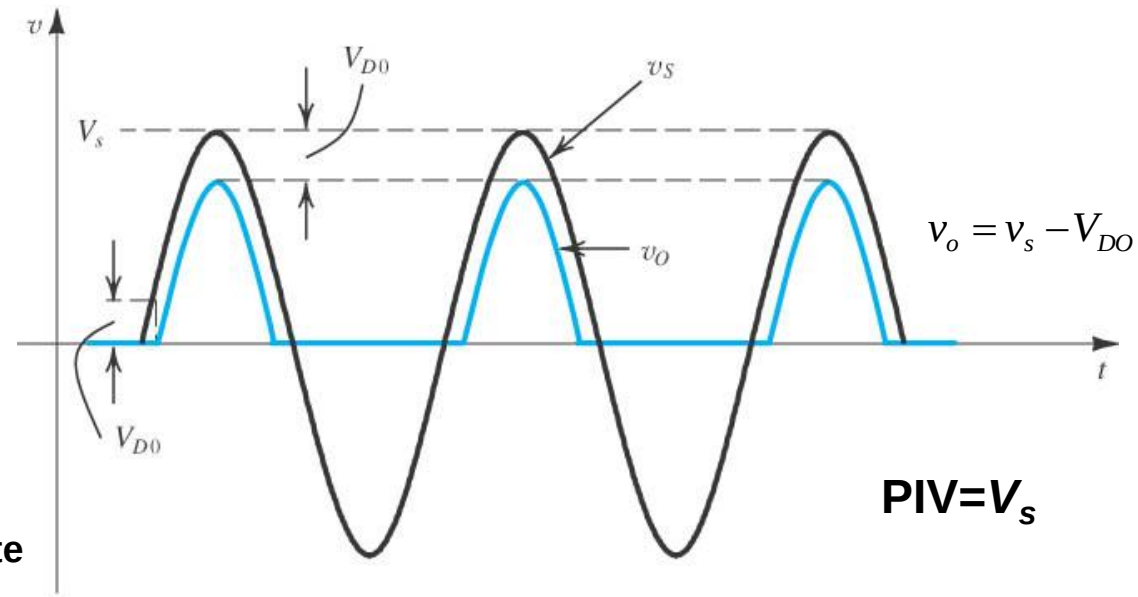
(c)

$$v_o = 0 \qquad v_s < V_{DO}$$

$$v_o = \frac{R}{R+r_D} v_s - \frac{R}{R+r_D} V_{DO} \qquad v_s \geq V_{DO}$$



(b)



$$v_o = v_s - V_{DO}$$

PIV=V_s

(d)

Elección de D: a) Máxima corriente (dc, pico rep. y no rep.) b)PIV

Figura 9.2 (a) Rectificador de media onda. (b) Circuito equivalente del rectificador de media onda con el diodo reemplazado por su modelo. (c) Característica de Transfererencia del circuito rectificador. (d) Ondas de entrada y de salida, suponiendo que r_D << R.

Copyright © 2004 by Oxford University Press, Inc.

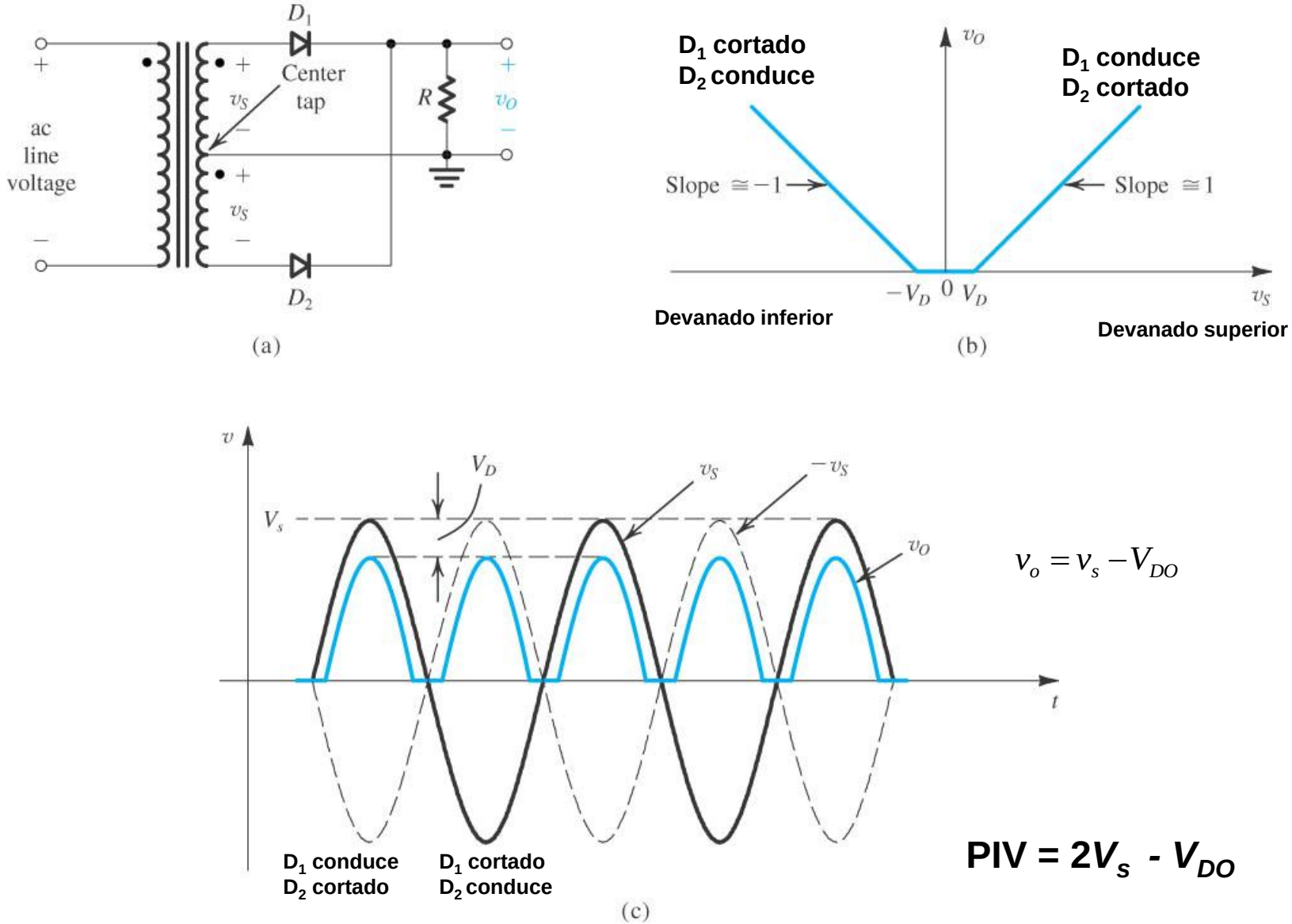
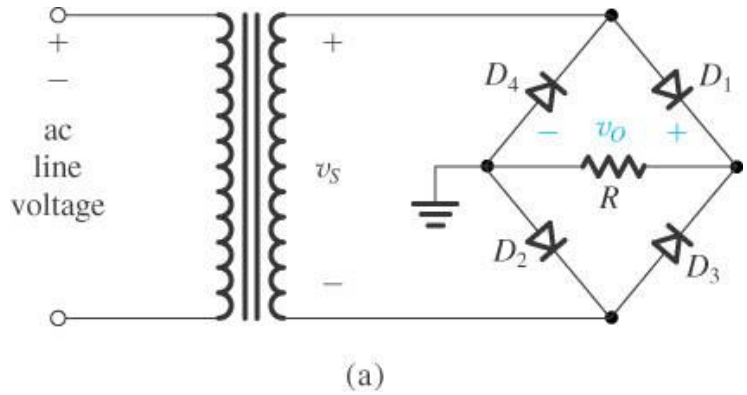


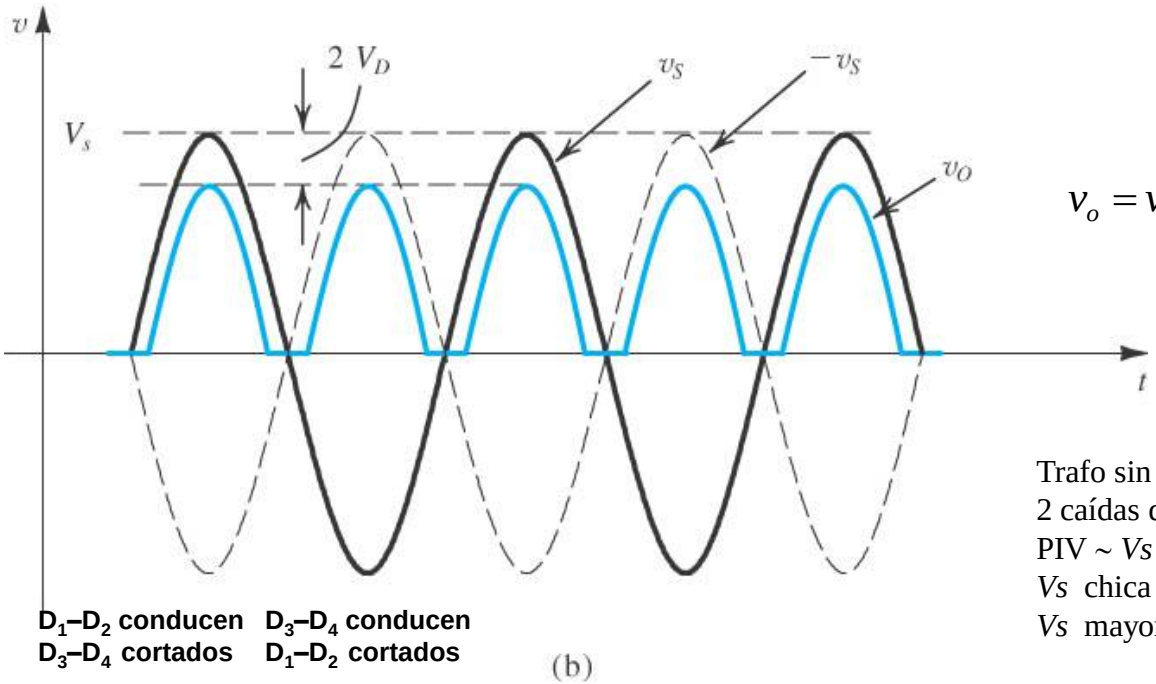
Figura 9.3 Rectificador de onda completa con punto medio (trafo con punto medio) (a) Circuito; (b) Característica de transferencia suponiendo diodos con modelo de caída de voltaje constante; (c) ondas de entrada y de salida.

Copyright © 2004 by Oxford University Press, Inc.



PIV = V_s - V_{DO}

$= v_{D3} = v_O + v_{D2} = (Vs - 2V_{DO}) + V_{DO}$

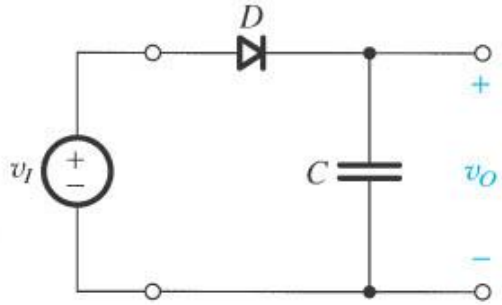


$$v_o = v_s - 2V_{DO}$$

Trafo sin punto medio, mitad de vueltas
2 caídas directas de diodos
PIV ~ *Vs*
Vs chica → punto medio
Vs mayores → puente

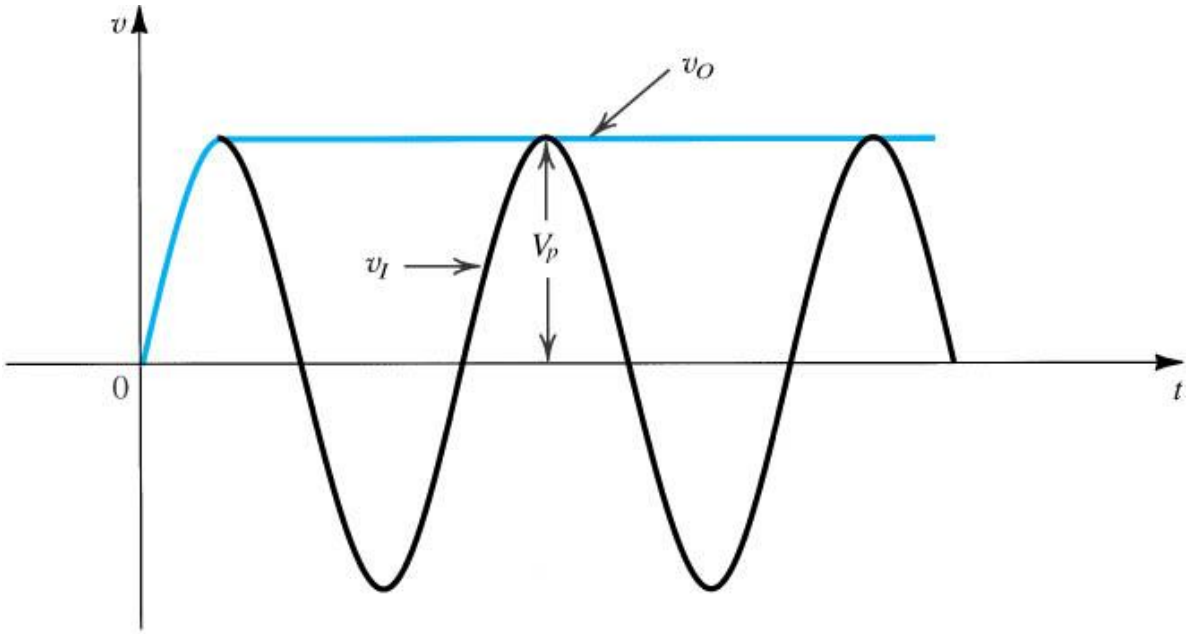
Figura 9.4 Rectificador puente: (a) circuito; (b) ondas de entrada y de salida.

Copyright © 2004 by Oxford University Press, Inc.



(a)

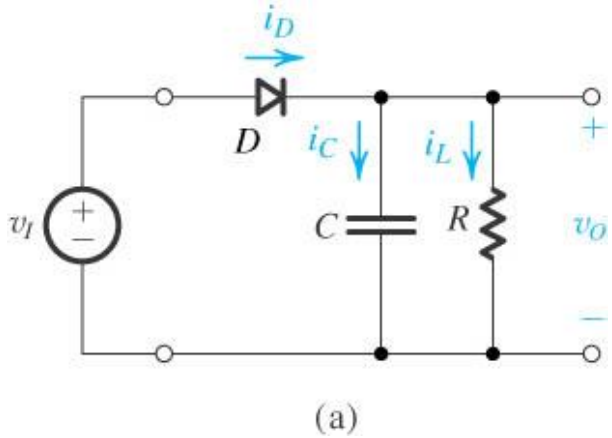
$$\text{PIV} = V_p + V_O \cong 2V_p$$



(b)

Figura 9.5 (a) Circuito simple para ilustrar el efecto del filtro a capacitor. (b) Ondas de entrada y salida suponiendo un diodo ideal. Este circuito da una tensión de continua igual al pico de la onda seno de entrada. Este circuito se conoce como rectificador de pico o detector de pico.

Copyright © 2004 by Oxford University Press, Inc.



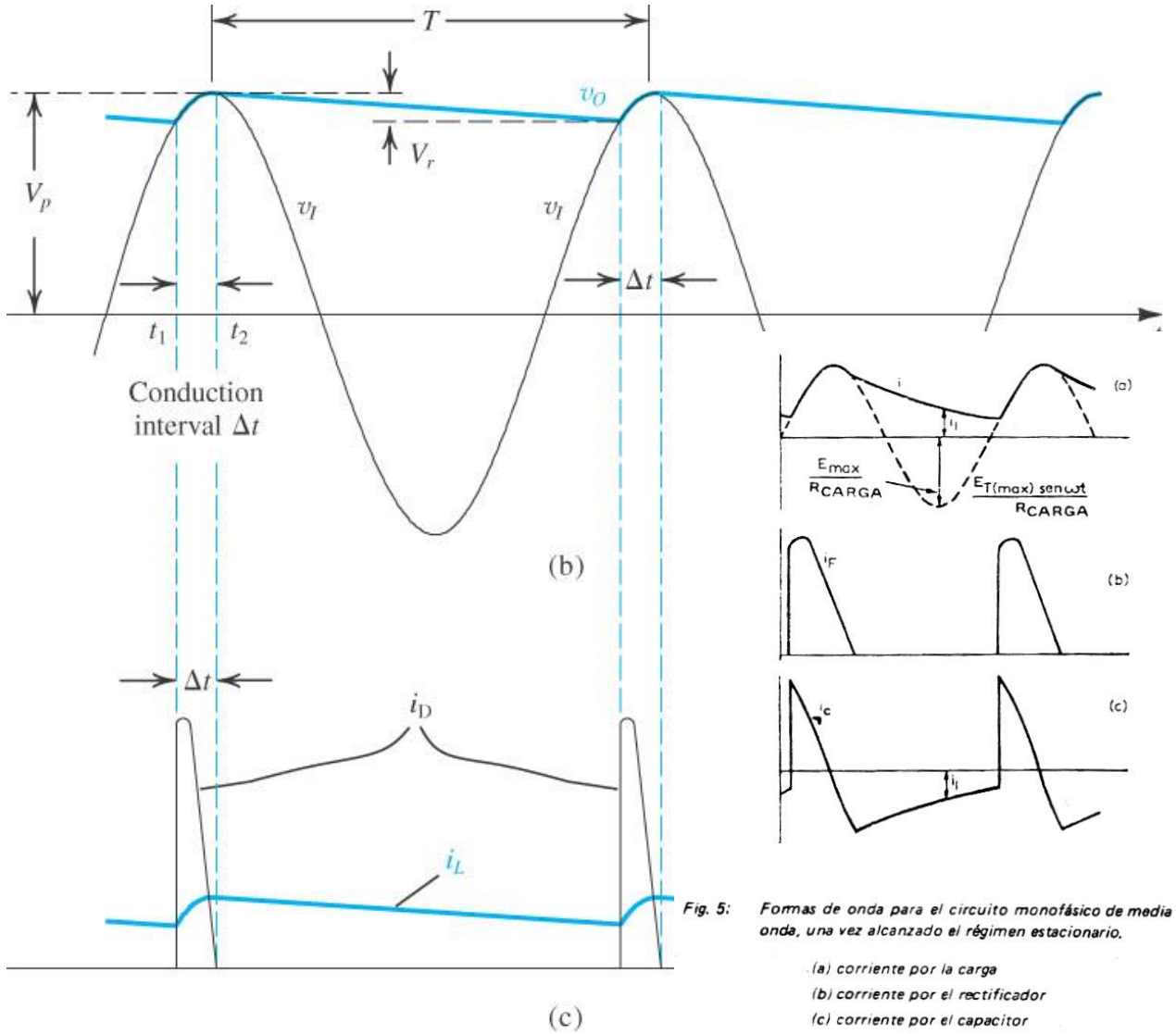


Fig. 5: Formas de onda para el circuito monofásico de media onda, una vez alcanzado el régimen estacionario.

(a) corriente por la carga
(b) corriente por el rectificador
(c) corriente por el capacitor

t_1 : $v_O = V_p - V_r$
t_1 : $v_O \cong V_p$
Conducción del diodo t_1 t_2

$$i_D = i_C + i_L = C\frac{dv_I}{dt} + i_L$$

$$i_L = \frac{v_O}{R}$$

Si V_r *pequeño*
$v_O \cong V_p$
$I_L \cong V_p / R$

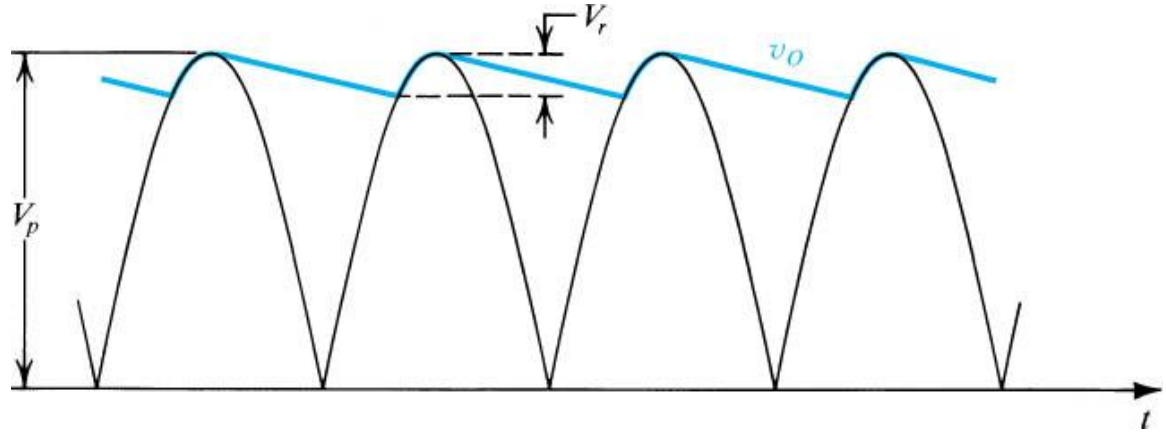
Figura 9.6 Ondas de tensión y corriente en el rectificador de media onda con *CR* >> *T* o *T/2* en onda completa. El diodo se supone ideal.

Copyright © 2004 by Oxford University Press, Inc.

$$i_L = \frac{v_O}{R}$$

$$i_D = i_C + i_L = C\frac{dv_I}{dt} + i_L$$

$$v_p = V_p \cos \omega t$$



$$v_O \cong V_p \Rightarrow i_L = \frac{V_s}{R} \quad si \quad V_r <<$$

$$V_O = V_p - \frac{1}{2}V_r \qquad \text{o} \quad V_{C(DC)} \qquad .$$

$$v_O = V_p e^{\frac{-t}{RC}}$$

En $t = T/2 \Rightarrow$ $$V_p - V_r \cong V_p e^{\frac{-T}{RC\,2}}$$

Como $RC >> T/2 \Rightarrow$ $$e^{\frac{-T}{RC\,2}} \cong 1 - \frac{T}{2RC} \Rightarrow \quad V_r \cong \frac{V_p T}{2RC} = \frac{V_p}{2\,fRC} \qquad C = \frac{V_p}{V_r\,2\,fR}$$

Corrientes promedio en el diodo (durante Δt) y de pico repetitivas

$$i_{Dpico} = I_L\left(1 + 2\pi\sqrt{\frac{V_p}{2V_r}}\right)$$

$$i_{Dprom} = I_L\left(1 + \pi\sqrt{\frac{V_p}{2V_r}}\right)$$

Figura 9.7 Ondas en el rectificador de pico onda completa. Aproximación para el cálculo del capacitor de filtro.

Copyright © 2004 by Oxford University Press, Inc.

$$i_L = \frac{v_O}{R}$$

$$V_p \cos \omega \Delta t = V_p - V_r$$

$$\cos \omega \Delta t \cong 1 - \frac{1}{2}(\omega \Delta t)^2$$

$$V_p\left(1 - \frac{1}{2}(\omega \Delta t)^2\right) = V_p - V_r \Rightarrow \omega \Delta t \cong \sqrt{2V_r / V_p}$$

$$\Delta t \cong \frac{\sqrt{2V_r / V_p}}{\omega}$$

Intervalo de conducción del diodo

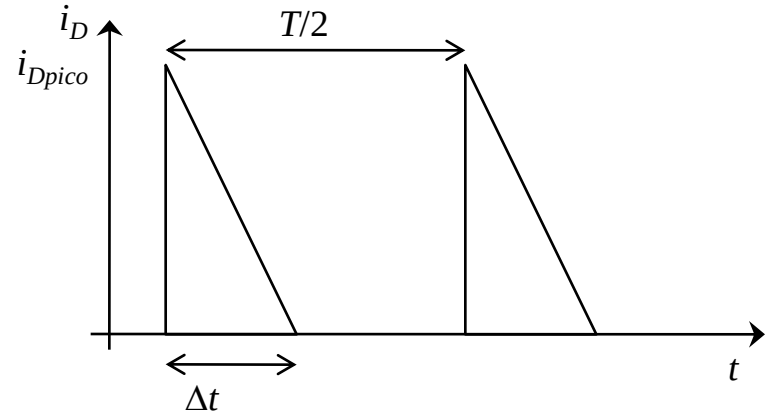
$$i_{Dprom} = i_{Cprom} + i_L$$

Durante Δt. Fuera de ahí $i_{Cprom} \cong i_L$

$$Q = i_{Cprom} \Delta t$$

Durante Δt.

$$Q = CV_r \Rightarrow \quad i_{Cprom} = \frac{CV_r}{\Delta t}$$



Corrientes pico, promedio y eficaz en el diodo (durante el período *T*/2) repetitivas

$$i_{Dpico} = I_L\left(1 + 2\pi\sqrt{V_p / 2V_r}\right)$$

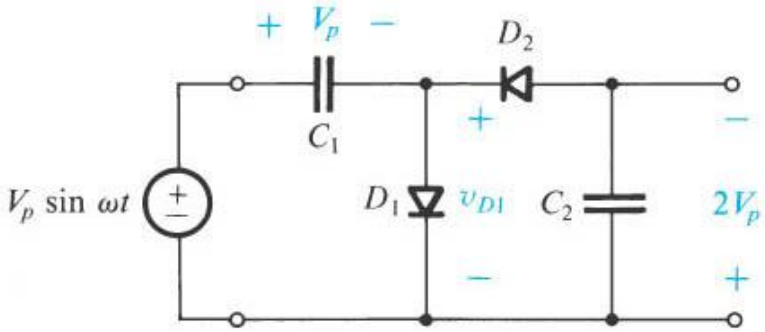
$$i_{Dprom} = \frac{1}{T/2}\int_0^{T/2} i_D dt = \frac{1}{T/2}\int_0^{\Delta t} i_D dt = i_{Dpico}\frac{\Delta t}{T}$$

$$i_{Def}^2 = \frac{1}{T/2}\int_0^{T/2} i_D^2 dt = \frac{2}{T}\int_0^{\Delta t} i_{Dpico}^2\left(1 - \tfrac{t}{\Delta t}\right)^2 dt$$

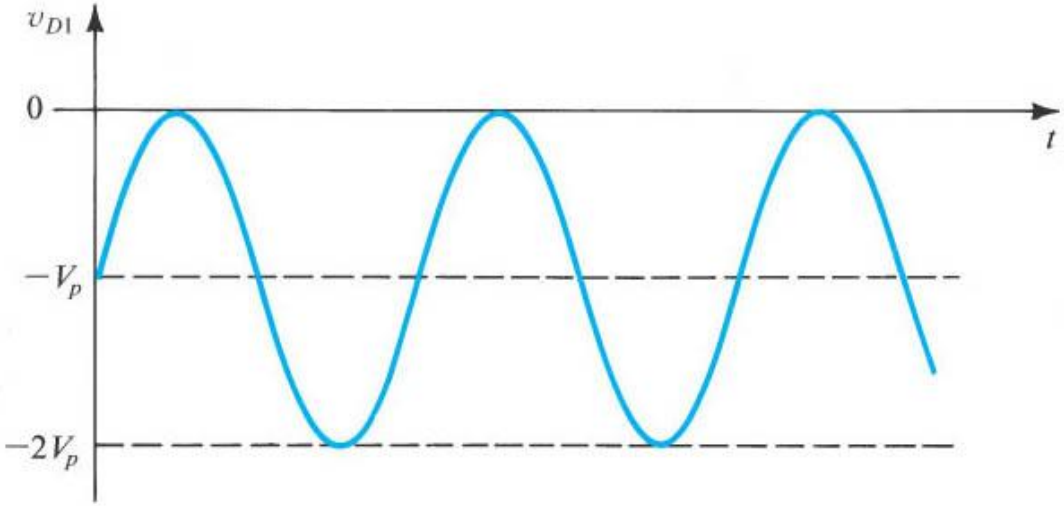
$$= i_{Dpico}^2\sqrt{\frac{2\Delta t}{3T}}$$

Figura 9.8 Ondas en el rectificador de pico onda completa. Aproximación para el cálculo del capacitor de filtro.

Copyright © 2004 by Oxford University Press, Inc.



(a)



(b)

Figure Doblador de tensión: (a) circuito; (b) onda de tensión sobre D_1.

Copyright © 2004 by Oxford University Press, Inc.

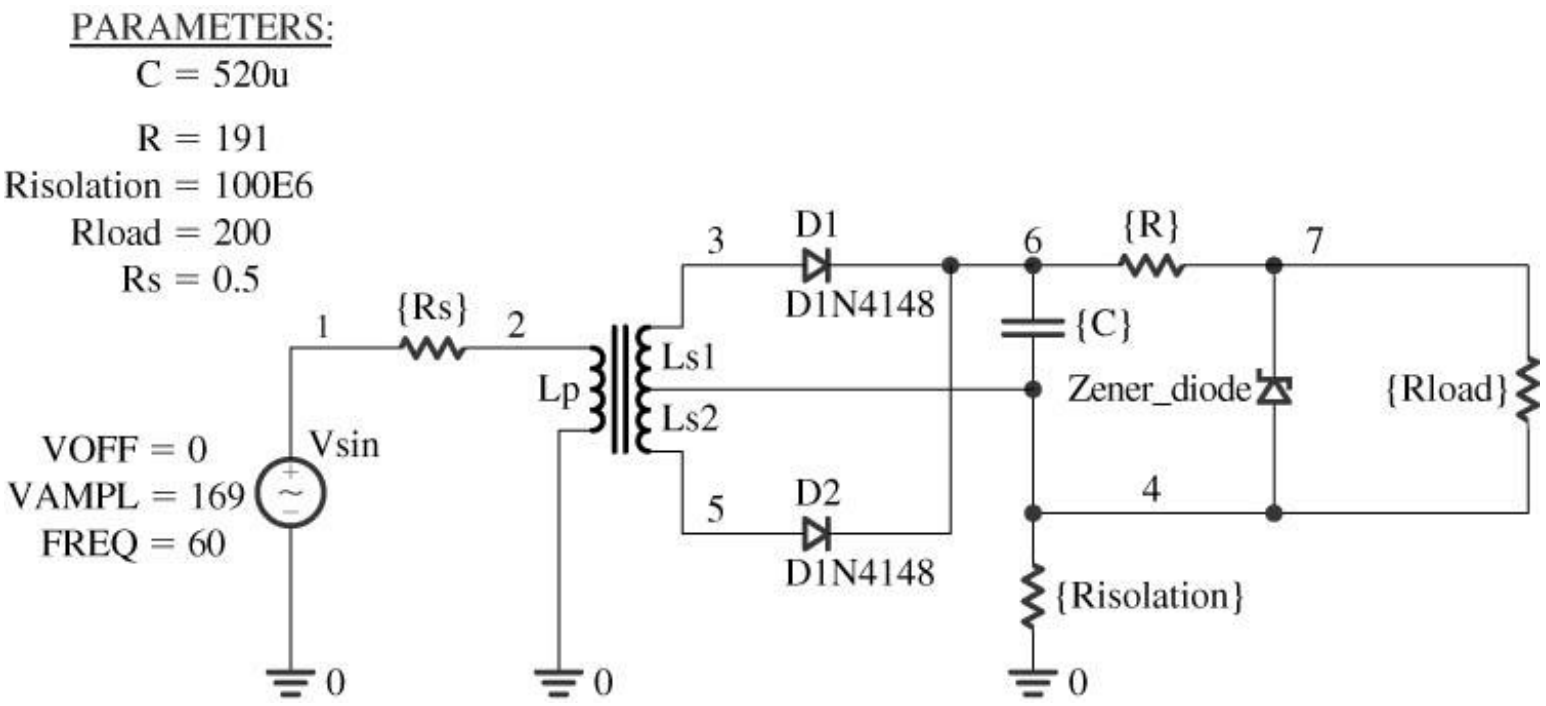


Figura Esquemático del Capture de la fuente de alimentación de 5-V dc en el Ejemplo 3.10.

Copyright © 2004 by Oxford University Press, Inc.

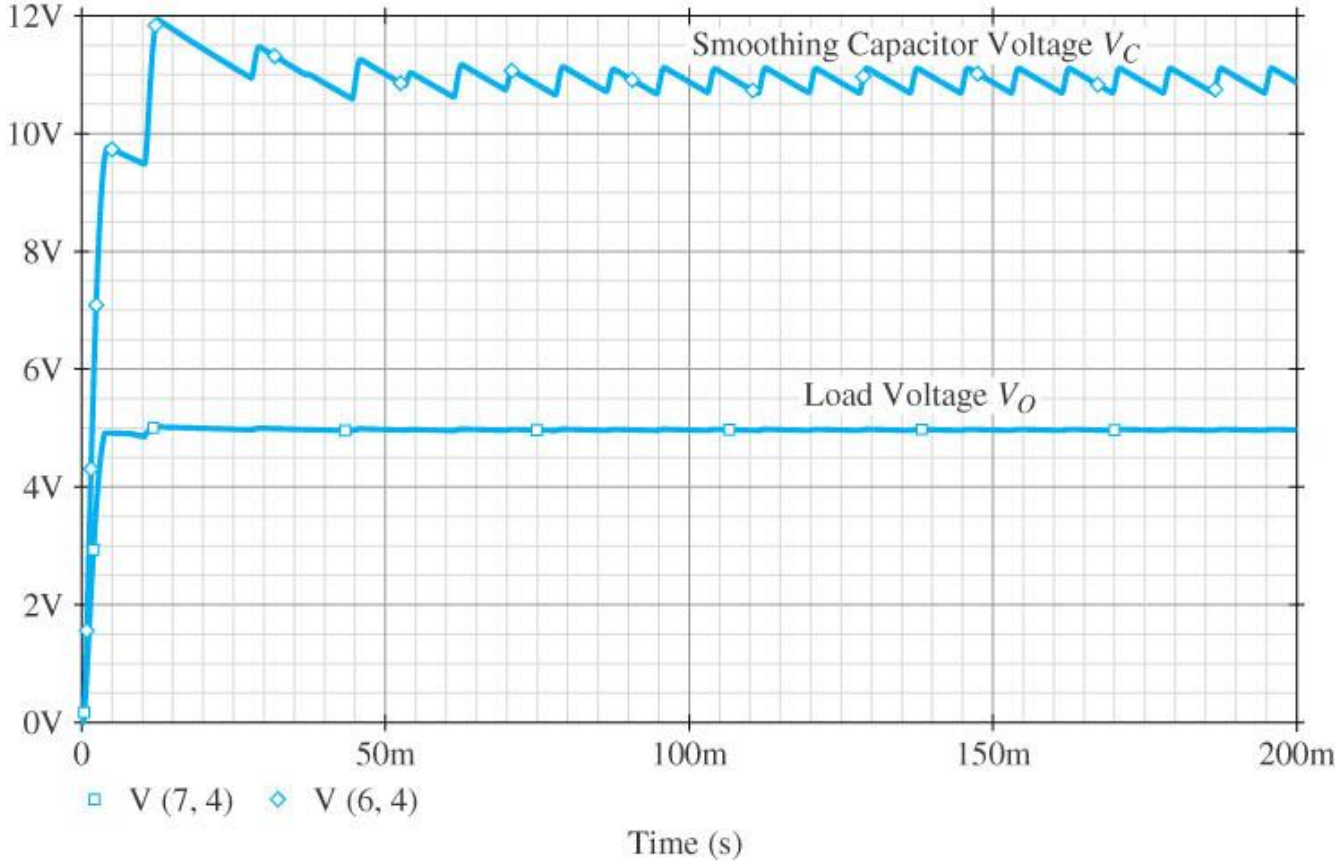


Figura Tensión v_C a través del capacitor C y la tensión v_O a través de la resistencia de carga R_{load} = 200 Ω en la fuente de alimentación de 5-V del Ejemplo 3.10.

Copyright © 2004 by Oxford University Press, Inc.

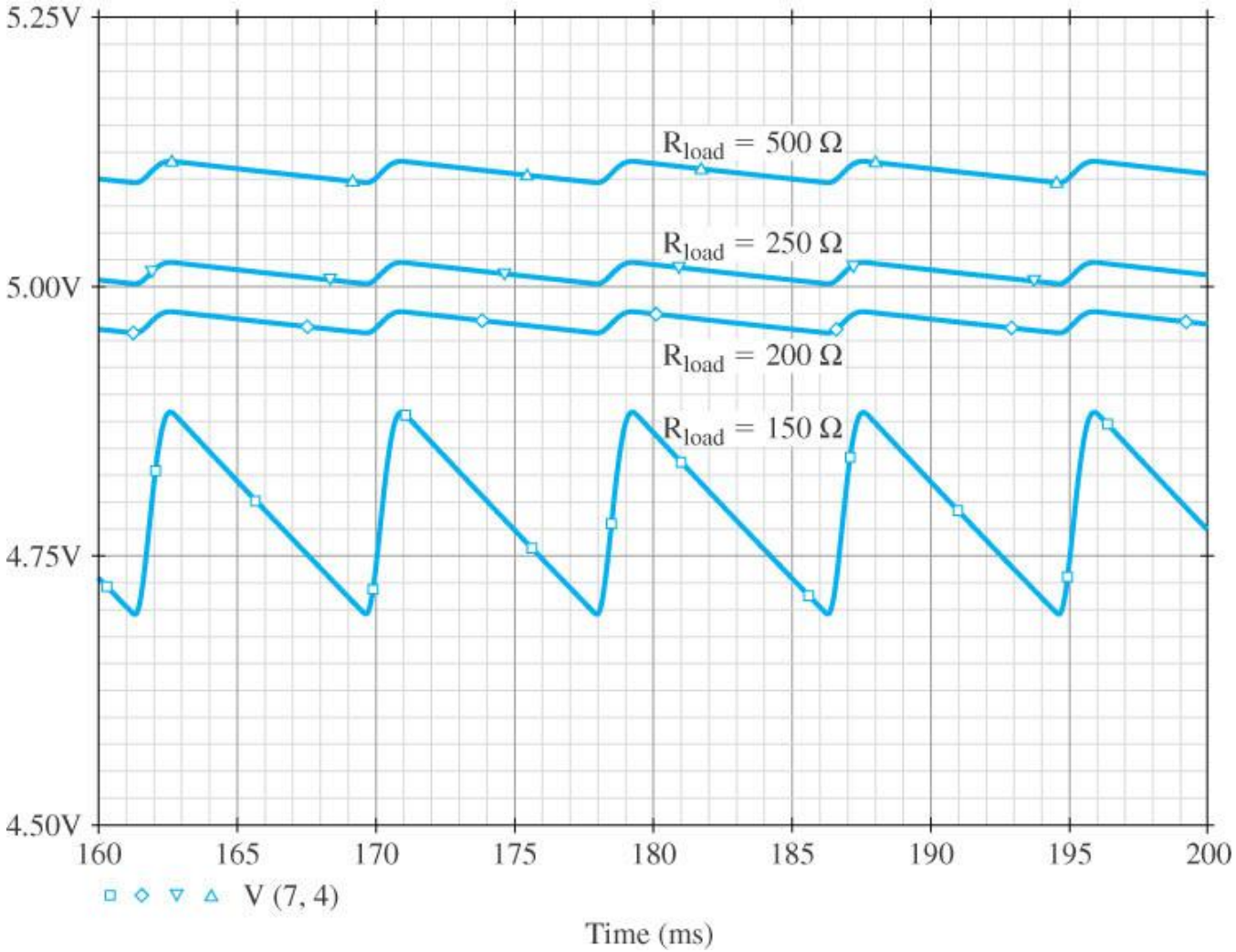


Figura Onda de tensión de salida de la fuente de alimentación de 5-V (en el Ejemplo 3.10) para varias resistencias de carga: R_{load} = 500 Ω, 250 Ω, 200 Ω, and 150 Ω. La tensión de regulación se pierde para una resistencia de carga de 150 Ω.

Copyright © 2004 by Oxford University Press, Inc.

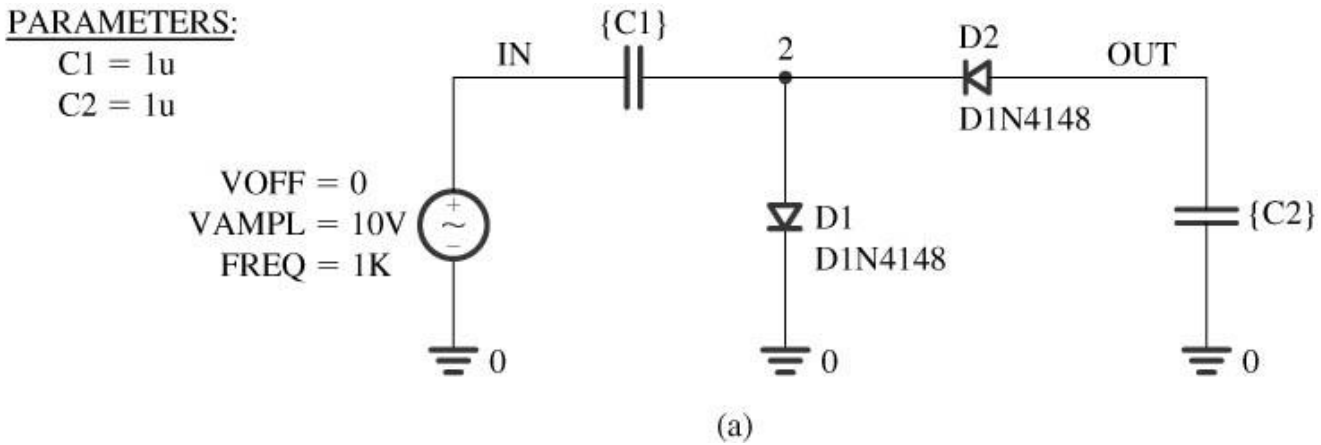


Figura (a) Esquemático del Capture del circuito doblador de tensión (en el Ejercicio 3.35).

Copyright © 2004 by Oxford University Press, Inc.

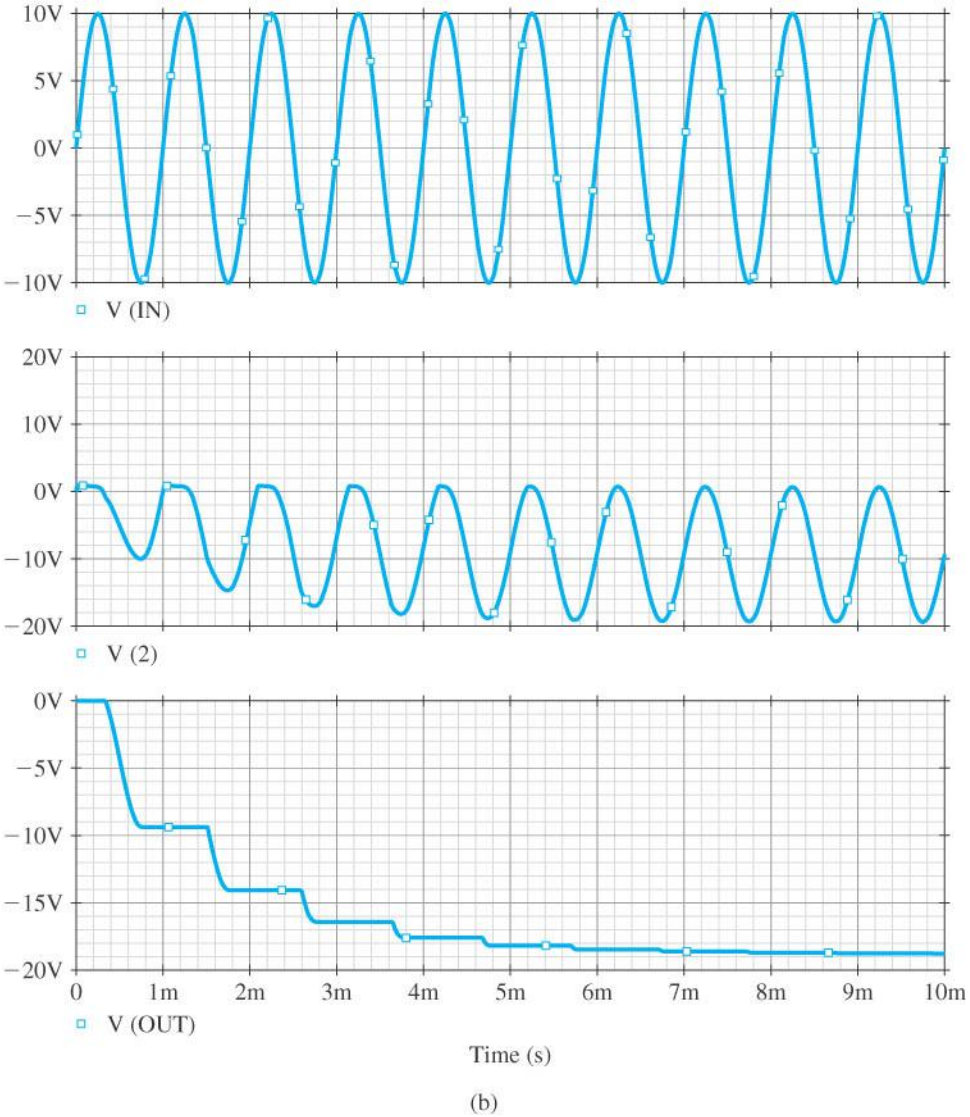


Figura ***(Continuación)*** **(b) Algunas ondas de tensión en el circuito doblador de tensión. El gráfico superior muestra la señal seno de tensión de entrada, el gráfico intermedio muestra la tensión a través del diodo D_1, y el gráfico inferior muestra la tensión que aparece en la salida.**

Copyright © 2004 by Oxford University Press, Inc.

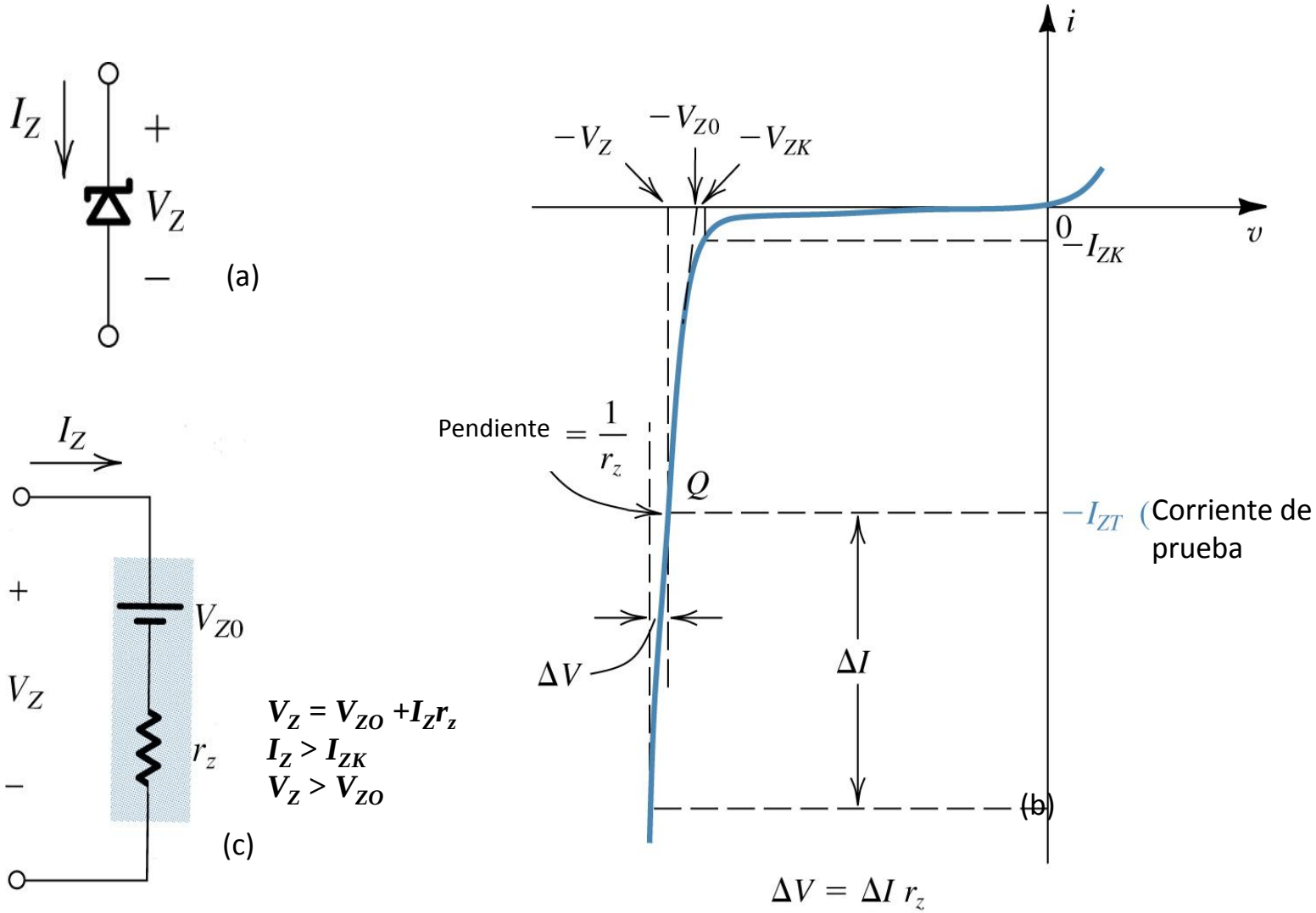
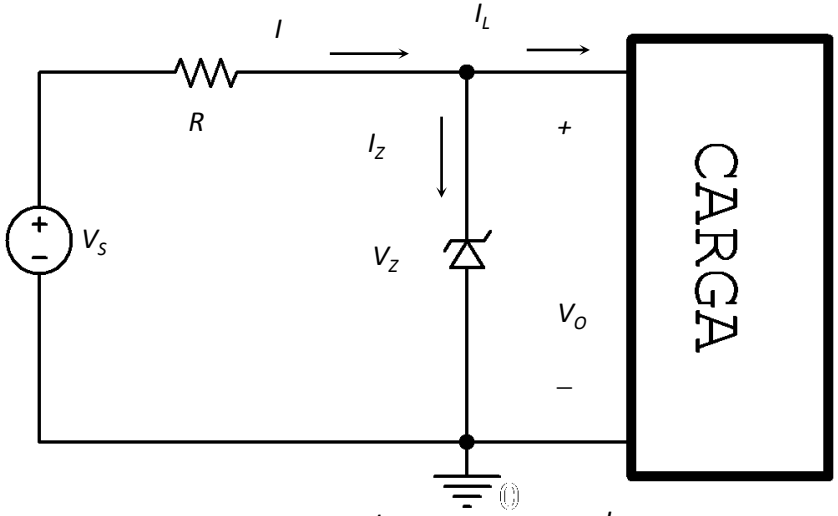
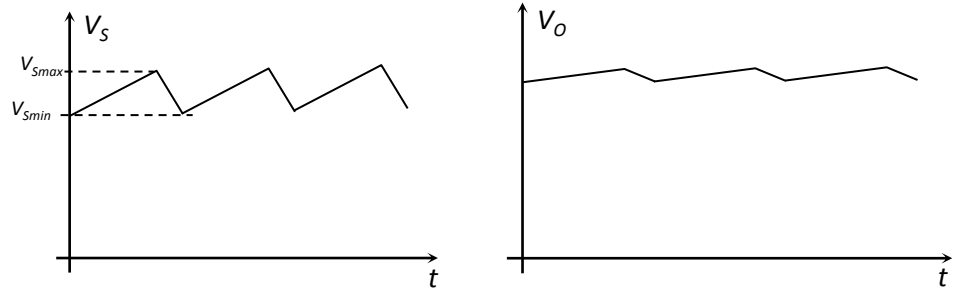


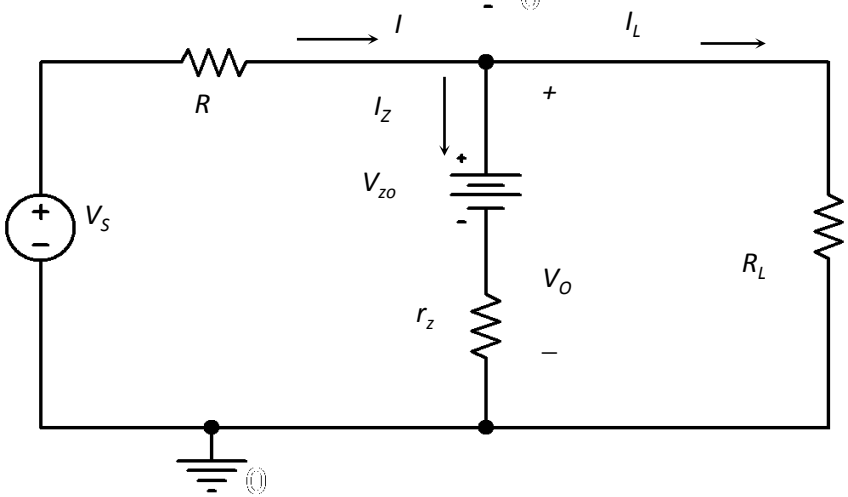
Figure 9.9-1 (a) Símbolo de circuito para un diodo zener. (b) La característica *i-v* del diodo con detalles en la región de ruptura. (c) Modelo para el diodo zener.

Copyright © 2004 by Oxford University Press, Inc.





$$V_o = V_{zo}\left(\frac{R}{R+r_z}\right) + V_s\left(\frac{r_z}{r_z+R}\right) - I_L\left(r_z \parallel R\right)$$



Determinación de la resistencia en serie

$$\frac{V_{s\max} - V_{zo\min}}{I_{z\max}} - r_z < R < \frac{V_{s\min} - V_{zo\max} - r_z I_{z\min}}{I_{z\min} + I_{L\max}}$$

(b) **(a)**

I_{zmin} se elige arbitrariamente (empíricamente 10% I_{Lmax})

$I_{zmax} = I_{zM}$ corriente máxima correspondiente a la disipación máxima dada por el fabricante.

a) Condición de carga máxima I_{Lmax} y entrada mínima V_{smin}, por el Zéner circula I_{zmin} por encima de I_{zK}, la corriente en el codo o rodilla. V_{ZOmax} peor caso, por tolerancia).
b) Condición para que sin carga $I_L = 0$ y entrada máxima V_{smax}, el Zéner no llegue a la corriente máxima por disipación $I_{zmax} = I_{zM}$. (V_{ZOmin} peor caso, por tolerancia). $P_{zmax} = I_{zM} . V_{zomin}$.

Figura 9.9-2 Regulador en derivación (Shunt) con un diodo Zener

Copyright © 2004 by Oxford University Press, Inc.

Abacos de Schade

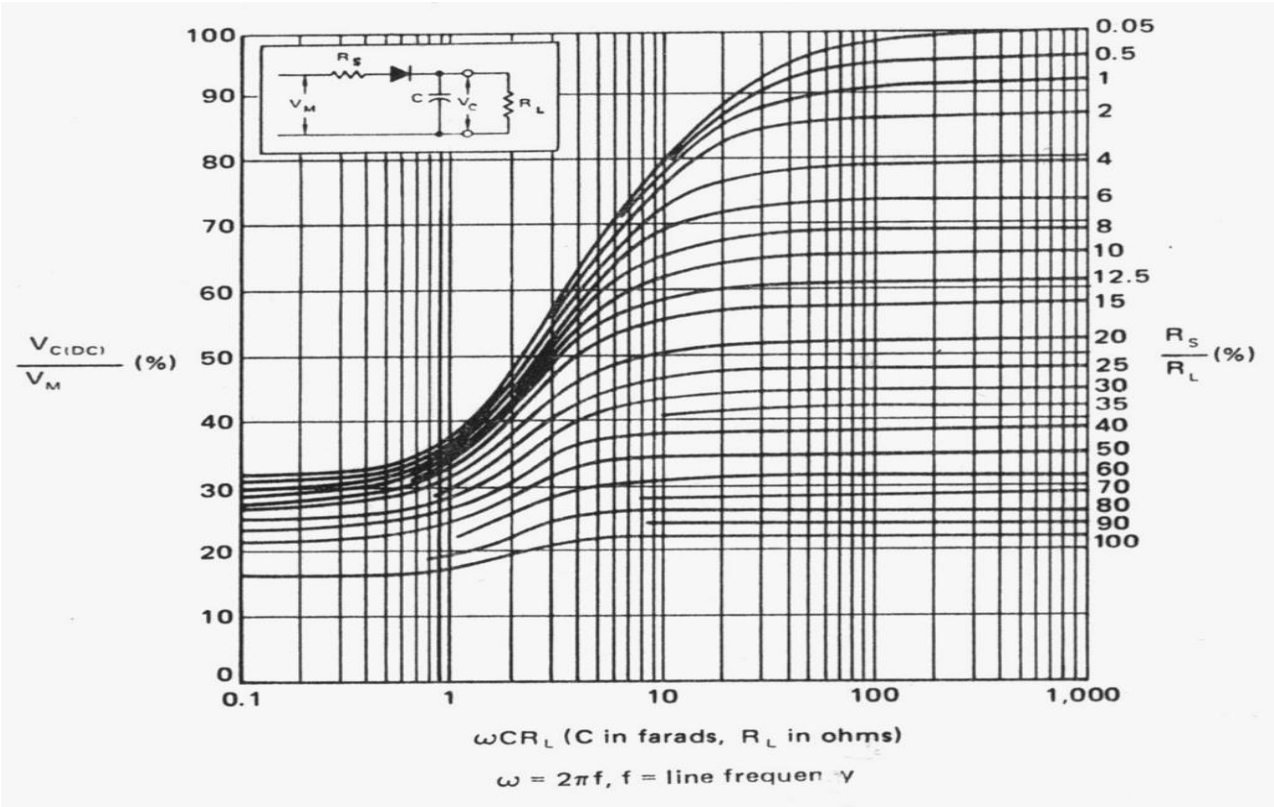


Figura 9.10: Tensión de continua de salida/tensión de entrada máxima en función de wR_LC

Figura 9.10 Diseño de fuente de alimentación (trafo, rectificador y filtro) con Abacos de Schade.

Copyright © 2004 by Oxford University Press, Inc.

Ejemplo para onda completa, valores indicados aproximados

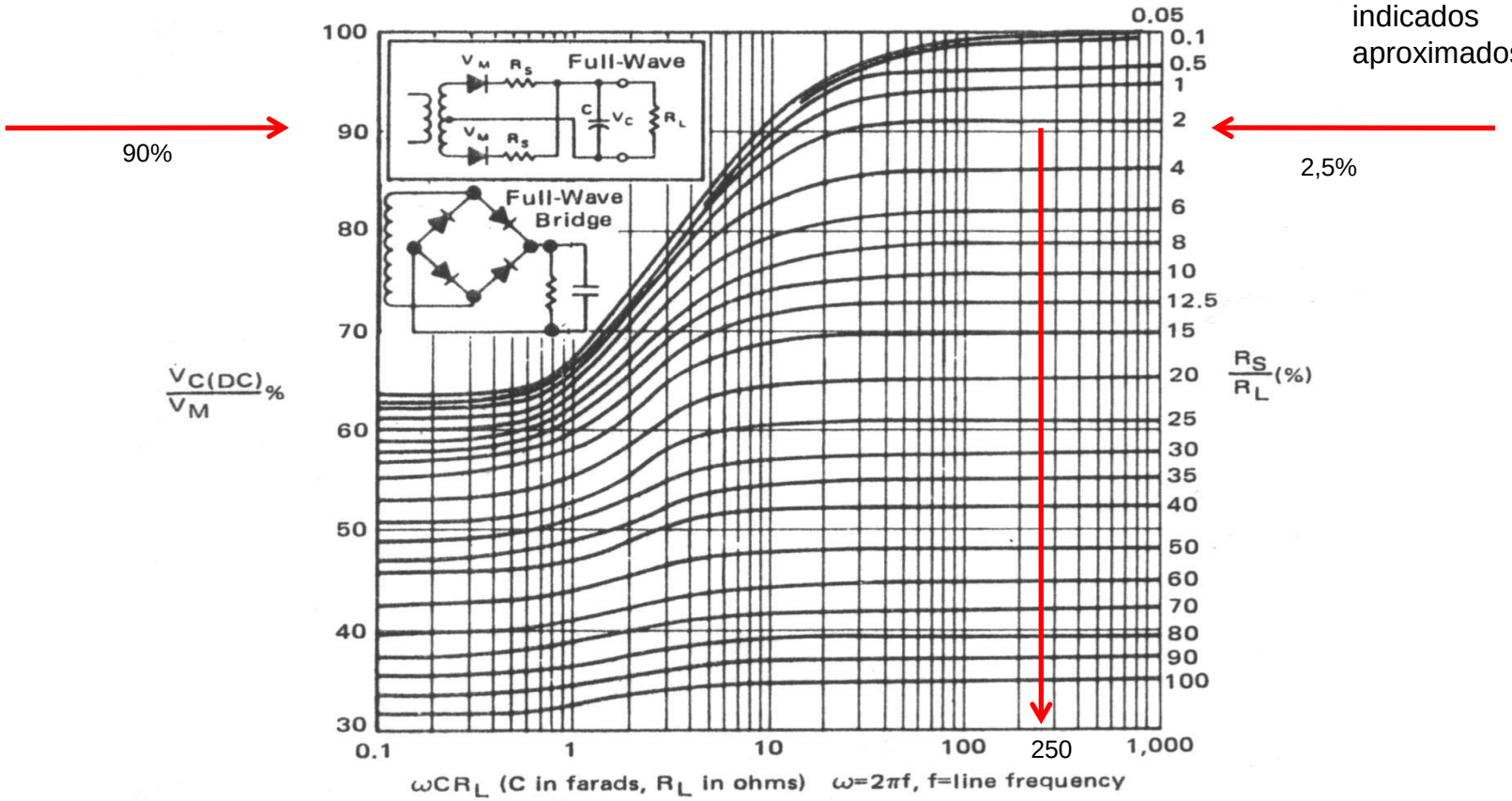
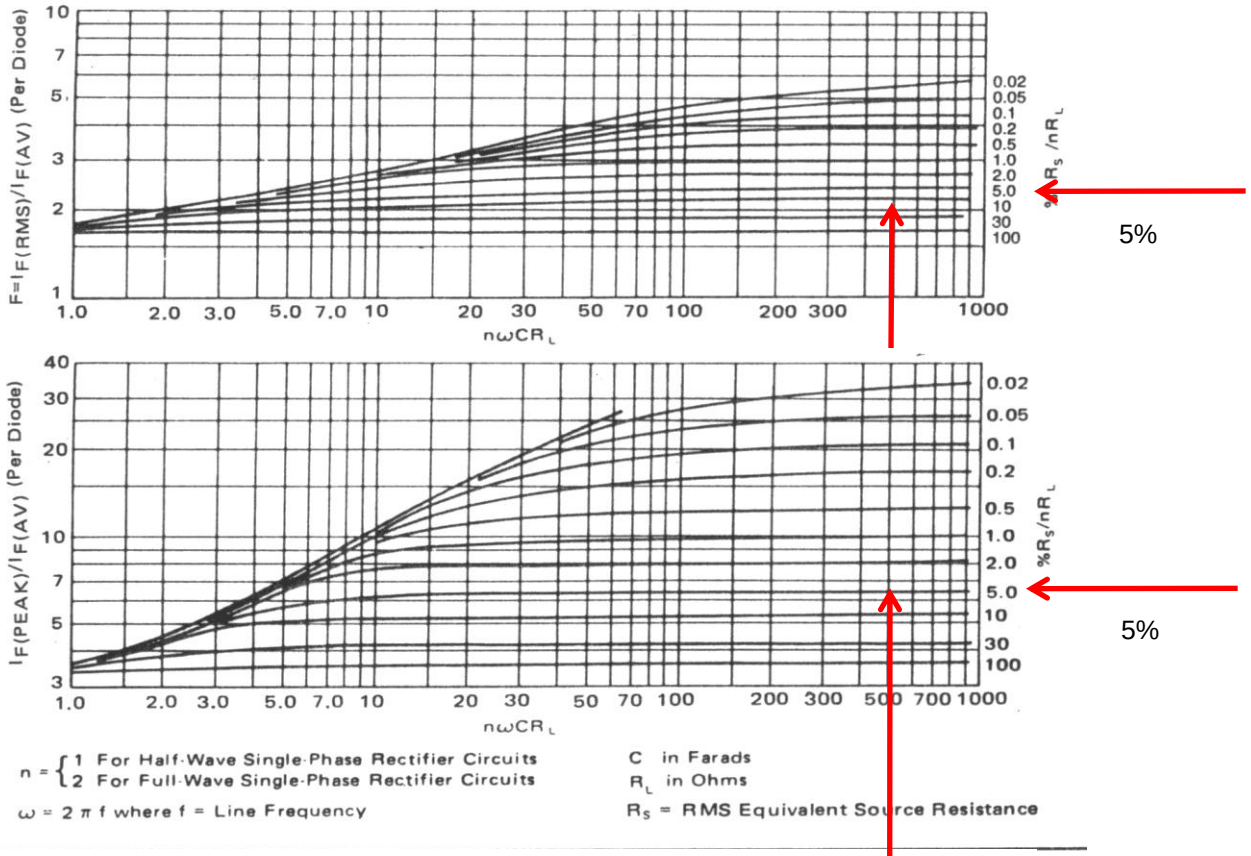


Figura 9.11: Tensión de continua de salida/tensión de entrada máxima en función de wR_LC

Figura 9.11 Diseño de fuente de alimentación (trafo, rectificador y filtro) con Abacos de Schade.

Copyright © 2004 by Oxford University Press, Inc.



5%

5%

Figura 9.12: Corriente de pico/corriente promedio en los diodos en función de wR_LC

500

Figura 9.12 Diseño de fuente de alimentación (trafo, rectificador y filtro) con Abacos de Schade.

Copyright © 2004 by Oxford University Press, Inc.

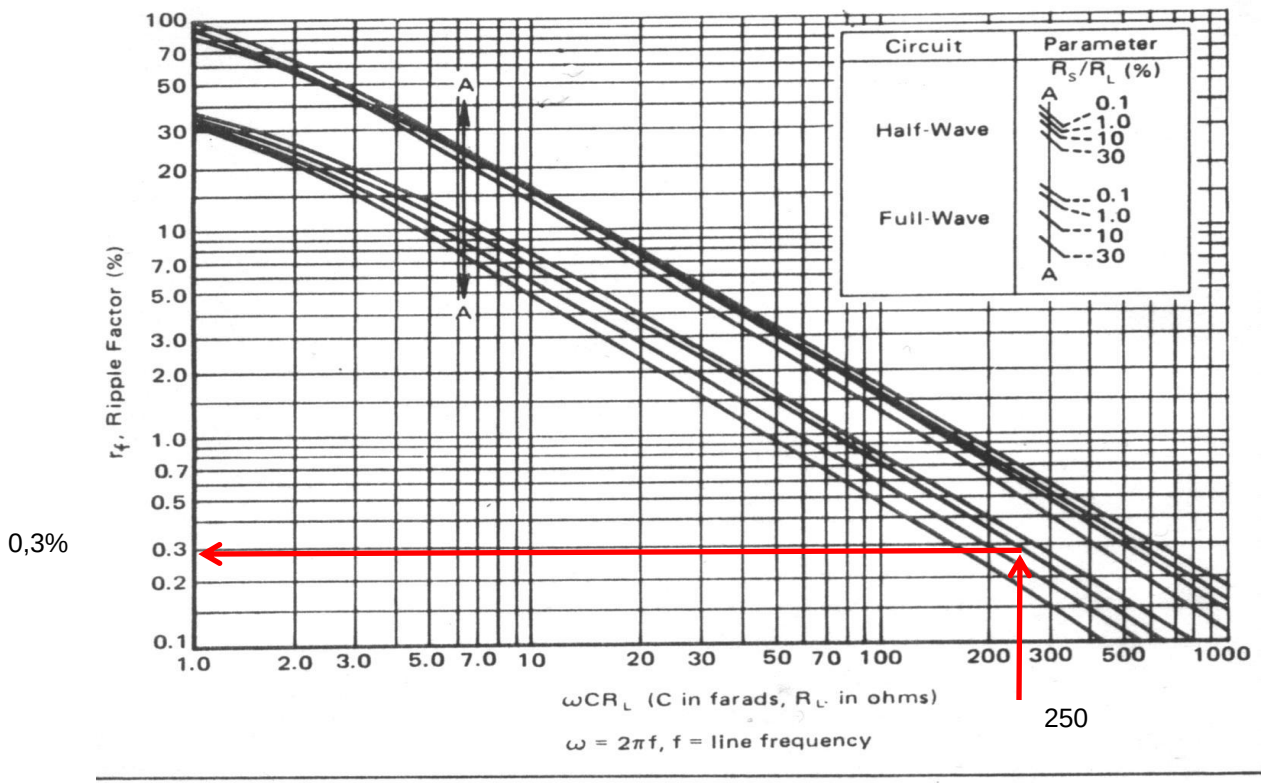


Figura 9.13: Tensión eficaz de ripple/tensión continua de salida en función de wR_LC

$$r_f = \frac{V_r}{2\sqrt{2}V_{C(DC)}}100\%$$

Figura 9.13 Diseño de fuente de alimentación (trafo, rectificador y filtro) con Abacos de Schade.

Copyright © 2004 by Oxford University Press, Inc.

Bibliografía:

- Linear and Switchmode Power Supply, Motorola 1982.
- Circuitos Microelectrónicos, Sedra y Smith, 4a y 5a edición.

Copyright © 2004 by Oxford University Press, Inc.