



เลขที่นั่งสอบ

ky ๒๑/๑๒๐๒

มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
ข้อสอบปลายภาคการศึกษาที่ 1/2560

วันจันทร์ที่ 4 ธันวาคม 2560

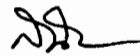
เวลา 13.00 -16.00 น.

วิชา CPE 223 Digital Electronics and Logic Design

น.ศ. วศ.คอมพิวเตอร์

คำสั่ง

1. ข้อสอบมีทั้งหมด 8 ข้อ จำนวน 9 แผ่น (รวมแผ่นนี้) คะแนนรวม 40 คะแนน
2. ให้นักศึกษาทำข้อสอบทุกข้อลงในช่องว่างที่เตรียมไว้ให้ ในตัวข้อสอบชุดนี้
3. ไม่อนุญาตให้ใช้เครื่องคำนวณ
4. ไม่อนุญาตให้นำเอกสารใดๆ เข้าห้องสอบ
5. เขียนชื่อ และ รหัสประจำตัว ลงในปกหน้าฉบับนี้



ผศ.สนั่น สระแก้ว

ผู้ออกข้อสอบ

0-2470-9083

ข้อสอบนี้ได้ผ่านการประเมินจากภาควิชาวิศวกรรมคอมพิวเตอร์แล้ว

รศ.ดร.พีรพล ศิริพงษ์วุฒิกร

ประธานหลักสูตร

ข้อ	1	2	3	4	5	6	7	8	รวม
คะแนนเต็ม	5	5	5	5	5	5	5	5	40
คะแนนที่ได้									

ชื่อรหัสประจำตัว.....

1. Write a Verilog module to implement an even-parity-generator described by the truth table below: (5 points)

Three-bit message			Parity bit
x	y	z	P
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

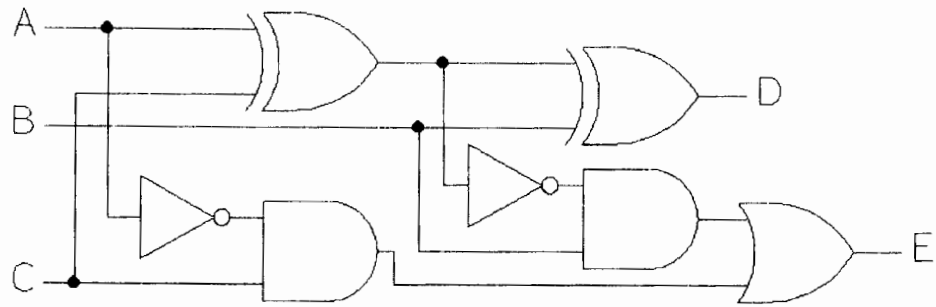
```
module even_parity(x,y,z,P);
```

```
endmodule
```

2. Draw the logic diagram of the digital circuit specified by the following Verilog description. (5 points)

```
module Simple_Circuit (y1, y2, y3, a, b, c, d);  
    output y1, y2, y3;  
    input a, b, c, d;  
    wire w1, w2, w3, w4;  
    assign y1 = (~a | b) & (c ^ d);  
    and (w1, a, d);  
    not (w2, a);  
    and (w3, w2, c);  
    and (w4, a, c, d);  
    or (y2, w1, w3, w4);  
    assign y3 = (b & d) ^ w2;  
endmodule
```

3. Given the following logic diagram:



(a) Write a gate-level Verilog model.

(3 points)

```
module Circuit (A, B, C, D, E);  
  input A, B, C;  
  output D, E;
```

(b) Re-write the Verilog model using continuous assignments.

(2 points)

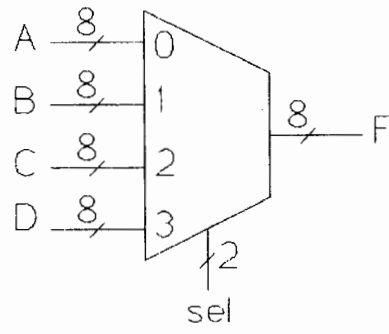
4. Draw the logic diagram for the sequential circuit described by the following Verilog module:

```
module Seq_Cct ( A, B, C, Q, CLK);  
input A, B, C;  
output reg Q;  
input CLK;  
reg E;  
always @ ( posedge CLK)  
begin  
    E <= A | B;  
    Q <= E & C;  
end  
endmodule
```

(5 points)

5. Write a Verilog code to implement an 8-bit 4-to-1 multiplexer.

(5 points)



6. Write a Verilog behavioral description of a 4-bit binary counter with clear(active low), and output carry. The counter has four data outputs and a carry output. The carry output is “1” when the count reaches 4'b1111 and the counter is in the count state. The clear(active low) resets the counter to 4'b0000. (5 points)

7. Given a 4-bit binary ripple counter circuit using D flip-flops shown in Figure 2 below:

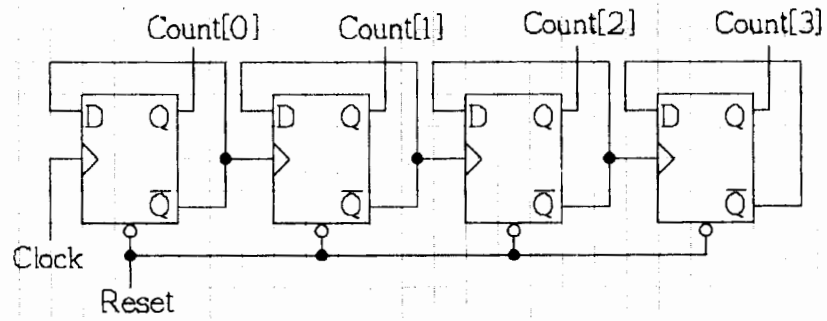


Figure 2: A 4-bit binary ripple counter using D flip-flops.

- (a) Write a Verilog module of D flip-flop. (2 points)

```

module DFF (D, Clock, clear, q, qbar);
    input D, Clock, clear;
    output reg q;
    output qbar;

```

```

endmodule

```

- (b) Using DFF module above, write a Verilog module to implement the 4-bit binary ripple counter. (3 points)

8. Using a case statement, write a Verilog behavioral description of an eight-bit arithmetic logic unit (ALU). The circuit has a three-bit select bus (Sel), sixteen-bit input datapaths (A[15:0] and B[15:0]), an eight-bit output datapath (y[15:0]), and performs the arithmetic and logic operations listed below.

Sel	Operation	Description
000	$y = 0$	Clear
001	$y = A \text{ AND } B$	Bitwise AND
010	$y = A \text{ OR } B$	Bitwise OR
011	$y = A \text{ XOR } B$	Bitwise exclusive OR
100	$y = \text{NOT } A$	Bitwise complement
101	$y = A + \bar{B} + 1$	Subtract (2's complement)
110	$y = A + B$	Add
111	$y = (\text{FFFF})_{16}$	Set

(5 points)