



มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
การสอบปลายภาคเรียนที่ 1 ปีการศึกษา 2556

วิชา ENE 231 Digital Circuit and Logic Design

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม ปีที่ 2 (ปกติ)

สอบ วันพฤหัสบดีที่ ๒๘ พฤศจิกายน พ.ศ. 2556

เวลา 13:00 -16:00น.

คำสั่ง:-

1. ข้อสอบวิชานี้มี 6 ข้อ 11 หน้า (รวมใบปะหน้า และทฤษฎี) คะแนนรวม 90 คะแนน
2. ไม่อนุญาตให้นำหนังสือประกอบการเรียนเข้าห้องสอบได้
3. ไม่อนุญาตให้นำเอกสาร A4 จำนวน 1 แผ่น เข้าห้องสอบได้
4. แสดงวิธีทำลงในข้อสอบเท่านั้น
5. ไม่อนุญาตให้นำเครื่องคำนวณเข้าห้องสอบ
6. ไม่อนุญาตให้นำพจนานุกรมเข้าห้องสอบ
7. ห้ามนักศึกษานำข้อสอบและกระดาษคำตอบออกนอกห้องสอบ
8. ขอให้นักศึกษาทุกคนโชคดีในการสอบ

คำเตือน/คำแนะนำ:-

- เมื่อนักศึกษาทำข้อสอบเสร็จ ต้องยกมือบอกกรรมการคุมสอบ เพื่อขออนุญาตออกนอกห้องสอบ
- นักศึกษาซึ่งทุจริตในการสอบ อาจถูกพิจารณาโทษสูงสุดให้พ้นสภาพการเป็นนักศึกษา
- นักศึกษาควรดูข้อสอบทั้งหมดก่อนเริ่มลงมือทำและควรอ่านคำถามให้รอบคอบก่อนเริ่มทำการคำนวณ เพื่อไม่ให้เสียเวลากับการคำนวณที่ไม่มีประโยชน์

ข้อสอบข้อที่	1	2	3	4	5	6	7	8	คะแนนรวม
คะแนนเต็ม	5	20	20	10	20	15			90
คะแนนที่ได้									

ชื่อ-สกุล.....รหัสประจำตัว.....

ผศ.ดร.พินิจ กำหม่อม (โทร: 9075, 9070)

ผู้ออกข้อสอบ

ข้อสอบนี้ได้ผ่านการประเมินจากคณะกรรมการประจำภาควิชาแล้ว

(รองศาสตราจารย์ ดร.พินิจ อัครวิชัยโชติ)

หัวหน้าภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม

1. (5 คะแนน) [Sequential Systems] เลือกคำตอบที่ให้อีกมาเติมในช่องว่างเพื่อให้ได้ประโยคที่ถูกต้อง.
 - 1.1. An output of a sequential system depends on both current and _____ inputs. As a result, it needs _____.
 - 1.2. Memory devices such as latches and flip-flops are built based on _____ devices.
 - 1.3. Three basic functions of a memory device are to _____, to _____, and to _____.
 - 1.4. _____ sequential systems need clock signal while _____ sequential systems do not.
 - 1.5. Based on types of outputs, two kinds of finite state machine (FSM) are _____ and _____ machine.

Possible answers:

Boolean, Moore, Karnaugh, McCluskey, Mealy, synchronous, asynchronous, present, past, bistable, metastable, remember, load, set, upload, download, reset, memory devices.

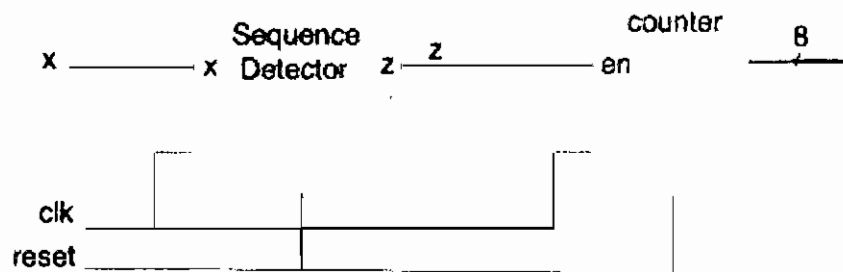
2. (20 คะแนน) [Latches and Flip-flops] ให้เขียน (1) สัญลักษณ์ (symbol), (2) ตารางแสดงฟังก์ชัน (function table), และ (3) วงจรลอจิก (logic circuit) ของ latches และ flip-flop แต่ละตัวที่ให้ได้
 - 2.1. [4 points] An active-low basic SR latch

2.2. [4 คะแนน] A controlled D-latch

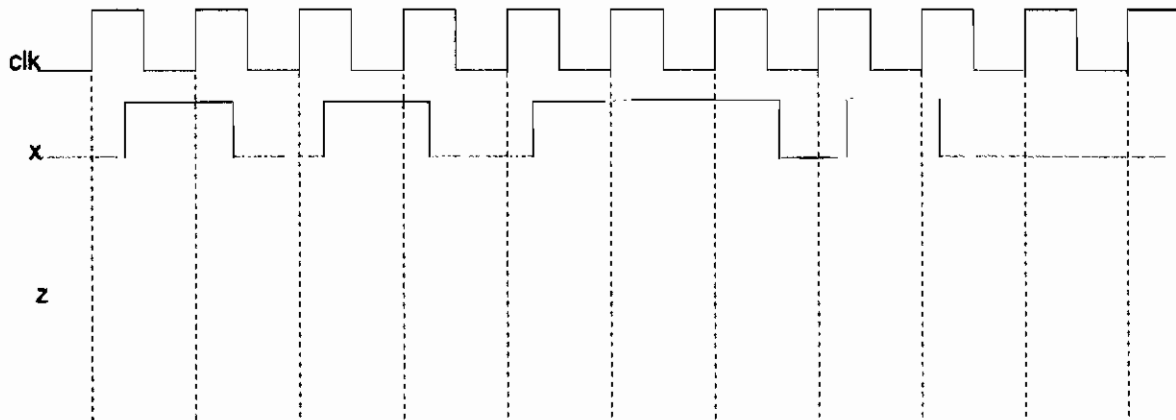
2.3. [4 คะแนน] A positive-edge triggered D flip-flop with active-low asynchronous set and clear

2.4. [4 คะแนน] A negative-edge triggered JK flip-flop

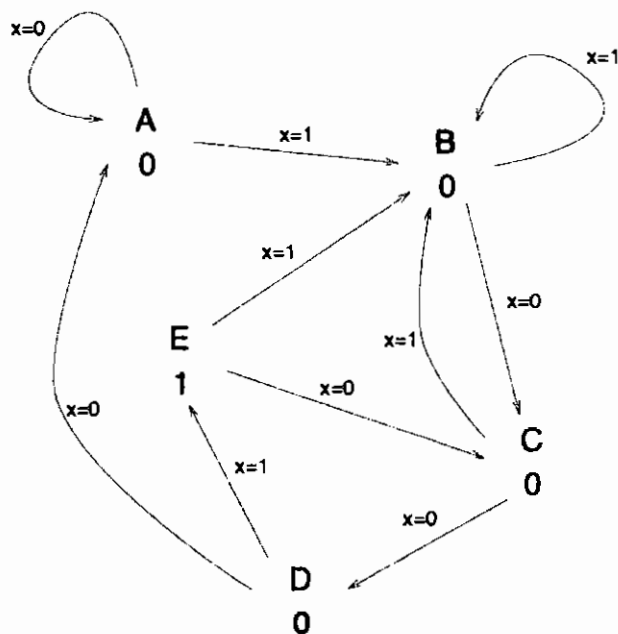
4. (10 points) [FSM design] ต้องการออกแบบระบบเพื่อนับจำนวนการเกิด pattern “010” ที่อินพุต X ระบบประกอบไปด้วยตัวนับ 8 บิต และตัวตรวจจับ pattern “010” ที่ทำหน้าที่สร้างสัญญาณ enable เพื่อควบคุมให้ตัวนับทำการนับขึ้นทุกครั้งที่พบ pattern “010” ให้ออกแบบระบบที่ทำหน้าที่ตรวจจับ pattern “010” นี้ โดยเขียน timing diagram แสดงตัวอย่างการทำงานก่อน แล้วเขียน state/output table และ state diagram.



Step 1: Write timing diagram of the sequence detector given a meaningful input sequence.



5. (20 points)[FSM Synthesis] ให้สังเคราะห์ finite state machine เพื่อทำงานตาม state diagram ที่กำหนดให้ โดยใช้ positive-edge triggered DFF เป็น memory devices และให้ใช้การกำหนด state (state assignment) ตามที่กำหนดให้เท่านั้น ให้แสดงรายละเอียดขั้นตอนการสังเคราะห์



Notation

state name

Z

State Assignment

A = 000

B = 001

C = 101

D = 100

E = 110

6. (15 points) [VHDL] เติม VHDL program สำหรับการอธิบายการทำงานของ finite state machine ตามที่กำหนดด้วย state diagram ในข้อ 5.

```
library ieee;
use ieee.std_logic_1164.all;

entity a_fsm is
    port( clk, reset : in _____;
          _____ : _____;
          _____ : _____ );
end a_fsm;

architecture _____ of a_fsm is
    type state_type is ( _____ );
    signal _____, _____ : state_type;
begin
    -- state register
    process( _____ )
    begin
        if _____ then
            _____ <= _____;
        elsif _____ and _____ then
            _____ <= _____;
        end if;
    end process;
```

-- next state logic

```

process ( _____ )
begin
    case _____ is
        when _____ =>
            if _____ then
                _____;
            else
                _____;
            end if;
        when _____ =>
            if _____ then
                _____;
            else
                _____;
            end if;
        when _____ =>
            if _____ then
                _____;
            else
                _____;
            end if;
        when _____ =>
            if _____ then
                _____;
            else
                _____;
            end if;
    end case;
end process;

```

```

when _____ =>
    if _____ then
        _____;
    else
        _____;
    end if;
end case;
end process;
-- Output logic
_____ <= _____ when _____ else _____;

end beh;

```

Latch and FF's Characteristic Equations

<i>Device Type</i>	<i>Characteristic Equation</i>
S-R latch	$Q^* = S + R' \cdot Q$
D latch	$Q^* = D$
Edge-triggered D flip-flop	$Q^* = D$
D flip-flop with enable	$Q^* = EN \cdot D + EN' \cdot Q$
Master/slave S-R flip-flop	$Q^* = S + R' \cdot Q$
Master/slave J-K flip-flop	$Q^* = J \cdot Q' + K' \cdot Q$
Edge-triggered J-K flip-flop	$Q^* = J \cdot Q' + K' \cdot Q$
T flip-flop	$Q^* = Q'$
T flip-flop with enable	$Q^* = EN \cdot Q' + EN' \cdot Q$

From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4.
 ©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.