



มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
การสอบปลายภาคการศึกษาที่ 1 ปีการศึกษา 2555

วิชา ENE 231 Digital Circuit and Logic Design
สอบวันศุกร์ที่ 12 ธันวาคม 2555

วิศวกรรมอิเล็กทรอนิกส์ ชั้นปีที่ 2
เวลา 9.00-12.00 น.

คำสั่ง

1. ข้อสอบมีทั้งหมด 6 ข้อ 14 หน้า (รวมใบปะหน้า) คะแนนรวม 100 คะแนน
2. ให้ทำข้อสอบทุกข้อลงในข้อสอบ
3. ห้ามนำเอกสารใด ๆ เข้าห้องสอบ
4. ไม่อนุญาตให้นำเครื่องคำนวณใด ๆ เข้าห้องสอบ

เมื่อนักศึกษาทำข้อสอบเสร็จ ต้องยกมือบอกกรรมการคุมสอบ
เพื่อขออนุญาตออกนอกห้องสอบ
ห้ามนักศึกษานำข้อสอบและกระดาษคำตอบออกนอกห้องสอบ
นักศึกษาซึ่งทุจริตในการสอบอาจถูกพิจารณาโทษสูงสุดให้พ้นสภาพการเป็นนักศึกษา

ชื่อ-สกุล.....รหัสนักศึกษา.....	เลขที่นั่งสอบ

(ผศ. ดร. พินิจ กำหม่อม)
ผู้ออกข้อสอบ
โทร. 02-470-9075

ข้อสอบนี้ได้ผ่านการประเมินจาก
ภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคมแล้ว

(ผศ.ดร. วุฒิชัย อัครวินชัยโชติ)
หัวหน้าภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม

ข้อที่	1	2	3	4	5	6				รวม
คะแนนเต็ม	10	20	15	20	15	20				100
คะแนนที่ได้										

ชื่อ-สกุล _____ เลขประจำตัวนักศึกษา _____ เลขที่นั่งสอบ _____
 Name-Surname _____ Student ID _____ Seat No. _____

1. [Combinational Modules] (10 points) Combinational modules given below may be described in 5 representations including (i) name, (ii) symbol, (iii) function table, (iv) gate-level circuit, and (v) VHDL code. Given one of the 5 representations of each module, complete remaining representations.

แต่ละคอมบินชันโมดูลที่ให้มาด้านล่างมี representation ได้ 5 แบบได้แก่ (i) ชื่อ (ii) สัญลักษณ์ (iii) ตารางฟังก์ชัน (iv) วงจรระดับเกต และ (v) VHDL code ในแต่ละข้อให้เขียน representation ที่ว่างไว้ให้สมบูรณ์

1.1 (i) Name: _____ 1-bit 4-input MUX _____

(ii) Symbol

(iii) Function table

s	Output y

(iv) Gate-level circuit

(v) VHDL code

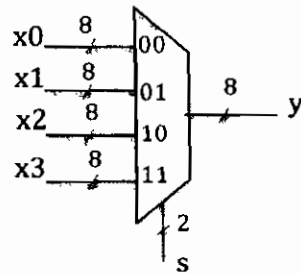
```

library ieee;
use ieee.std_logic_1164.all;
entity mux4to1 is
  port( x0, x1, x2, x3: in _____;
        s _____ : _____;
        y _____ : out _____ );
end mux4to1;
architecture _____ of mux4to1 is
begin
  with s select
    _____ <= _____ when _____,
    _____ when _____,
    _____ when _____,
    _____ when _____;
end arch1;
  
```

1.2 (i) Name: _____

(ii) Symbol

(iii) Function table



(iv) Gate-level circuit

(v) VHDL code

```
library ieee;
use ieee.std_logic_1164.all;

entity _____ is
    port (
        _____
    );
end _____;

architecture _____ of _____ is
begin

end _____;
```

2. [Memory Devices and Sequential Modules] (20 points) Memory devices or sequential modules given below may be described in 5 representations including (i) name, (ii) symbol, (iii) function table, (iv) gate-level circuit or block diagram, and (v) VHDL code. Given one of the 5 representations of each module, complete remaining representations.

แต่ละอุปกรณ์การจำที่นำมาด้านล่างมี representation ได้ 5 แบบได้แก่ (i) ชื่อ (ii) สัญลักษณ์ (iii) ตารางฟังก์ชัน (iv) วงจรระดับเกต และ (v) VHDL code ในแต่ละข้อให้เขียน representation ที่ว่างไว้ให้สมบูรณ์

2.1 (i) Name: _____ negative-edge D-FF with enable _____

(ii) Symbol

(iii) Function table

en	D	clk	Q	Action
0				

(iv) Gate-level circuit (treat block diagrams of memory devices such SR latch and D latch as gate-level)

(v) VHDL code

```

library ieee;
use ieee.std_logic_1164.all;
entity DFF_w_en is
    port( clk, en : in _____;
          D       : _____;
          Q       : _____ );
end DFF_w_en;

architecture _____ of DFF_w_en is
    signal q_reg, q_next : _____;
begin
    process ( _____ )
    begin
        if _____ and _____ then -- negative clk edge
            _____ <= _____;
        end if;
    end process;
    q_next <= _____ when _____ else _____;
    Q <= q_reg;
end arch1;
    
```

2.2 (i) Name: _____
 (ii) Symbol _____ (iii) Function table _____

R _n	S _n	D	clk	Q	Action
0	-	-	-	0	
1	0	-	-	1	
1	1	-	0, 1	Qold	Remember old value
1	1	0	↑	0	
1	1	1	↑	1	

(iv) Gate-level circuit (skip this part) (ไม่ต้องตอบส่วนนี้)

(v) VHDL code

```

library ieee;
use ieee.std_logic_1164.all;
entity DFF_w_SR is
    port( clk, en, S_n, _____ : in _____;
          _____ : _____;
          _____ : _____ );
end DFF_w_SR;

architecture _____ of DFF_w_SR is
    signal _____, _____ : _____;
begin
    process( _____ )
    begin
        if _____ then
            _____ <= _____;

        elsif _____ then
            _____ <= _____;

        elsif _____ and _____ then -- positive clk edge
            _____ <= _____;

        end if;
    end process;

    q_next <= _____ when _____ else
        _____;

    Q <= q_reg;
end arch1;
    
```

- 2.3 (i) Name: _____ positive-edge 8-bit register with enable and active-high asynchronous reset _____
 (ii) Symbol (skip this part) _____ (iii) Function table _____
 (iv) Block diagram _____

R	en	clk	Output (Q)
1	-	-	Q = "00000000"
0	0	-	Q = _____
0	1	0	Q = Qold
0	1	1	Q = _____
0	1	↑	Q = D

- (iv) Gate-level circuit (skip this part) (ไม่ต้องตอบส่วนนี้)
 (v) VHDL code

```

library ieee;
use ieee.std_logic_1164.all;
entity reg8_w_en_R is
    port( clk, en, R : in _____;
          _____ : _____;
          _____ : _____ );
end reg8_w_en_R;

architecture _____ of reg8_w_en_R is
    signal _____, _____ : std_logic_vector(7 downto 0);
begin
    process( _____ )
    begin
        if _____ then
            _____ <= _____;

            elsif _____ and _____ then -- positive clk edge
                _____ <= _____;

            end if;
        end process;
        q_next <= _____ when _____ else
            _____;
        Q <= q_reg;
    end arch1;
    
```

2.4 (i) Name: _____ 8-bit count up counter with count enable and active-low reset _____

(ii) Block diagram

(iii) Function table

R_n	count	clk	Output (Q)
0	-	-	Q = "00000000"
1	-	0	Q = Qold
1	-	1	Q = Qold
1	0	↑	Q = _____
1	1	↑	Q = Qold + 1

(iv) Gate-level circuit (skip this part) (ไม่ต้องตอบส่วนนี้)

(v) VHDL code

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity counter8 is
    port( clk, R_n : in _____;
          _____ : _____;
          _____ : _____ );
end counter8;

architecture _____ of counter8 is
    signal _____, _____ : unsigned(7 downto 0);
begin
    process( _____ )
    begin
        if _____ then -- reset
            _____ <= _____;

        elsif _____ and _____ then -- positive clk edge
            _____ <= _____;

        end if;
    end process;
    q_next <= q_reg + 1 when _____ else
        q_reg;

    Q <= std_logic_vector(q_reg);
end arch1;
    
```

3. [Sequential Circuit Design] (15 points) Design a state diagram and the corresponding state/output table of a synchronous sequential digital system to do the function specified as follows.

- At the beginning the output X and Y is reset to '0', where X is a Moore-type nad Y is a Mealy-type.
- If the output X has not been set, the system tries to detect the pattern "110" fed to input B if the input A is '1'. In the situation that X has not been set and A is '0', the system stays at the current state, which means that tne previous meaningful sequence of B is remembered such that when input A is '1' again the system will continue to detect the pattern "110" using the previous sequence into account (see an example in the below table). Once the pattern "110" is found, the Moore-type output X is set to '1'.
- Once the output X has been set to '1', which means that the first pattern "110" from input B has been found, the system will try to detect the second patternr "011" from input B ignoring the input A. Once the second pattern "011" is found from input B, the Mealy-type output Z is set to '1' and the system is reset to the initial state.
- The below table shows how the system should work.

ให้ออกแบบ state diagram และ state/output table ที่ตรงกัน ของระบบดิจิทัลชนิดซีควนเชียลแบบซิงโครนัส ที่ทำหน้าที่ดังต่อไปนี้

- ในตอนเริ่มต้น เอ้าท์พุททั้งสองของระบบคือ X กับ Y จะถูกรีเซ็ตเป็น '0' โดยเอ้าท์พุท X เป็นแบบ Moore และเอ้าท์พุท Y เป็นแบบ Mealy
- ในสภาวะที่เอ้าท์พุท X ยังไม่ถูกเซ็ตให้เป็น '1' และอินพุท B เป็น '1' ระบบจะพยายามตรวจจับหารูปแบบ "110" ที่อินพุท A ถ้าเอ้าท์พุท X ยังไม่ถูกเซ็ตให้เป็น '1' และ อินพุท B เป็น '0' ระบบจะอยู่ในสถานะปัจจุบัน นั่นคือระบบจะจำลำดับของอินพุทที่มีความหมายไว้ เพื่อใช้ในการตรวจจับหา "110" ต่อเมื่อ B กลับมาเป็น '1' อีก และไม่สนใจอินพุท (ดูตัวอย่างในตารางด้านล่าง) เมื่อระบบตรวจจับรูปแบบ "110" ได้ ระบบจะเซ็ตเอ้าท์พุท X ให้เป็น '1' ค้างไว้จนกว่าจะถึงสภาวะของการรีเซ็ต
- ในสภาวะที่เอ้าท์พุท X ถูกเซ็ตเป็น '1' แล้ว ระบบจะตรวจจับหารูปแบบ "011" ที่อินพุท A โดยไม่สนใจค่าในอินพุท B จนกว่ารูปแบบ "011" จะถูกพบในอินพุท A เมื่อรูปแบบดังกล่าวถูกพบ ระบบจะบับจะเซ็ตเอ้าท์พุท Y ให้เป็น '1' แล้วรีเซ็ตไปที่สถานะเริ่มต้น
- ตารางด้านล่างแสดงกรณีตัวอย่างของการทำงานของระบบ

Clock#	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Input: A	0	1	1	0	1	1	0	1	1	0	0	0	1	0		0	
Input: B	0	1	0	0	1	1	0	0	0	1	0	0	1	1	0	1	
Output: X	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0
Output: Y	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
PS	S0														S0		

S0 = the initial state

Seat No.

1) State/output Table

Next State, Output Y
NS, Y

2) State Diagram

ชื่อ-สกุล

เลขประจำตัวนักศึกษา

เลขที่นั่งสอบ

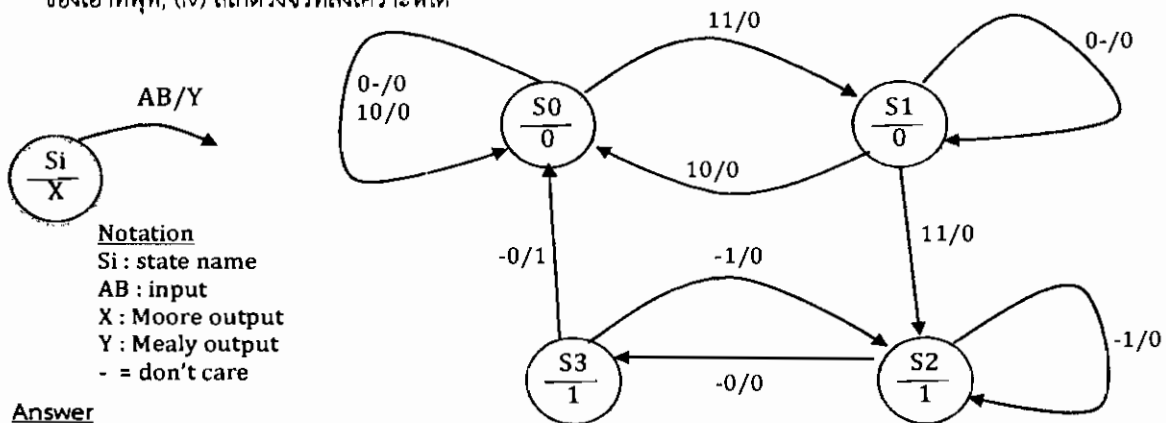
Name-Surname

Student ID

Seat No.

4. [Sequential Circuit Synthesis] (20 points) Synthesize a circuit of a synchronous FSM corresponding to the given state diagram using DFFs as memory devices. Show the results of all synthesis steps including (i) the state/output table, (ii) state transition/output table, (iii) Karnaugh maps of the DFF's inputs and their minimal SOP or POS equations, and Karnaugh map of the output and its minimal SOP or POS equation, (iv) a sketch of the synthesized circuit.

สังเคราะห์วงจรของ FSM แบบซิงโครนัสที่ทำงานตาม state diagram ที่กำหนดให้โดยใช้ DFF เป็นอุปกรณ์ในการจำ แสดงผลการสังเคราะห์ทุกขั้นตอนได้แก่ (i) (i) the state/output table, (ii) state transition/output table, (iii) Karnaugh maps พร้อมสมการ minimal SOP หรือ POS ของอินพุตของ DFFs และ Karnaugh map พร้อมสมการ minimal SOP หรือ POS ของเอาต์พุต, (iv) สเก็ตวงจรที่สังเคราะห์ได้



Answer

(i) State/Output Table

Present State PS	Input: AB				Output X	Note
	00	01	11	10		
S0						
S1						
S2						
S3						

Next State, Output Y
(NS, Y)

(ii) Transition/Output Table

State Assignment		Input: AB				Output X	Note
State Name	State Variables	00	01	11	10		
PS							
S0						0	Number of state = 4
S1							Number of FFs =
S2							State Variables =
S3							Type of FFs is D-FF

_____, Y
(Next State, Y)

(iii) Karnaugh Maps of inputs of FFs and outputs

D1

D0

Y

Y

(iv) the synthesized circuit (วงจรที่สังเคราะห์ได้)

ชื่อ-สกุล _____

เลขประจำตัวนักศึกษา _____

เลขที่นั่งสอบ _____

Name-Surname _____

Student ID _____

Seat No. _____

5. [Sequential Circuit Model using VHDL] (15 points) Write the VHDL program describing the FSM whose function is given by the state diagram in Problem 4.

ให้เขียนโปรแกรม VHDL เพื่ออธิบายระบบ FSM ที่ทำงานตาม state diagram ในข้อ 4

```

library ieee;
use ieee.std_logic_1164.all;
entity a_fsm is
    port( clk, rst_n : in _____;
          _____ : _____;
          _____ : _____ );
end a_fsm;
architecture _____ of a_fsm is
    type state_type is ( _____ );
    signal _____ : state_type;
begin
    -- state register
    process( _____ )
    begin
        if _____ then -- reset
            _____ <= _____;
        elsif _____ and _____ then -- positive clk edge
            _____ <= _____;
        end if;
    end process;

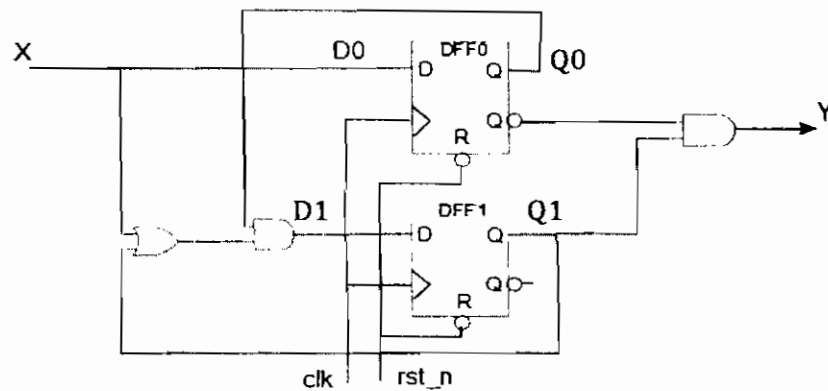
    -- output logic
    process( _____ )
    begin
        case _____ is
            when _____ =>
                _____ <= _____; -- Moore output
                _____ <= _____;
            when _____ =>
                _____ <= _____; -- Moore output
                _____ <= _____;
            when _____ =>
                _____ <= _____; -- Moore output
                _____ <= _____;
            when _____ =>
                _____ <= _____; -- Moore output
                if _____ then
                    _____ <= _____;
                else
                    _____ <= _____;
                end if;
            end case;
        end process;
    
```

(Continued from the previous page)

(ต่อจากหน้าที่แล้ว)

```
-- Next-state logic
process ( _____ )
begin
  case _____ is
    when _____ =>
      if _____ then
        _____ <= _____;
      else
        _____ <= _____;
      end if;
    when _____ =>
      if _____ then
        _____ <= _____;
      elsif _____ then
        _____ <= _____;
      else
        _____ <= _____;
      end if;
    when _____ =>
      if _____ then
        _____ <= _____;
      else
        _____ <= _____;
      end if;
    when _____ =>
      if _____ then
        _____ <= _____;
      else
        _____ <= _____;
      end if;
  end case;
end process;
end arch1;
```

6. [Sequential System Analysis] (20 points) Analyze the synchronous FSM described by the circuit below. Show the results of all analysis steps including (i) the Boolean equations of FF's inputs and Boolean equation of the output, (ii) the state transition/output table (iii) the state/output table and its corresponding state diagram (iv) timing diagram given the below input sequence.



Answer

- (i) Boolean equations of the FFs

- (ii) The transition/output table

- (iii) state/output table

- (iii) State diagram

- (iv) Timing diagram

