

## มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

## ข้อสอบปลายภาคการศึกษาที่ 2/2558

วันอังคารที่ 10 พฤษภาคม 2559

เวลา 13.00 -16.00 น.

วิชา CPE223 Digital Circuit Design

วศ.คอมพิวเตอร์

คำสั่ง

1. ข้อสอบมีทั้งหมด 7 ข้อ จำนวน 6 แผ่น (รวมแผ่นนี้) คะแนนรวม 50 คะแนน
2. ให้ทำข้อสอบทุกข้อลงในช่องว่างที่เตรียมไว้ให้ ในตัวข้อสอบชุดนี้
3. ไม่อนุญาตให้ใช้เครื่องคำนวณใดๆ ทั้งสิ้น
4. ไม่อนุญาตให้นำเอกสารใดๆ เข้าห้องสอบ
5. เขียนชื่อ และ รหัสประจำตัว ลงในปกหน้าฉบับนี้

.....  
ผศ.สุรพันธ์ ตั้มนาค

ผู้ออกข้อสอบ

0-2470-9083

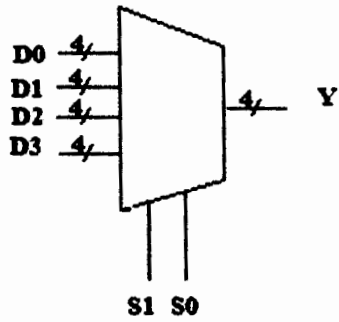
ข้อสอบนี้ได้ผ่านการประเมินจากภาควิชาวิศวกรรมคอมพิวเตอร์แล้ว

ข้อ	1	2	3	4	5	6	7
คะแนนเต็ม	10	5	5	5	10	10	5
คะแนนที่ได้							

ชื่อ .....รหัสประจำตัว.....ภาควิชา/ชั้นปี.....

ชื่อ .....รหัสประจำตัว..... ชั้นปี.....

1. Write Verilog module for the circuit below in different types of code.



1.1 Continuous Assignment. ( 5 marks)

1.2 Procedural Assignment. ( 5 marks)

ชื่อ .....รหัสประจำตัว..... ชั้นปี.....

2. Write Verilog module for 1-bit full adder by using Gate level description.  
( 5 marks).

3. Draw the block diagram and write Verilog module of BCD to 7-segment  
by using behavioral abstraction. ( 5 marks)

ชื่อ ..... รหัสประจำตัว ..... ชั้นปี .....

4. Draw a schematic circuit which match to the Verilog module below.  
(5 marks)

```
module cpe4 (Y, X, ce, clk);
    output [7:0] Y;
    input [7:0] X;
    input ce;
    input clk;
    reg [7:0] Y;
    always @(posedge clk)
        if (ce) Y = X;
endmodule
```

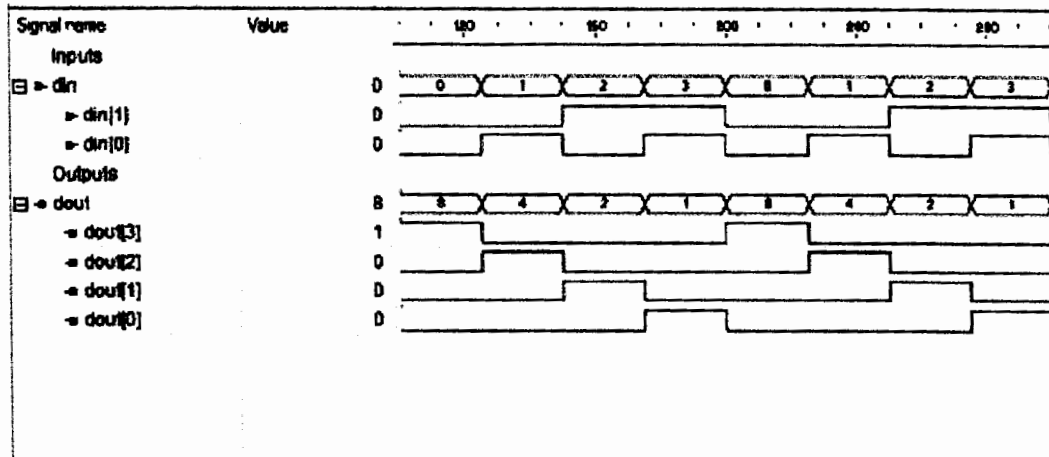
5. How to divide the system frequency (25MHz) of FPGA board into 1 Hz.  
Show your procedure step by step and part of Verilog code. (10 marks)

Procedure step:

Part of code:

ชื่อ ..... รหัสประจำตัว ..... ชั้นปี .....

6. Draw a block diagram , truth table and Verilog module which match to timing diagram below. What is the name of this circuit? (10 marks)



ชื่อ .....รหัสประจำตัว..... ชั้นปี.....

7. Explain your final project in term of project name, objectives and its block diagram. (5 Marks).