



มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
การสอบปลายภาคการเรียนที่ 1 ปีการศึกษา 2551

วิชา ENE 231 Digital Circuit and Logic Design

วิศวกรรมอิเล็กทรอนิกส์ ปีที่ 2, ฟิสิกส์ ปี 3-4

สอบวันพุธที่ 1 ตุลาคม 2551

เวลา 13.00-16.00 น.

คำสั่ง

1. ข้อสอบมีทั้งหมด 8 ข้อ 12 หน้า (รวมใบปะหน้า) คะแนนรวม 140 คะแนน
2. ให้ทำข้อสอบทุกข้อลงในข้อสอบ หากเนื้อที่ไม่พอให้ใช้หน้าหลังได้
3. ห้ามนำเอกสารใด ๆ เข้าห้องสอบ
4. ไม่อนุญาตให้นำเครื่องคำนวณใด ๆ เข้าห้องสอบ
5. มีทฤษฎีต่างของ Switching Algebra และ Flip-flop characteristic Equation ให้ในหน้าสุดท้าย

เมื่อนักศึกษาทำข้อสอบเสร็จ ต้องยกมือบอกกรรมการคุมสอบ

เพื่อขออนุญาตออกนอกห้องสอบ

ห้ามนักศึกษานำข้อสอบและกระดาษคำตอบออกนอกห้องสอบ

นักศึกษาซึ่งทุจริตในการสอบอาจถูกพิจารณาโทษสูงสุดให้พ้นสภาพการเป็นนักศึกษา

ชื่อ-สกุล.....รหัสนักศึกษา.....	เลขที่นั่งสอบ

ข้อที่	1	2	3	4	5	6	7	8		รวม
คะแนนเต็ม	20	10	15	25	25	15	10	20		140
คะแนนที่ได้										

(ผศ. ดร. พินิจ กำหมอม)

ผู้ออกข้อสอบ

โทร. 0-2470-9070

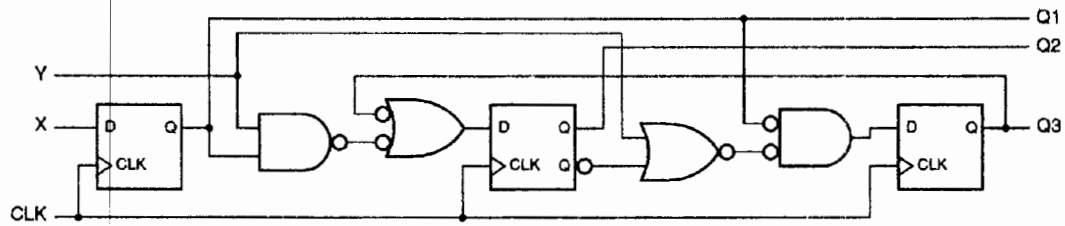
ข้อสอบนี้ได้ผ่านการประเมินจาก

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคมแล้ว

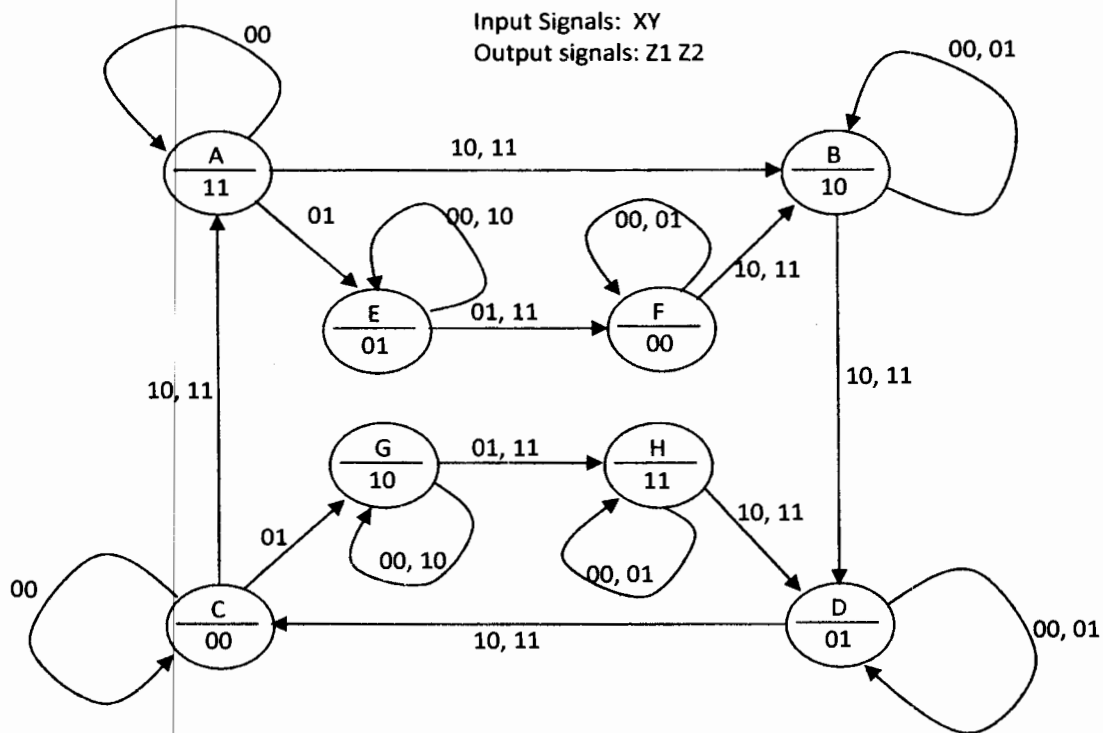
(ผศ.ดร. จุฑิชัย อัสวินชัยโชติ)

หัวหน้าภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม

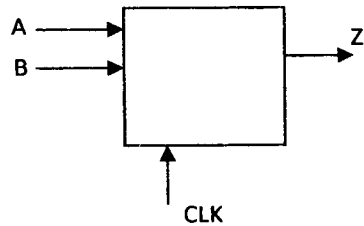
1. วิเคราะห์วงจร synchronous finite state machine ในรูปข้างล่าง โดยให้เขียน excitation equations, excitation/transition table, และ state/output table (20 คะแนน)



2. ให้เขียน state/output table ของ synchronous finite state machine ที่มี state diagram ตามรูปข้างล่าง แล้วพยายามลดจำนวน state ให้เหลือน้อยที่สุดเท่าที่จำเป็น (10 คะแนน)



3. ให้ออกแบบ state diagram และเขียน state/output table ของ synchronous FSM ที่ทำหน้าที่ตามข้อกำหนดดังนี้ (15 คะแนน)



ให้ออกแบบระบบตรวจจับ Pattern ขนาด 2 บิต (AB) เพื่อตรวจจับ pattern 01, 01, 11, 10 โดยเป็นการตรวจจับแบบ non-reset นั่นคือเข้าที่ทุก Z ของระบบจะเป็น '1' ถ้าอินพุต AB ของมันมีลำดับเป็น 01, 01, 11, 10 นอกนั้นเข้าที่จะเป็น 0 ดังตัวอย่างอินพุตต่อไปนี้

CLK:	0	1	2	3	4	5	6	7	8	9	10	11	12
A:	0	0	0	0	0	1	1	0	0	1	1	1	0
B:	0	1	1	1	1	1	0	1	1	1	0	0	0
Z:	0	0	0	0	0	0	1	0	0	0	1	0	0

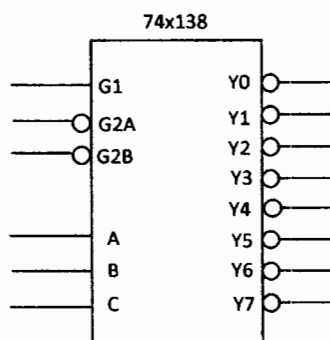
4. จาก state/output table ข้างล่างนี้ ให้ออกแบบ Synchronous Finite State Machine โดยใช้ Negative-edge Triggered D Flip-flop โดยให้แสดงขั้นตอนการทำงานละเอียดจนได้ schematic diagram และใช้การเข้ารหัส แบบ gray (gray code) เพื่อเข้ารหัสสถานะ (state encoding) (25 คะแนน)

Current State	INPUT: XY			
	00	01	11	10
A	A,0	A,0	A,0	B,0
B	A,0	A,0	A,0	C,0
C	A,0	A,0	D,0	C,0
D	A,0	A,1	A,0	B,0
	Next State, Z (output)			

5. จากตารางความจริงข้างล่าง

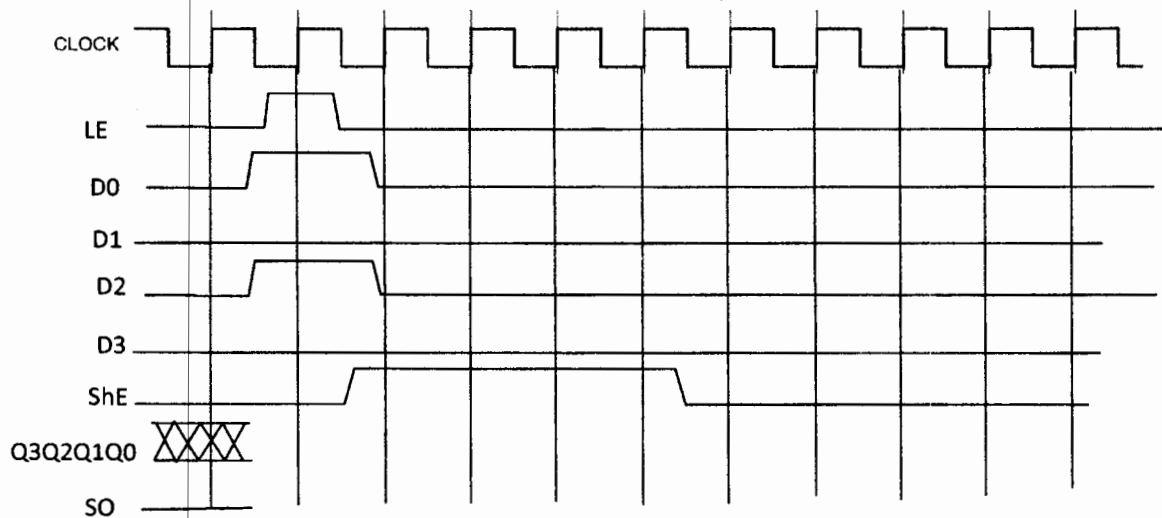
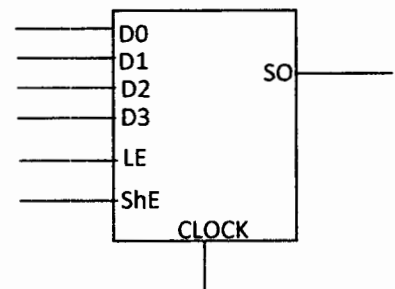
Row #	Inputs A B C D	Output F
0	0 0 0 0	1
1	0 0 0 1	1
2	0 0 1 0	0
3	0 0 1 1	1
4	0 1 0 0	1
5	0 1 0 1	0
6	0 1 1 0	0
7	0 1 1 1	1
8	1 0 0 0	0
9	1 0 0 1	0
10	1 0 1 0	0
11	1 0 1 1	1
12	1 1 0 0	1
13	1 1 0 1	1
14	1 1 1 0	0
15	1 1 1 1	1

- (a.) ให้ใช้ 4-input MUX 1 ตัวร่วมกับเกตอื่น ๆ ในการสร้างวงจรดิจิทัลที่ทำหน้าที่ตามตารางความจริงที่กำหนดให้ (10 คะแนน)
- (b.) ให้ใช้ 3-to-8 Decoder เบอร์ 74x138 ดังแสดงสัญลักษณ์ในรูปข้างล่างจำนวน 2 ตัวร่วมกับเกตอื่น ๆ ในการสร้างวงจรดิจิทัลที่ทำหน้าที่ตามตารางที่กำหนดให้ (15 คะแนน)

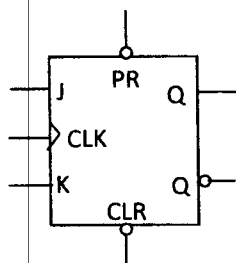
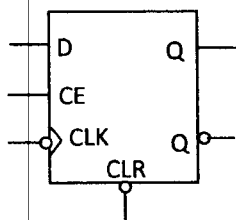


6. ให้สร้างวงจรแปลงสัญญาณ 4 บิตแบบขนาน (4-bit parallel data) เป็นสัญญาณแบบลำดับ (sequential data) ที่ทำงานตามตารางความจริงข้างล่าง โดยการใช้ D flip-flops และ 2-input MUXs มาต่อเป็น shift register ขนาด 4 บิต ให้เลือกใช้ D Flip-flop ที่เหมาะสมเอง และให้เขียน timing diagram ในกรณีตัวอย่างข้างล่าง (15 คะแนน)

	Input			Output	
LE	ShE	CLOCK	D3 D2 D1 D0	Q3 Q2 Q1 Q0	SO
0	0	x	x x x x	No change	D0
1	x	↑	d3 d2 d1 d0	d3 d2 d1 d0	D0
0	1	↑	x x x x	Shift Right	D0



7. ฟลิปฟล็อปตามสัญลักษณ์ข้างล่างนี้เป็นฟลิปฟล็อปชนิดใด พร้อมกับเขียนตารางความจริง และ Characteristic Equation ของมัน (10 คะแนน)



8. ออกแบบวงจรเปรียบเทียบเลข two's complement ขนาด 4 บิต 2 ตัวคือ $A = a_3a_2a_1a_0$ กับ $B = b_3b_2b_1b_0$

โดยใช้วิธี iterative circuit (20 คะแนน)

(แนวทาง: บิต MSB (ในกรณีนี้คือบิต 3) เป็น sign bit ดังนั้นถ้าบิตนี้ไม่เหมือนกัน ตัวเลขที่บิตนี้เป็น 0 จะมากกว่าตัวเลขที่บิตนี้เป็น 1 ($0xxx > 1xxx$) ส่วนบิตที่เหลือใช้หลักการเดียวกันกับ binary comparator)

Switching Algebra Postulates and Theorems

1. Closure Properties

- Postulate 1a (P1a):** If X and Y are in the domain, that is, take on only the values {0,1}, then $(X+Y)$ is also in the domain.
- Postulate 1b (P1b):** If X and Y are in the domain, that is, take on only the values {0,1}, then $(X \cdot Y)$ is also in the domain.

2. Identity Properties

- Postulate 2a (P2a):** $X + 0 = X$
- Postulate 2b (P2b):** $X \cdot 1 = X$

3. Commutative Properties

- Postulate 3a (P3a):** $X + Y = Y + X$
- Postulate 3b (P3b):** $X \cdot Y = Y \cdot X$

4. Distributive Properties

- Postulate 4a (P4a):** $X + (Y \cdot Z) = (X + Y) \cdot (X + Z)$
- Postulate 4b (P4b):** $X \cdot (Y + Z) = X \cdot Y + X \cdot Z$

5. Complement Properties

- Postulate 5a (P5a):** $X + \bar{X} = 1$
- Postulate 5b (P5b):** $X \cdot \bar{X} = 0$

Theorems

1. <u>Involution Theorem</u> Theorem 1 (T1): $X = \bar{\bar{X}}$	
2. <u>Identity Theorems</u> a. Theorem 2a (T2a): $X + 1 = 1$ b. Theorem 2b (T2b): $X \cdot 0 = 0$	6. <u>Adjacency Theorems</u> a. Theorem 6a (T6a): $X \cdot \bar{Y} + X \cdot Y = X$ b. Theorem 6b (T6b): $(X + \bar{Y}) \cdot (X + Y) = X$
3. <u>Idempotency Theorems</u> a. Theorem 3a (T3a): $X + X = X$ b. Theorem 3b (T3b): $X \cdot X = X$	7. <u>Absorption Theorems</u> a. Theorem 7a (T7a): $X + X \cdot Y = X$ b. Theorem 7b (T7b): $X \cdot (X + Y) = X$
4. <u>Associative Theorems</u> a. Theorem 4a (T4a): $X + (Y + Z) = (X + Y) + Z$ b. Theorem 4b (T4b): $X \cdot (Y \cdot Z) = (X \cdot Y) \cdot Z$	8. <u>Simplification Theorems</u> a. Theorem 8a (T8a): $X + \bar{X} \cdot Y = X + Y$ b. Theorem 8b (T8b): $X \cdot (\bar{X} + Y) = X \cdot Y$
5. <u>DeMorgan's Theorems</u> a. Theorem 5a (T5a): $\overline{X + Y} = \bar{X} \cdot \bar{Y}$ b. Theorem 5b (T5b): $\overline{X \cdot Y} = \bar{X} + \bar{Y}$	9. <u>Consensus Theorems</u> a. Theorem 9a (T9a): $X \cdot Y + X \cdot Z + Y \cdot Z = X \cdot Y + X \cdot Z$ b. Theorem 9b (T9b): $(X + Y) \cdot (X + Z) \cdot (Y + Z) = (X + Y) \cdot (X + Z)$

<i>Device Type</i>	<i>Characteristic Equation</i>
S-R latch	$Q^* = S + R' \cdot Q$
D latch	$Q^* = D$
Edge-triggered D flip-flop	$Q^* = D$
D flip-flop with enable	$Q^* = EN \cdot D + EN' \cdot Q$
Master/slave S-R flip-flop	$Q^* = S + R' \cdot Q$
Master/slave J-K flip-flop	$Q^* = J \cdot Q' + K' \cdot Q$
Edge-triggered J-K flip-flop	$Q^* = J \cdot Q' + K' \cdot Q$
T flip-flop	$Q^* = Q'$
T flip-flop with enable	$Q^* = EN \cdot Q' + EN' \cdot Q$