



มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
การสอบปลายภาคการเรียนที่ 1 ปีการศึกษา 2553

วิชา ENE 231 Digital Circuit and Logic Design

วิศวกรรมอิเล็กทรอนิกส์ ปีที่ 2

สอบวันพฤหัสบดีที่ 30 กันยายน 2553

เวลา 09.00-12.00 น.

คำสั่ง

1. ข้อสอบมีทั้งหมด 8 ข้อ 13 หน้า (รวมใบปะหน้า) คะแนนรวม 110 คะแนน
2. ให้ทำข้อสอบทุกข้อลงในข้อสอบ
3. ห้ามนำเอกสารใด ๆ เข้าห้องสอบ
4. ไม่อนุญาตให้นำเครื่องคำนวณใด ๆ เข้าห้องสอบ

เมื่อนักศึกษาทำข้อสอบเสร็จ ต้องยกมือออกจากรูมสอบ

เพื่อขออนุญาตออกนอกห้องสอบ

ห้ามนักศึกษานำข้อสอบและกระดาษคำตอบออกนอกห้องสอบ

นักศึกษาซึ่งทุจริตในการสอบอาจถูกพิจารณาโทษสูงสุดให้พ้นสภาพการเป็นนักศึกษา

เลขที่นั่งสอบ

ชื่อ-สกุล.....รหัสนักศึกษา.....

(ผศ. ดร. พินิจ กำหม่อม)

ผู้ออกข้อสอบ

โทร. 0-2470-9075

ข้อสอบนี้ได้ผ่านการประเมินจาก

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคมแล้ว

(ผศ.ดร. วุฒิชัย อัสวินชัยโชติ)

หัวหน้าภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม

ข้อที่	1	2	3	4	5	6	7	8		รวม
คะแนนเต็ม	10	15	30	10	15	10	10	10		110
คะแนนที่ได้										

1. [Combinational Logic Modules] (10 คะแนน) ให้เขียน Function Tables สัญลักษณ์และ โปรแกรม VHDL สำหรับอธิบาย Combinational Modules ที่กำหนดให้ดังนี้

1.1 (5 คะแนน) 2-input 4-to-1 MUXs

VHDL program

```
library ieee;
use ieee.std_logic_1164.all;
entity mux4 is
    port (
```

Symbols

Function Table

```
end mux4;
```

```
architecture beh of mux4 is
begin
```

```

    _____ <= _____ when _____ else
    _____ when _____ else
    _____ when _____ else
    _____ when _____;
```

```
end beh;
```

ชื่อ-สกุล.....รหัสนักศึกษา.....

1.2 (5 คะแนน) 3-to-8 Decoder ที่มีอินพุต en เป็นสัญญาณควบคุม โดยถ้า en = '0' เอาต์พุตจะไม่ active

VHDL program

```
library ieee;
use ieee.std_logic_1164.all;
entity dec3to8 is
  port (
```

Symbols

Function Table

```
end dec3to8;
```

```
architecture beh of dec3to8 is
```

```
  signal _____ : _____;
```

```
begin
  with _____ select
```

```
    _____ <= _____ when _____,
    _____ when _____,
    _____ when _____,
    _____ when _____,
    _____ when _____,
    _____ when _____,
    _____ when _____;
```

```
    _____ <= _____ when _____ else
```

```
    _____;
```

```
end beh;
```

ชื่อ-สกุล.....รหัสนักศึกษา.....

- 2 [Combinational Modules] (15 คะแนน) ให้เขียน block diagram และโปรแกรม VHDL ของตัวบวกและตัวลบสำหรับ two's complement adder/subtractor ขนาด 4 บิตโดยมีสัญญาณ add_sub เป็นตัวเลือกว่าจะให้บวกหรือลบ (กำหนดให้ add_sub = '0' คือบวก) ไม่ต้องมี overflow flag

VHDL program

```
library ieee;
use ieee.std_logic_1164.all;
-- use numeric_std package for adding or subtracting groups of bits
use ieee.numeric_std.all;

entity addsub is
  port(a, b      : in  _____
        add_sub : in  _____
        s       : out  _____
end addsub;

architecture beh of addsub is

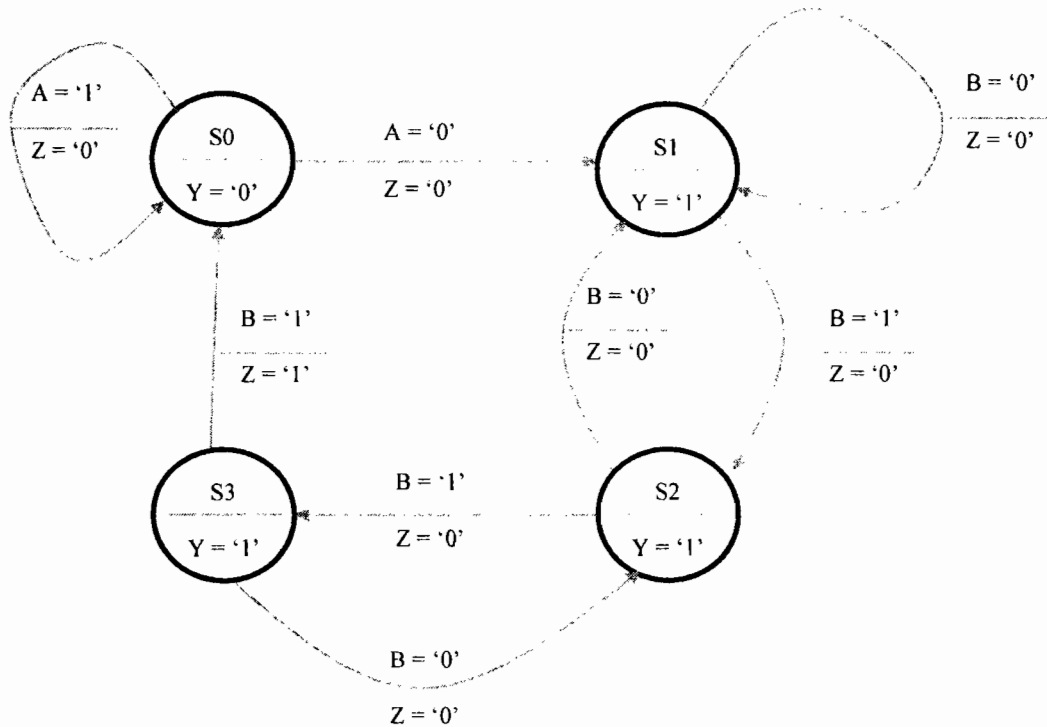
begin
```

```
end beh;
```

3 [Sequential Circuit Design] (30 คะแนน) จาก state diagram ที่กำหนดให้

3.1 (15 คะแนน) ให้สังเคราะห์ synchronous sequential circuit ที่ทำงานตาม state diagram ที่กำหนดให้ โดยให้ใช้ D Flip-Flops และให้ใช้ gray code ในการกำหนดสถานะ (state assignment) ให้แสดงขั้นตอนการสังเคราะห์

3.2 (15 คะแนน) จากโปรแกรม VHDL ที่กำหนดให้ ให้เขียนโปรแกรมให้สมบูรณ์เพื่ออธิบาย state diagram ที่กำหนดให้



ชื่อ-สกุล.....รหัสนักศึกษา.....

VHDL program (เขียนโปรแกรม VHDL สำหรับอธิบาย state diagram ของโจทย์ให้สมบูรณ์)

library ieee;

use ieee.std_logic_1164.all;

entity count_mod20 is

port(clk, rst_n, a, b : in _____;
_____ : out _____;

end count_mod20;

architecture beh of count_mod20 is

type state_type is (_____);

--state assignment

constant ____ : std_logic_vector(1 downto 0) := "00";

constant ____ : _____;

constant ____ : _____;

constant ____ : _____;

--signal declaration

signal q, q_next : _____;

begin

-- State register

process(_____)

begin

if _____ **then**

_____;

elsif _____ **then**

_____;

end if;

end process;

-- Next-state and output logic blocks

process(_____)

begin

case _____ **is**

when _____ => *-- First state*

_____ ;-- Moore output assignment

if _____ **then**

_____ ;-- State transition

_____ ;-- Mealy output assignment

else

_____ ;-- State transition

_____ ;-- Mealy output assignment

end if;

when _____ => *-- Second state*

```

_____ ;-- Moore output assignment
if _____ then
    _____ ;-- State transition
    _____ ;-- Mealy output assignment
else
    _____ ;-- State transition
    _____ ;-- Mealy output assignment
end if;

when _____ => -- Third state
    _____ ;-- Moore output assignment
    if _____ then
        _____ ;-- State transition
        _____ ;-- Mealy output assignment
    else
        _____ ;-- State transition
        _____ ;-- Mealy output assignment
    end if;

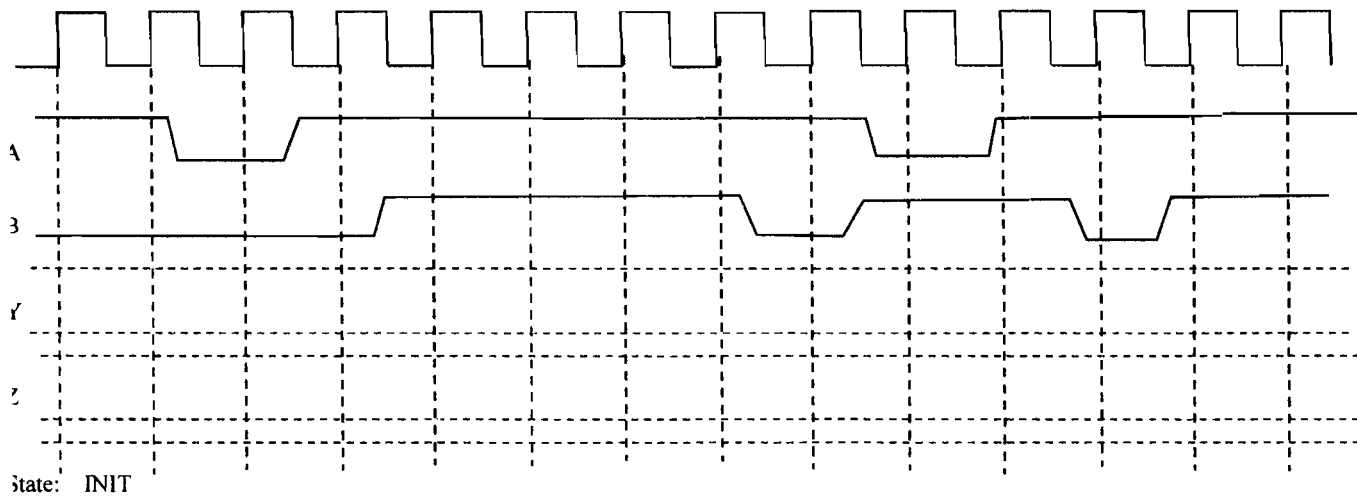
when _____ => -- Fourth state
    _____ ;-- Moore output assignment
    if _____ then
        _____ ;-- State transition
        _____ ;-- Mealy output assignment
    else
        _____ ;-- State transition
        _____ ;-- Mealy output assignment
    end if;
end case;
end process;

```

- 4 [Sequential Circuit Design] (10 คะแนน) ให้ออกแบบ state diagram หรือ state table ของวงจรซีควเอนเชียลที่มีคุณสมบัติดังนี้

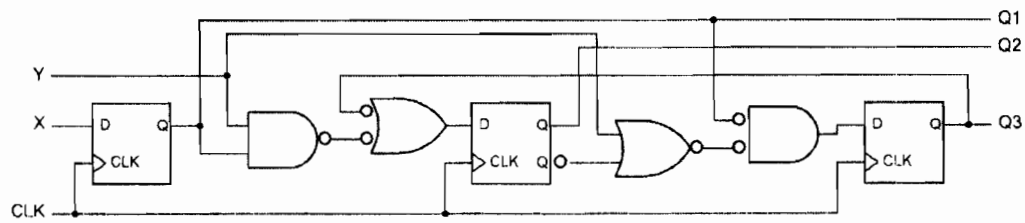
วงจรนี้มีอินพุต 1 บิต 2 ตัวคือ A และ B และมีเอาต์พุต 1 บิต 2 ตัวคือ Y และ Z เอาต์พุต Y จะมีค่าเป็น '1' เมื่ออินพุต A มีค่าเป็น "0" โดยเมื่อ Y เป็น '1' แล้วจะรักษาค่าไว้จนกว่าเอาต์พุต Z='1' ส่วนเอาต์พุต Z จะมีค่าเป็น '1' เมื่อ Y = '1' และอินพุต B มีลำดับเป็น "111" และจะรักษาค่าไว้ 1 clock แล้วจะกลับไปเริ่มต้นใหม่

Step 1: เขียน Timing diagram กรณีตัวอย่างข้างล่าง



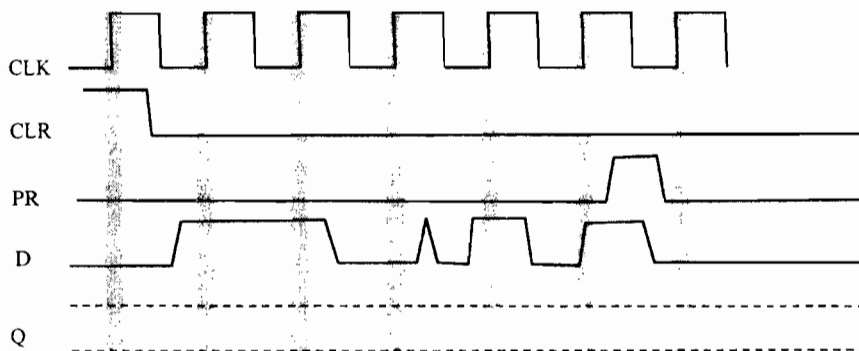
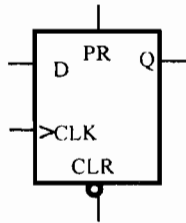
ชื่อ-สกุล.....รหัสนักศึกษา.....

- 5 [Sequential Circuit Analysis] (15 คะแนน) วิเคราะห์วงจรที่กำหนดให้ โดยแสดง excitation/output equations, transition/output table และ state diagram ให้ใช้สัญลักษณ์ของสถานะ (state symbols) เป็น A – H สำหรับ $Q_3Q_2Q_1 = 000 - 111$ ตามลำดับ

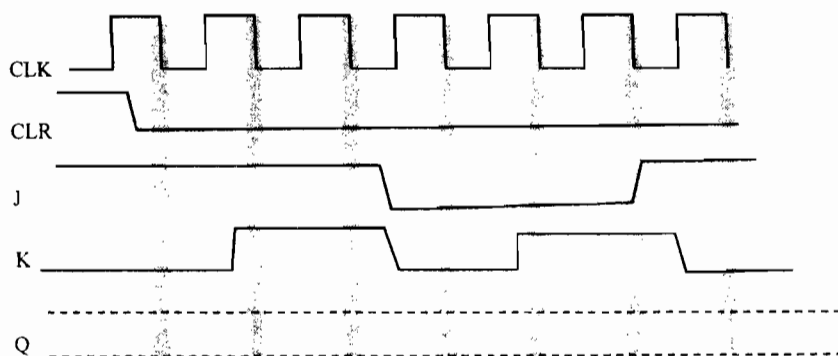
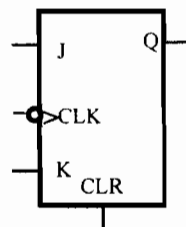


6 [Sequential Circuit Memory Devices] (10 คะแนน) จากสัญลักษณ์ของ memory devices ที่กำหนดให้เขียน Function Table, timing diagram (แถบที่กำหนดให้คือช่วงของ setup time และ hold time) และบอกชื่อ

6.1



6.2



ชื่อ-สกุล.....รหัสนักศึกษา.....

- 7 [Sequential Logic Modules] (10 คะแนน) ให้เขียน block diagram และโปรแกรม VHDL สำหรับการนับ 0 ถึง 20 โดยมีสัญญาณ CLR เพื่อเซ็ตเข้าที่ทุกเป็น 0 ในตอนเริ่มต้น

VHDL program

```
library ieee;
use ieee.std_logic_1164.all;

entity count_mod20 is
    port(clk, clr : in _____
          q : out _____
end count_mod20;

architecture beh of count_mod20 is

begin
    -- State register
    process(_____)
    begin
        if _____ then
            _____;

            elsif _____ then
                _____;

            end if;
        end process;

end beh;
```

ชื่อ-สกุล.....รหัสนักศึกษา.....

- 8 [Sequential Logic Modules] (10 คะแนน) ให้เขียน schematic diagram หรือ block diagram และโปรแกรม VHDL ของ 4-bit universal shift registers ที่มีการทำงานตาม Function Table ที่กำหนดให้

clr	ld	sh	q3	q2	q1	q0	Function
1	-	-	0	0	0	0	Clear the output
0	1	-	d3	d2	d1	d0	Parallel Load from the input d3 d2 d1 d0
0	0	0	q2	q1	q0	d0	Shift Left with d0 as the serial input
0	0	1	d3	q3	q2	q1	Shift Right with d3 as serial input

VHDL program

```

library ieee;
use ieee.std_logic_1164.all;

entity all_shifts is
    port(clk, clr, ld, sh : in _____
          d : in _____
          q : out _____);
end all_shifts;

architecture beh of all_shifts is
    signal qi, qi_next, qi_sh : _____;
begin
    -- State register
    process(_____)
    begin
        if _____ then
            _____;

        elsif _____ then
            _____;
        end if;
    end process;

    qi_sh <= _____ when _____ else
        _____;

    qi_next <= _____ when _____ else
        _____;

    q <= qi;
end beh;

```