



**IMT Atlantique**

Bretagne-Pays de la Loire

École Mines-Télécom

# UE ELECTRONIQUE TRAVAUX DIRIGÉS N°4

# PARTIE NUMERIQUE



**IMT Atlantique**  
Bretagne-Pays de la Loire  
École Mines-Télécom

# TDn4: LE BANC DE REGISTRE PROGRAMMABLE

3

## Exercice 1: Architecture d'un banc de registres

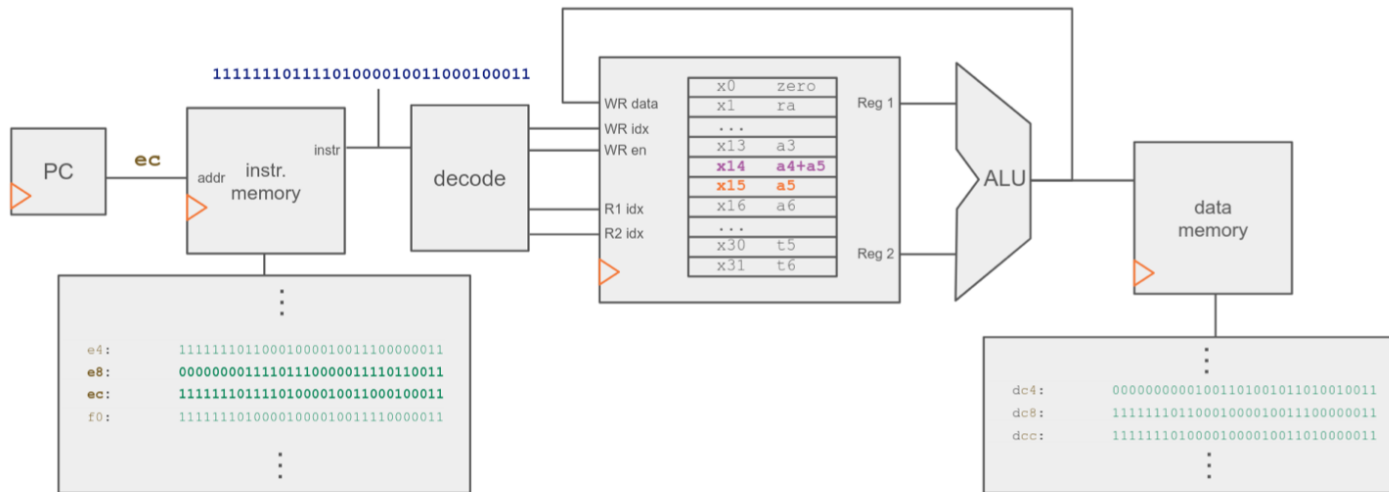


FIGURE 11 – Schéma d'un processeur RISC-V tel que présenté en cours.

# TDn4: LE BANC DE REGISTRE PROGRAMMABLE

4

## Exercice 1: Architecture d'un banc de registres

Pour simplifier la représentation, nous allons considérer un banc de 4 registres sur 8 bits que nous souhaitons concevoir en complétant la figure 12. Pour cela, nous avons besoin de 4 registres de 8 bits chacun, avec des entrées d'ENABLE tels que représenté en figure13, des multiplexeurs pour les ports de lecture et un décodeur pour le port d'écriture. Nous conservons les mêmes notations pour les ports d'entrée et de sortie :

**Proposez une architecture pour ce banc simplifié, en la décrivant au niveau des portes combinatoires et séquentielles.**

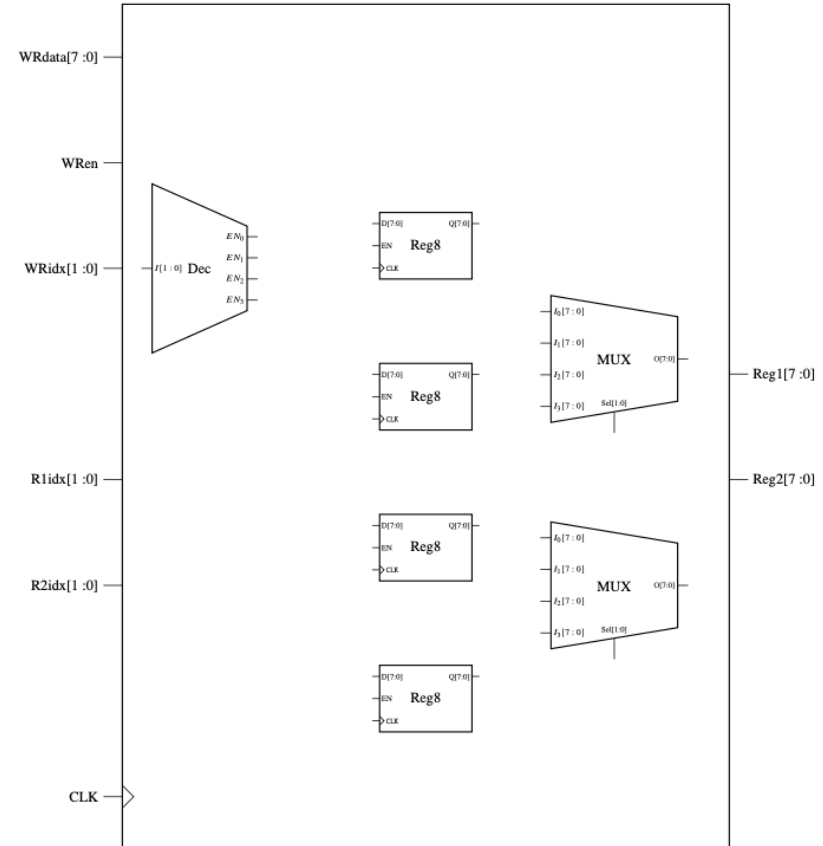


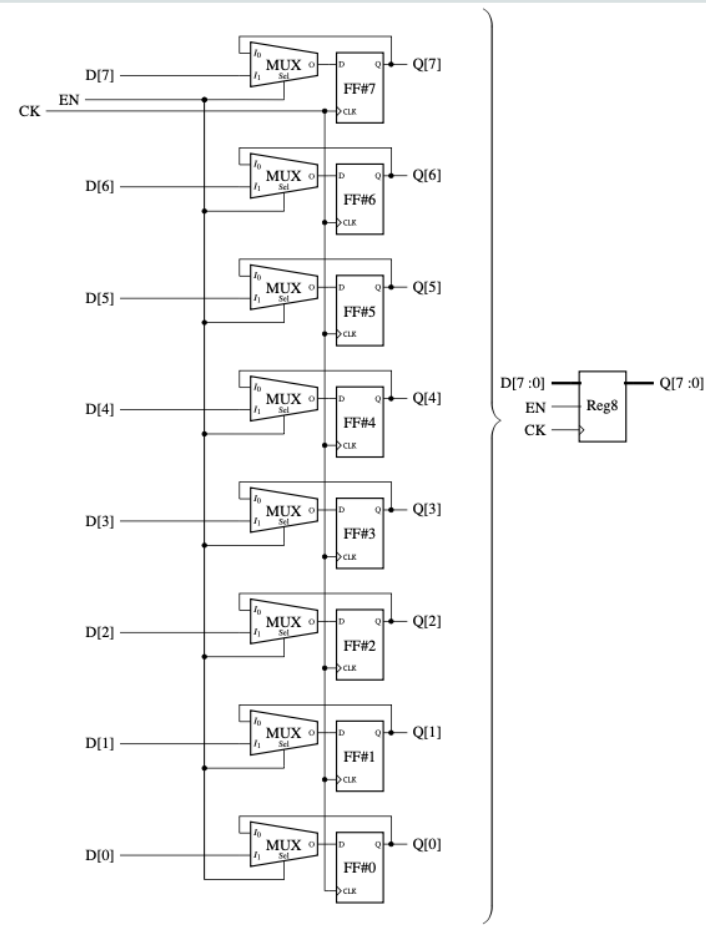
FIGURE 12 – Architecture du banc de registres à compléter.

# TDn4: LE BANC DE REGISTRE PROGRAMMABLE

5

## Exercice 1: Architecture d'un banc de registres

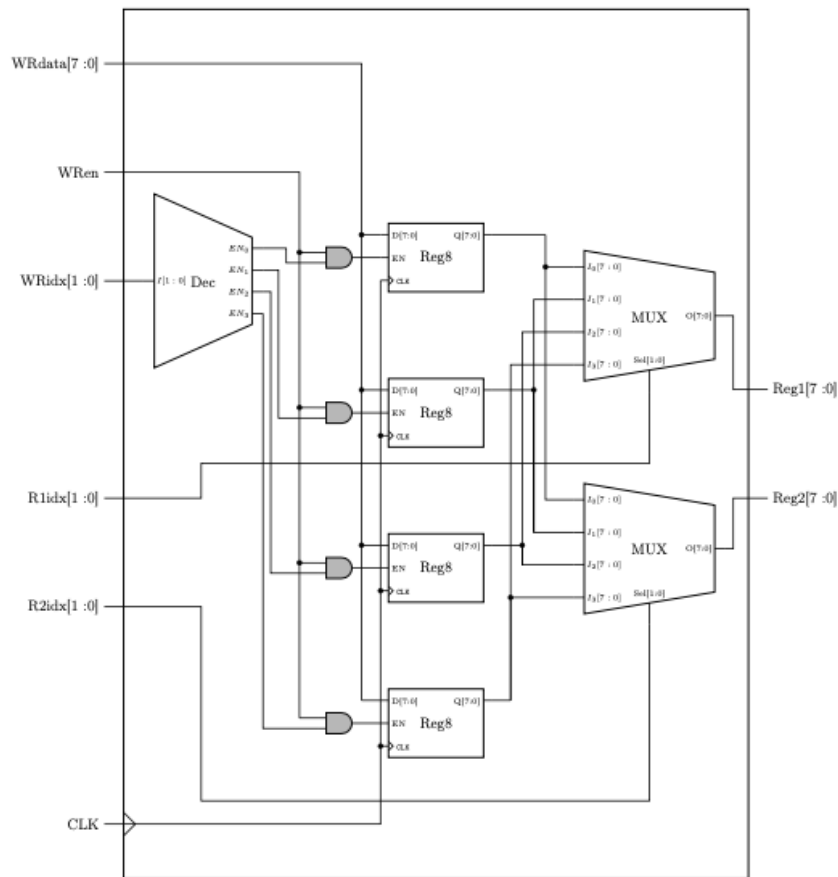
Registre de 8 bits avec entrée d'ENABLE qui pilote des multiplexeurs (MUX) à deux entrées. Pour chaque MUX, lorsque EN=0, l'entrée I0 est connectée à la sortie O, et lorsque EN=1, l'entrée I1 est connectée à la sortie O.



# TDn4: LE BANC DE REGISTRE PROGRAMMABLE

6

## Exercice 1: Architecture d'un banc de registres



# TDn4: LE BANC DE REGISTRE PROGRAMMABLE

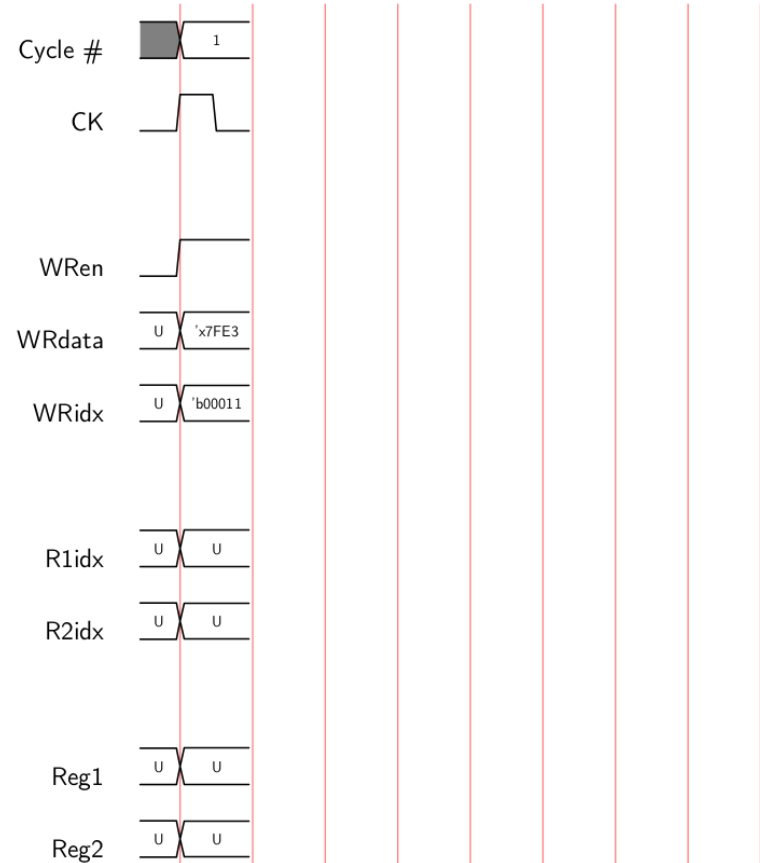
7

## Exercice 2: Chronogramme

Nous supposons la séquence suivante d'opérations par le processeur :

- on **récupère deux opérands déjà disponibles en mémoire** que nous stockons **dans les registres 3** puis **11** (valeurs arbitraires : 32739=`'x7FE3` puis -37=`'xFFDB`),
- on effectue une **addition** de ces deux données disponibles dans les **registres 3 et 11** (il faut les lire sur les ports de sortie du banc de registre),
- on **écrit le résultat de l'addition dans le registre 24** (est-ce simultanément de la lecture des deux registres ?),
- on **accumule le résultat avec le contenu du registre 17** (valeur arbitraire de +5) et on **fournit le résultat à la mémoire de données sans écriture en registre.**

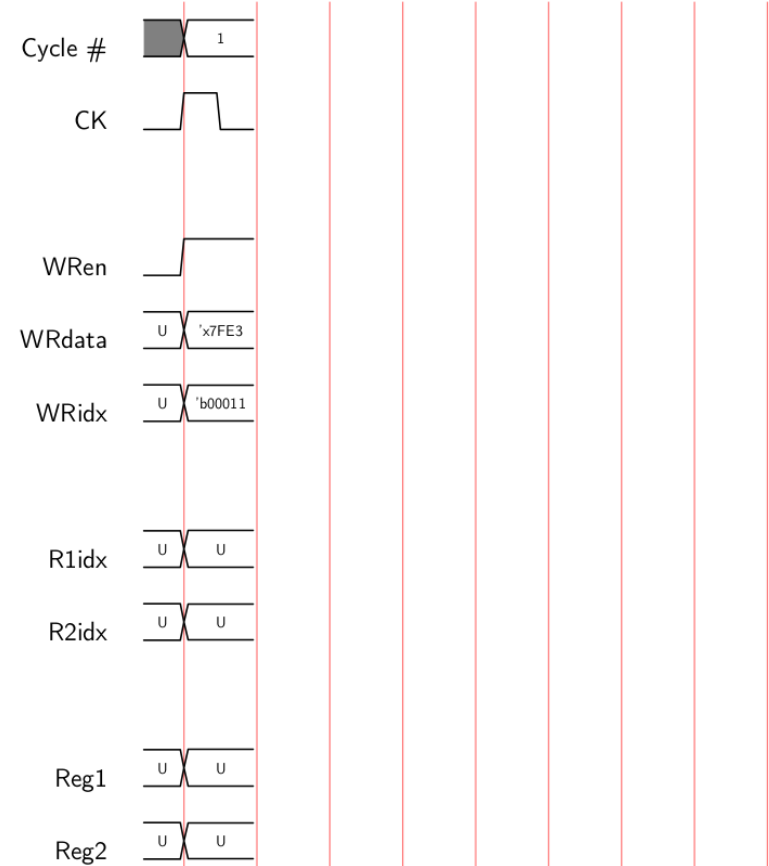
**Complétez le chronogramme des entrées-sorties du banc de registres pour réaliser cette séquence.**



# TDn4: LE BANC DE REGISTRE PROGRAMMABLE

8

## Exercice 2: Chronogramme





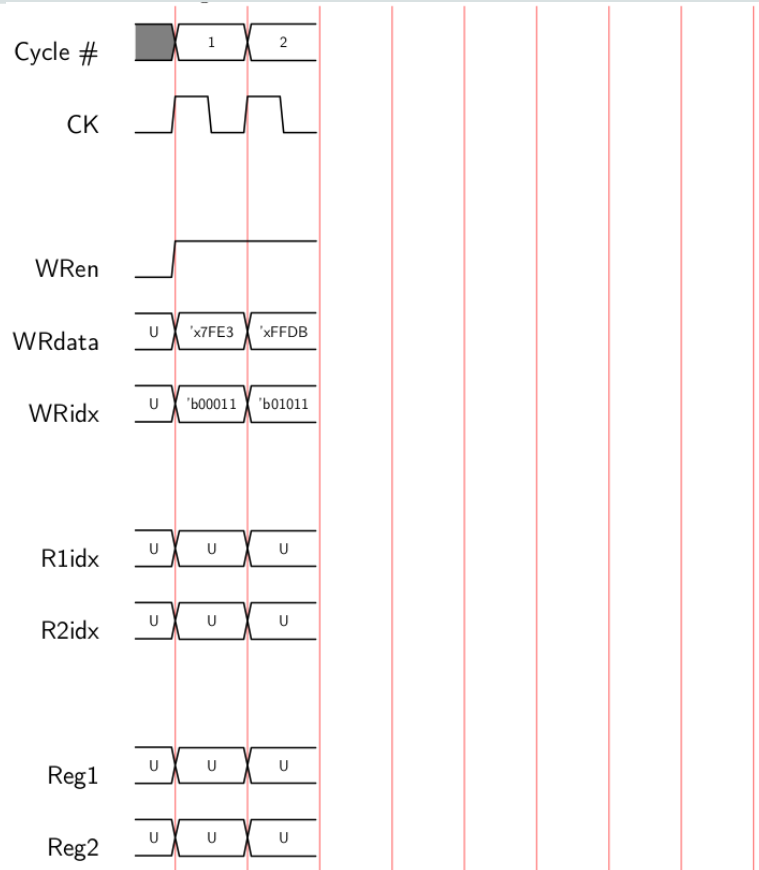
# TDn4: LE BANC DE REGISTRE PROGRAMMABLE

9

## Exercice 2: Chronogramme

32739=0x7FE3

-37=0xFFDB



# TDn4: LE BANC DE REGISTRE PROGRAMMABLE

10

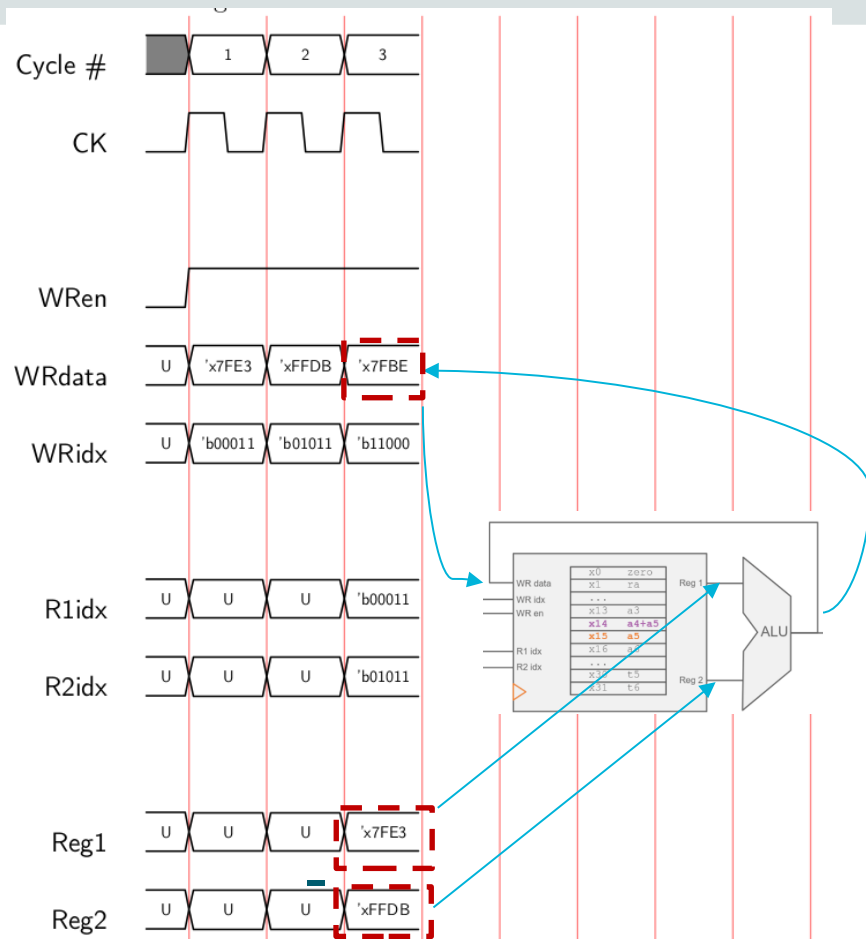
## Exercice 2: Chronogramme

### Sortie ALU:

$$32739 - 37 = 32702$$

En Hex:

$$0x7FE3 - 0xFFDB = 0x7FBE$$



# TDn4: LE BANC DE REGISTRE PROGRAMMABLE

11

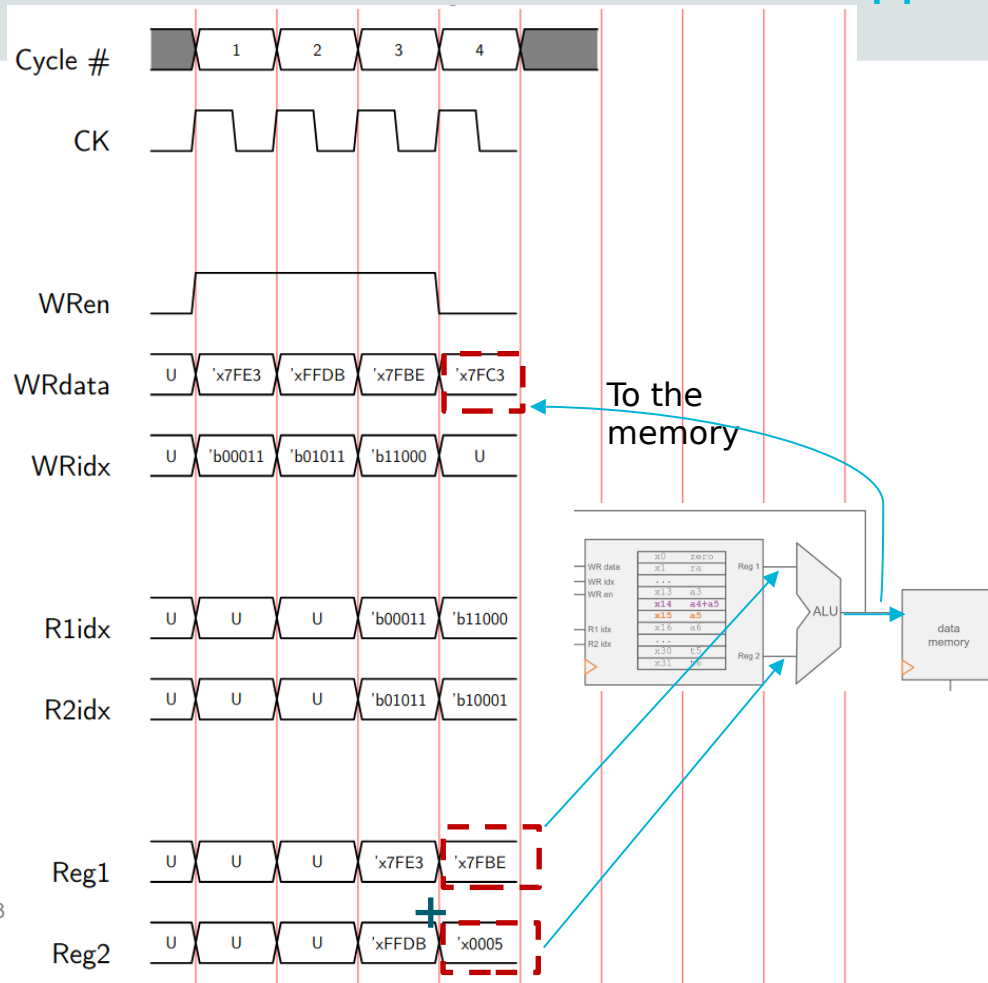
## Exercice 2: Chronogramme

Sortie ALU:

$$32702 + 5 = 32707$$

En Hex:

$$0x7FBE + 0x0005 = 0x7FC3$$



## Exercice 3: Chemin Critique

Le chemin critique du processeur est déterminé par le chemin le plus long que les signaux doivent parcourir à travers les différents composants du processeur entre deux bascules (registres) en un seul cycle d'horloge. **Identifiez-le et proposez une modification possible de l'architecture pour augmenter la fréquence de fonctionnement du processeur.**

**Quels sont les impacts de cette modification sur le fonctionnement du processeur ?**

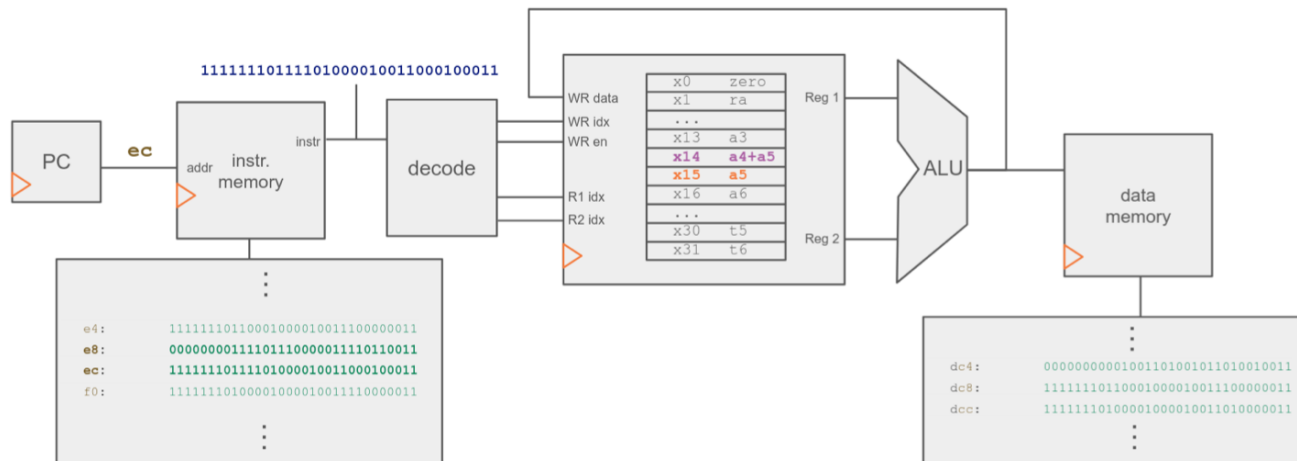


FIGURE 11 – Schéma d'un processeur RISC-V tel que présenté en cours.

# TDn4: LE BANC DE REGISTRE PROGRAMMABLE

13

## Exercice 3: Chemin Critique

