

UE Electrical Engineering, énoncés de TD

DIFFUSION PUBLIQUE (sous licence Creative Commons)

Travaux dirigés d'électronique numérique

Départements MEE et DAPI

Matthieu Arzel, Fabien Claveau, Catherine Douillard, Mathieu Léonardon,
Mathieu Porez

Date d'édition : 12 février 2025

Version : 1.0



IMT Atlantique
Bretagne-Pays de la Loire
École Mines-Télécom

Sommaire

1. TD 1 : logique et arithmétique	4
Exercice 1. L'additionneur binaire	4
Exercice 2. (facultatif) Le comparateur complet	5
2. TD 2 : les bascules	7
Exercice 1. Bascule/ <i>Flip-flop</i> de type D	7
Exercice 2. (facultatif) Le compteur de Johnson	9
3. TD 3 : les compteurs/décompteurs	10
Exercice 1. Décompteur binaire	10
Exercice 2. (facultatif) Une technique pour augmenter la fréquence maximale de fonctionnement d'un circuit séquentiel.	11
Exercice 3. (facultatif) Les aléas de fonctionnement ou comment apprendre les erreurs de conception à ne pas commettre !	12
4. TD 4 : le banc de registres	14
Exercice 1. Architecture d'un banc de registres (40 min)	14
Exercice 2. Chronogramme (20 min)	15
Exercice 3. Chemin critique (15 min)	15

Liste des figures

1.	Schéma bloc d'un processeur RISC-V à un cycle	3
2.	Demi-additionneur binaire	4
3.	Comparateur arithmétique à deux entrées sur n bits.	5
4.	Bascule D (<i>D-Flip-flop</i>) construite avec deux verrous (<i>latches</i>) L1 et L2.	7
5.	Chronogramme à compléter	8
6.	Compteur de Johnson à 3 bascules.	9
7.	Décompteur synchrone à entrées de chargement parallèle.	10
8.	Circuit à analyser : est-il séquentiel ? synchrone ? Comment fonctionne-t-il ?	11
9.	Générateur de séquence pseudo-aléatoire dont la fréquence de fonctionnement maximale peut-être améliorée par la méthode du <i>re-timing</i>	12
10.	Différents montages ne respectant pas les règles de conception de circuits synchrones séquentiels et présentant donc des risques d'aléas de fonctionnement.	13
11.	Schéma d'un processeur RISC-V tel que présenté en cours.	14
12.	Architecture du banc de registres à compléter.	16
13.	Registre de 8 bits avec entrée d'ENABLE qui pilote des multiplexeurs (MUX) à deux entrées. Pour chaque MUX, lorsque EN=0, l'entrée I_0 est connectée à la sortie O, et lorsque EN=1, l'entrée I_1 est connectée à la sortie O.	17
14.	Chronogramme à compléter.	18

Liste des tableaux

1.	Table de vérité du demi-additionneur binaire	4
2.	Temps caractéristiques de différentes portes logiques.	11

Introduction

Dans ces TD, nous allons exploiter le cas d'application d'un processeur de type RISC-V tel que présenté en cours, et dont le schéma bloc est donné en figure 1

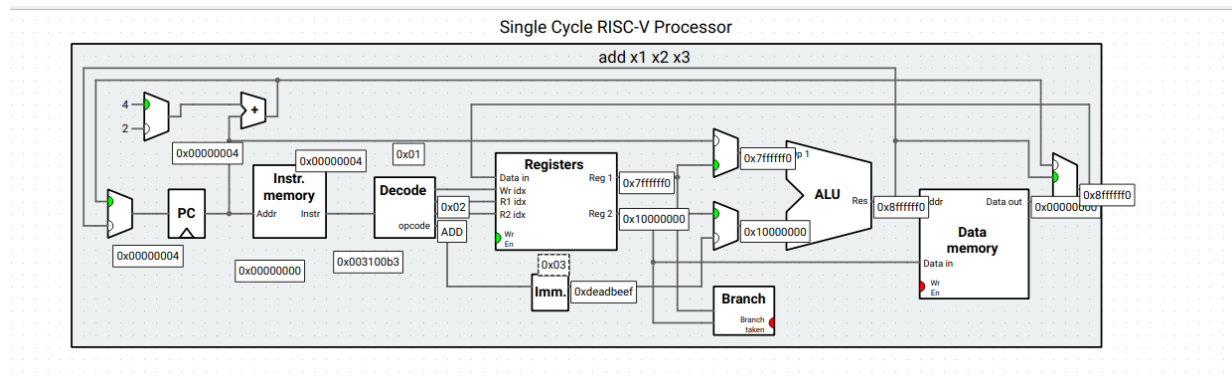


FIGURE 1 – Schéma bloc d'un processeur RISC-V à un cycle

Dans le TD1, nous allons voir comment bâtir des unités arithmétiques (qui calculent sur \mathbb{N} et \mathbb{Z}) à partir d'opérateurs de logique booléenne et une numération adaptée (complément à deux). Ce TD permet de comprendre comment on conçoit une unité arithmétique et logique (ALU).

Dans le TD2, nous analyserons le fonctionnement des verrous (*latches*) et surtout des bascules D (*D-Flip-flops*), briques de base dans la conception de systèmes séquentiels tels que les processeurs.

Dans le TD3, nous verrons comment concevoir des opérateurs séquentiels complexes, tels que les compteurs de programme (PC) d'un processeur, à base de logique combinatoire et de bascules. Nous verrons leurs limites de fonctionnement lorsqu'ils sont intégrés dans les technologies CMOS, les plus communes pour l'électronique actuelle.

Enfin, dans le TD4, nous reviendrons sur tous ces concepts sur un cas d'application, le banc de registres du processeur RISC-V. Cette synthèse vous offrira une révision des précédents TD.

1. TD 1 : de la logique booléenne aux opérateurs arithmétiques, aperçus de logique combinatoire.



Thèmes abordés :

Demi-additionneur - Additionneur complet 1 bit - Additionneur complet n bits - Additionneur/soustracteur - Comparateur complet.

Les notions associées à ce TD sont traitées dans les sections 4 (comparateur) et 5 (additionneur) du chapitre 4, polycopié de cours n° 1.

Exercice 1. L'additionneur binaire

Le demi-additionneur binaire est un circuit qui prend en entrée 2 nombres de 1 bit (A_k et B_k) et génère leur somme (S_k) et une retenue (C_k), selon la table de vérité suivante.

A_k	B_k	S_k	C_k
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

TABLE 1 – Table de vérité du demi-additionneur binaire

Le schéma ci-après représente la structure d'un demi-additionneur binaire.

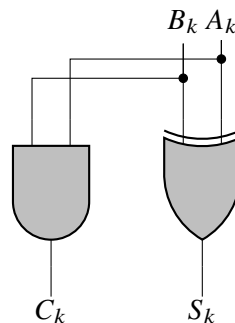


FIGURE 2 – Demi-additionneur binaire

À partir des informations ci-dessus, on souhaite réaliser un additionneur complet qui prenne en compte une retenue (C_{k-1}) générée à partir d'un étage précédent.

Question 1.

Établir la table de vérité donnant la somme S_k et la retenue sortante C_k en fonction de A_k , B_k et C_{k-1} et en déduire les équations logiques.

Question 2.

On souhaite réaliser un additionneur complet à partir de deux demi-additionneurs et d'un bloc combinatoire g. Dessinez le schéma de l'additionneur complet.

Question 3. Additionneur de n bits

En utilisant le module de l'additionneur complet, donnez l'architecture d'un additionneur de n bits capable d'effectuer l'opération $S = A + B$, (+ représente ici l'opérateur d'addition arithmétique), avec $A = (A_{n-1}, \dots, A_k, \dots, A_0)$, $B = (B_{n-1}, \dots, B_k, \dots, B_0)$, et $S = (S_{n-1}, \dots, S_k, \dots, S_0)$. La retenue finale est désignée par C_{n-1} . Le bit en position 0 (à droite) est le bit de poids faible.

Question 4. Additionneur / Soustracteur

On souhaite transformer le montage précédent en un additionneur / soustracteur. On rappelle que dans la représentation en complément à 2, $A - B = A + (\overline{B} + 1)$. Proposer le schéma d'un additionneur / soustracteur capable de manipuler des nombres de 4 bits codés dans le système de représentation du complément à 2. Cet additionneur / soustracteur possèdera une entrée de commande SOUSTRAC qui sera utilisée comme suit :

- SOUSTRAC = 0, fonctionnement en additionneur,
- SOUSTRAC = 1, fonctionnement en soustracteur.

Question 5. (facultative) Débordement de capacité

Le montage précédent ne traite pas les problèmes de débordement de capacité. À partir de la table de vérité proposée en question 1, donner l'équation de fonctionnement d'un bit de sortie OV (overflow) en fonction des retenues C_{n-1} et C_{n-2} . Ce bit OV sera positionné à "1" lorsqu'il y aura débordement de capacité en arithmétique signée.

Exercice 2. (facultatif) Le comparateur complet

On souhaite réaliser un comparateur de deux mots de n bits (figure reffig :comp) $A = (A_n \dots A_i \dots A_1)$ et $B = (B_n \dots B_i \dots B_1)$, où le bit de poids faible est en position 1.

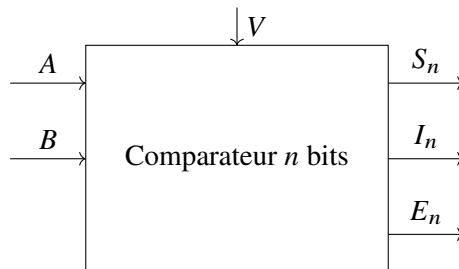


FIGURE 3 – Comparateur arithmétique à deux entrées sur n bits.

Voici le fonctionnement du comparateur :

- Si l'entrée de validation (V) vaut 0, alors les trois sorties (Égal : E_n), (Supérieur : S_n) et (Inférieur : I_n) sont égales à 0.
- Si l'entrée de validation (V) vaut 1, alors :
 - $S_n = 1$ ssi $A > B$
 - $I_n = 1$ ssi $A < B$
 - $E_n = 1$ ssi $A = B$

Question 1.

Dans un premier temps, on souhaite réaliser un comparateur élémentaire de deux mots de 1 bit ($n = 1$). Établir les équations des sorties S_1 , I_1 , et E_1 en fonction des entrées A_1 , B_1 , et V .

Question 2.

Dessiner le schéma de ce comparateur à partir d'opérateurs élémentaires (INV, NAND, AND, NOR, OR à 2, 3 ou 4 entrées).

Question 3.

On souhaite maintenant étendre l'amplitude du comparateur à deux mots de 2 bits. Après avoir établi les équations de S_2 , I_2 , et E_2 en fonction de A_2 , B_2 , A_1 , B_1 , et V , concevoir le schéma de ce comparateur en associant des comparateurs élémentaires et un minimum d'opérateurs (NAND, AND, NOR, OR à 2, 3 ou 4 entrées).

Question 4.

A partir des équations trouvées précédemment, établir les relations de récurrence ci- dessous :

$$S_n = f(S_{n-1}, A_n, B_n, V) \quad (1)$$

$$I_n = g(I_{n-1}, A_n, B_n, V) \quad (2)$$

$$E_n = h(E_{n-1}, A_n, B_n, V) \quad (3)$$

Puis déduire une architecture générique de comparateur à n bits.

2. TD 2 : les bascules, briques essentielles à la logique séquentielle.



Thèmes abordés :

Fonctionnement de la bascule maître-esclave. - Détermination des caractéristiques temporelles des bascules.

Les notions associées à ce TD sont abordées dans les sections 3.4 (bascule D flip-flop) et 5 (compteurs) du chapitre, photocopié de cours n° 2.

Exercice 1. Bascule/Flip-flop de type D

La figure 4 représente une bascule D ou *D flip-flop* constituée par la mise en série de deux verrous ou *latch*.

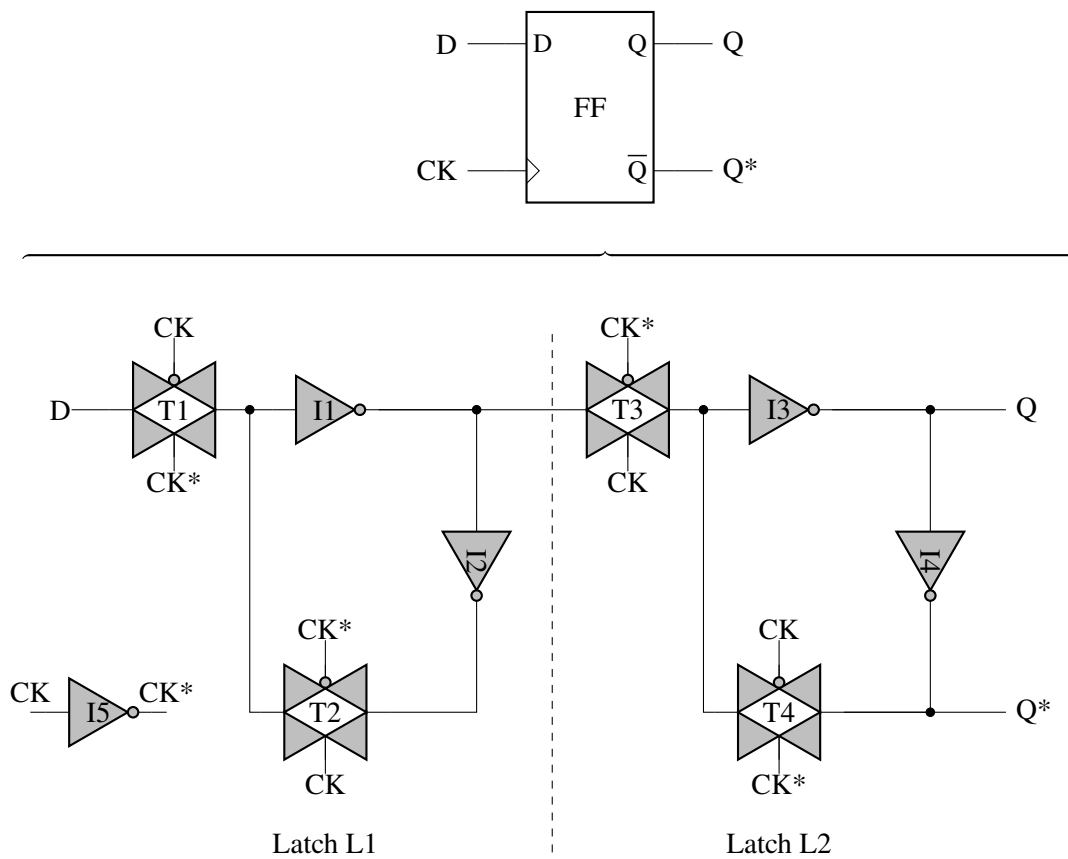


FIGURE 4 – Bascule D (*D-Flip-flop*) construite avec deux verrous (*latches*) L1 et L2.

Question 1.

On suppose que les temps de commutation des inverseurs et interrupteurs constituant la bascule (t_p temps de propagation, t_r temps de montée et t_f temps de descente) sont négligeables devant la période T du signal CK. Compléter les chronogrammes de la figure 14 et établir la table de transition de la bascule.

Question 2.

Déterminer le temps de prépositionnement t_S (tsetup) de la bascule flip-flop : durée minimale de positionnement de la valeur de D avant transition montante de CK.

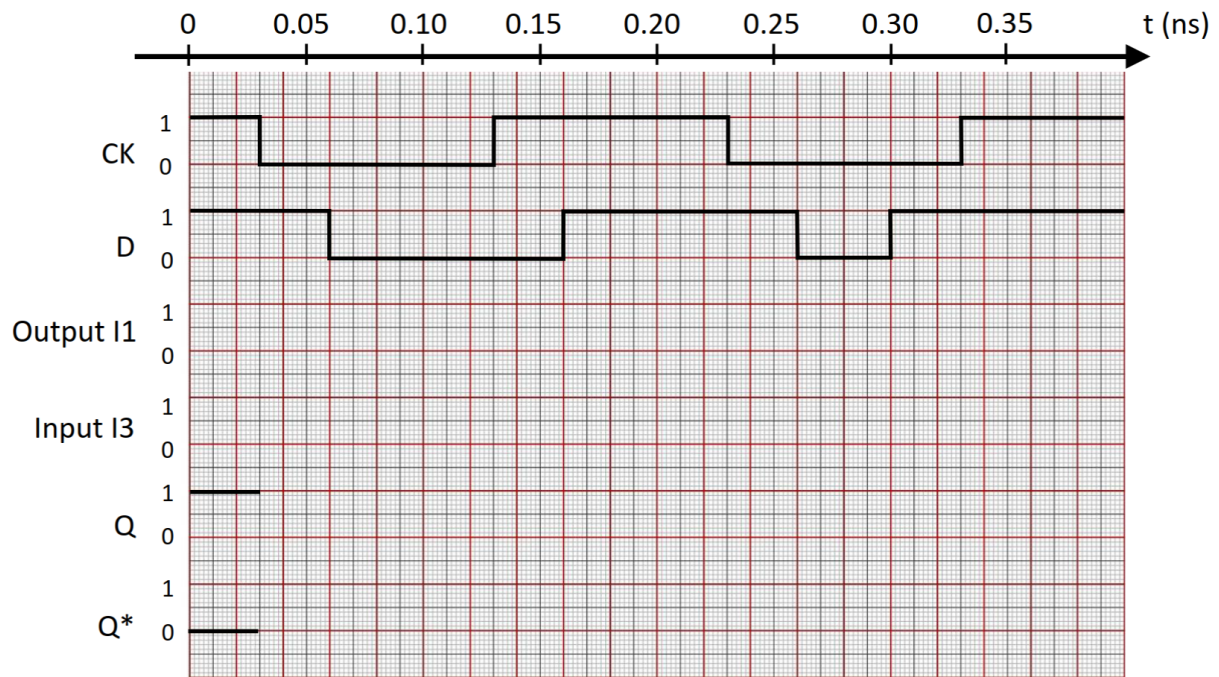


FIGURE 5 – Chronogramme à compléter

Question 3.

Déterminer le temps de maintien t_H (thold) de la bascule flip-flop : durée minimale de maintien de la valeur de D, après transition montante de CK.

Question 4.

Que vaut le temps de propagation de cette bascule (propagation de CK vers Q) ?

Exercice 2. (facultatif) Le compteur de Johnson

Considérons un compteur de Johnson schématisé sur la figure 6.

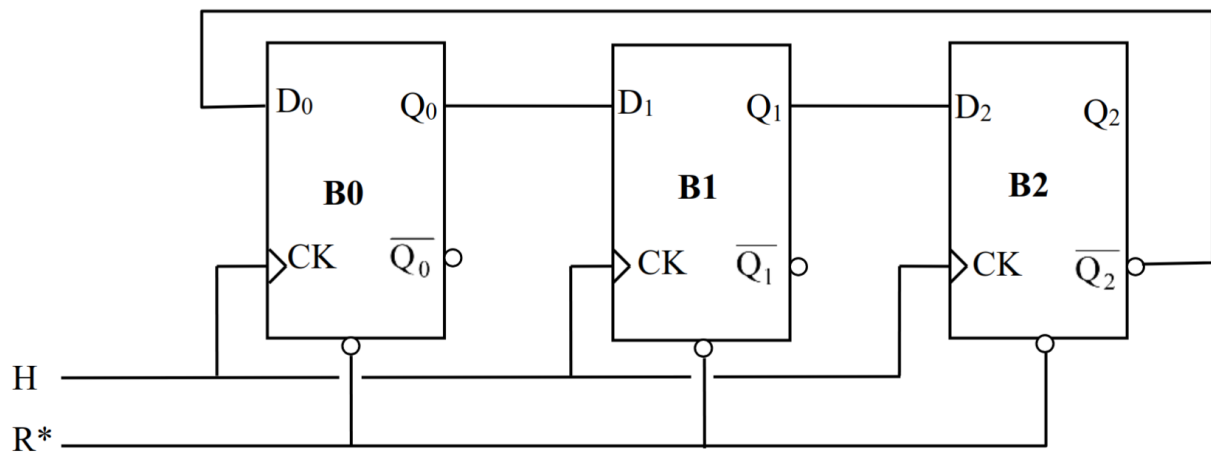


FIGURE 6 – Compteur de Johnson à 3 bascules.

A l'aide d'un chronogramme et en considérant $Q_0 = Q_1 = Q_2 = 0$ à l'instant initial, donner la fonction du montage ci-dessus. Quelle est la particularité du code engendré par les sorties Q_0, Q_1, Q_2 des bascules ?

En remplaçant B1 par $n - 2$ bascules connectées de manière identique, généraliser le résultat de la première question. Que se passe-t-il si l'état initial est $Q_0 = Q_2 = 0$ et $Q_1 = 1$? Comment peut-on modifier ce montage pour retrouver le fonctionnement normal (sans utiliser les entrées prioritaires de remise à zéro ou à un) ?

3. TD 3 : les compteurs/décompteurs, opérateurs séquentiels élémentaires et leurs limites en technologie CMOS.



Thèmes abordés :

Notion de chemin critique. Etude de compteurs (assemblage, synthèse...). Règles d'assemblage séquentiel. Problème d'aléas.

Les notions associées à ce TD sont abordées dans les sections 6.1 (chemin critique et calcul de f_{max}), 5.3 (compteurs) et 6.2 (règles de conception et aléas) du chapitre 5, photocopié de

Exercice 1. Décompteur binaire

On considère le circuit suivant représenté par ses entrées-sorties. C'est un décompteur binaire avec entrées de chargement parallèle statiques et remise à zéro prioritaire (dès qu'elle est activée, elle déclenche la remise à zéro quels que soient les valeurs des autres signaux) asynchrone (indépendante du signal d'horloge). Un schéma possible pour un tel circuit est donné ci-dessous.

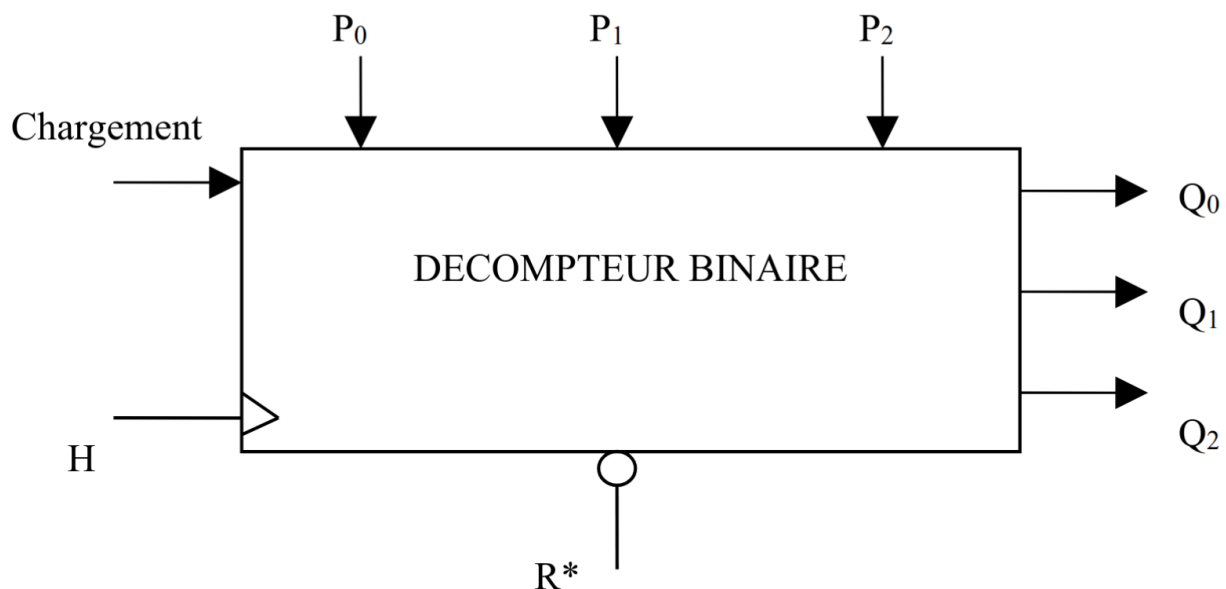


FIGURE 7 – Décompteur synchrone à entrées de chargement parallèle.

Question 1.

Justifier et commenter ce schéma.

Question 2.

Réaliser un décompteur modulo 6 en utilisant les entrées Chargement, P0, P1 et P2. Comment doit être positionnée R* ?

Question 3.

Proposer une modification de ce schéma, incluant une nouvelle entrée statique CE (*chip enable*), autorisant ou inhibant le décomptage ou le chargement parallèle (blocage du compteur dans l'état présent).

Question 4.

Donner un schéma de décompteur modulo 48 synchrone, utilisant cette structure modifiée.

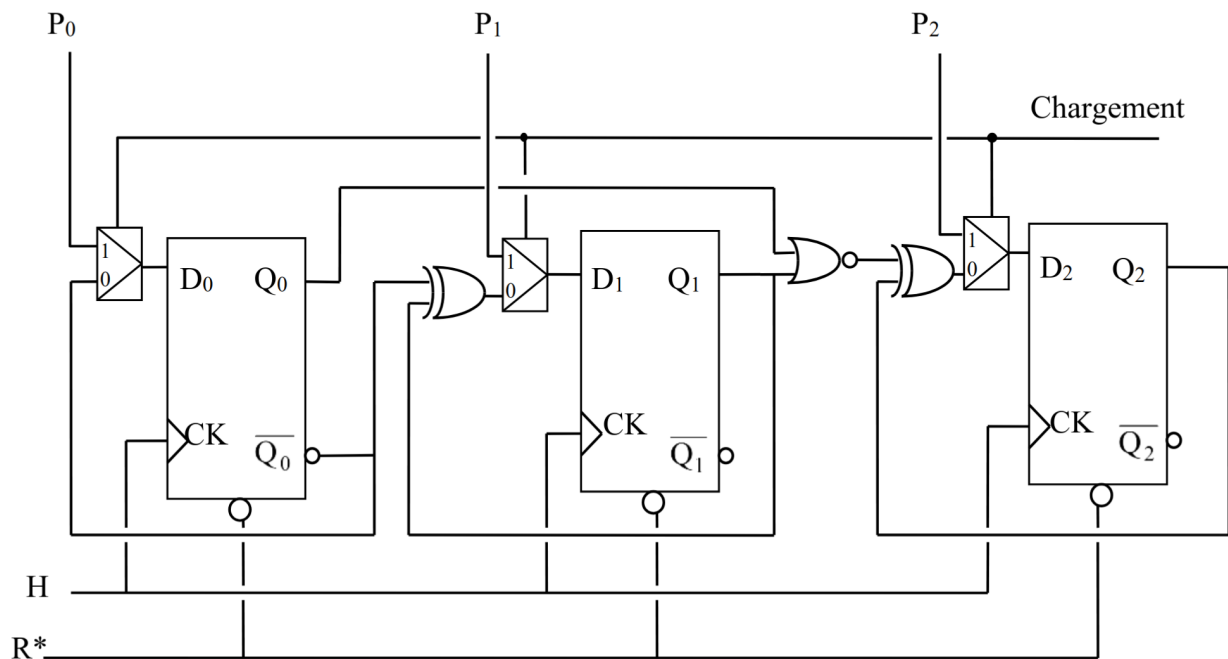


FIGURE 8 – Circuit à analyser : est-il séquentiel ? synchrone ? Comment fonctionne-t-il ?

Question 5.

Compte-tenu des caractéristiques dynamiques fournies pour chaque bascule D flip-flop et pour les opérateurs XOR, NOR et MUX (technologie CMOS 14 nm), déterminer la fréquence maximale d'horloge du décompte de la question 1. Les temps de propagation ci-après sont exprimés en pico-secondes (ps).

Porte	Temps caractéristique	Valeur (ps)
XOR	$t_p \max$	9,6
NOR2	$t_p \max$	8,8
MUX2 :1	$t_p \max$	8,1
D flip-flop	$t_p \max (CK \rightarrow Q)$	13,6
	$t_p \max (CK \rightarrow Q^*)$	15,4
	t_{hold}	0,0
	t_{setup}	4,0

TABLE 2 – Temps caractéristiques de différentes portes logiques.

Exercice 2. (facultatif) Une technique pour augmenter la fréquence maximale de fonctionnement d'un circuit séquentiel.

Le circuit de la figure ci-dessous est un générateur de séquence pseudo-aléatoire. Il est constitué d'un registre à décalage avec rebouclage par 2 XORs (OU exclusifs) de certaines sorties intermédiaires, sur l'entrée du registre. La séquence pseudo-aléatoire est prélevée, après inversion, en S.

Question 1.

Compte-tenu des caractéristiques dynamiques fournies pour chaque bascule et les XOR dans l'exercice précédent (technologie CMOS 14 nm), déterminer la fréquence maximale de l'horloge H et donc le débit maximal de ce générateur. Les temps de propagation sont exprimés en pico- secondes.

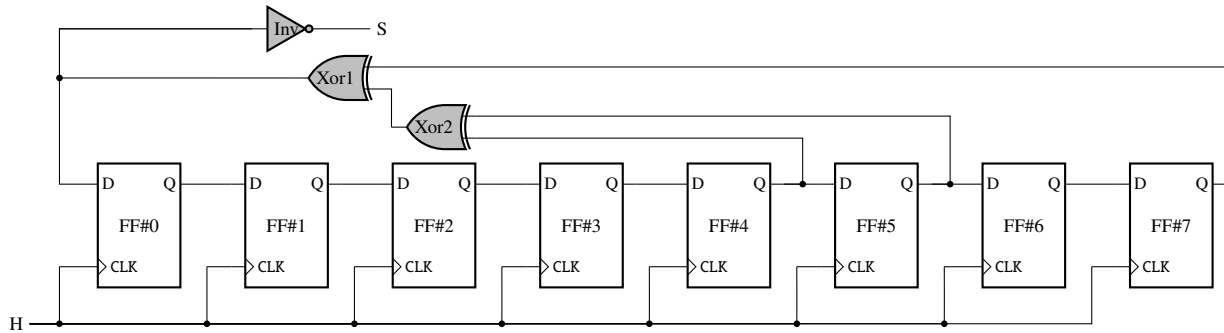


FIGURE 9 – Générateur de séquence pseudo-aléatoire dont la fréquence de fonctionnement maximale peut-être améliorée par la méthode du *re-timing*.

Question 2.

Peut-on, en anticipant le calcul de certains résultats intermédiaires, obtenir un montage fonctionnant avec une fréquence d'horloge supérieure ?



Consultez ce site de l'école de *computer science and engineering* de l'université de Washington : <https://courses.cs.washington.edu/courses/cse467/05wi/pdfs/lectures/13-PipeliningRetiming.pdf>.

Exercice 3. (facultatif) Les aléas de fonctionnement ou comment apprendre les erreurs de conception à ne pas commettre !



Les schémas logiques suivants présentent tous un aléa de fonctionnement, c'est-à-dire que leur comportement n'est pas complètement prévisible. Dans chacun des cas, indiquer ce qu'a voulu faire le concepteur, trouver le problème potentiel et indiquer comment le corriger.

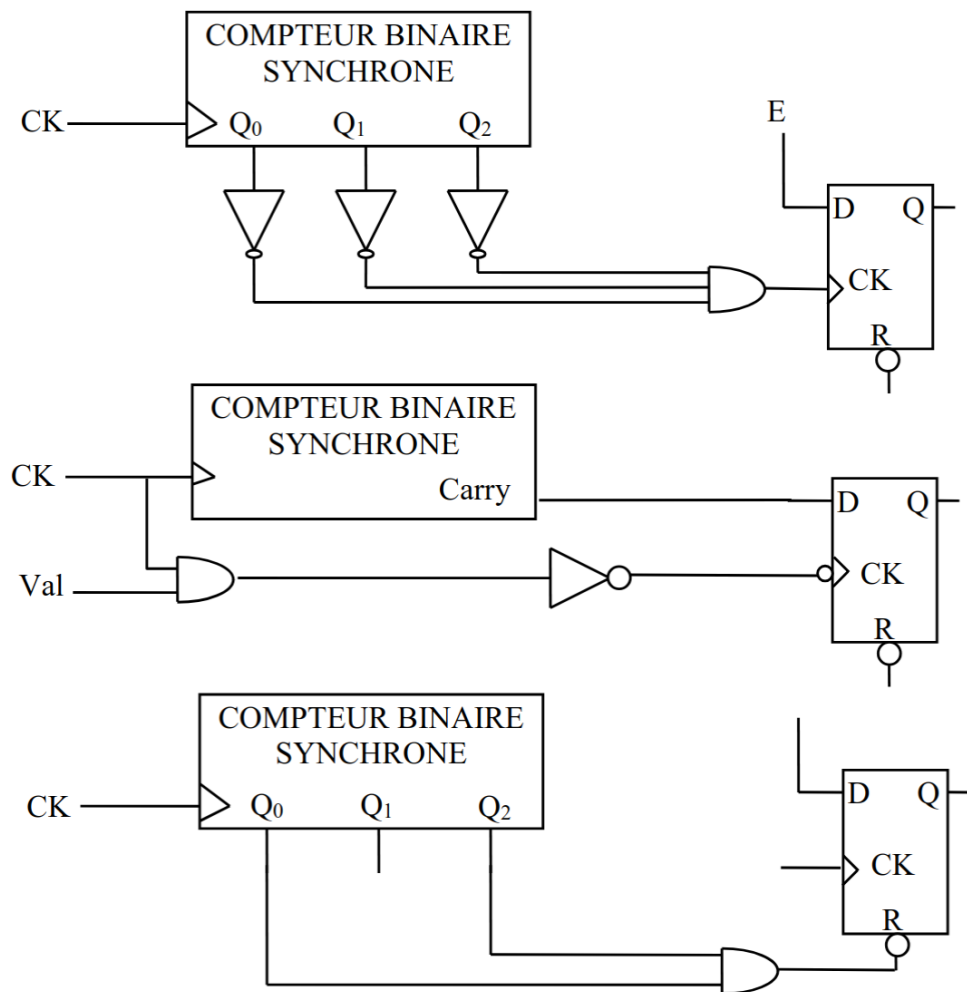


FIGURE 10 – Différents montages ne respectant pas les règles de conception de circuits synchrones séquentiels et présentant donc des risques d'aléas de fonctionnement.

4. TD 4 : le banc de registre programmable, un cas d'application pratique de tous les concepts précédents.



Ce TD est l'occasion de revoir tous les concepts vus précédemment. Revoyez donc les précédents TD avant de débiter celui-ci.

Organisation

Ce TD va se dérouler en travaux de groupes. Vous avez 5 min pour :

- former des groupes de 4,
- déplacer les tables.

Ensuite, nous sélectionnerons un groupe pour présenter leur solution à chacun des exercices à

- T0 + 30 min,
- T0 + 55 min,
- T0 + 70 min.

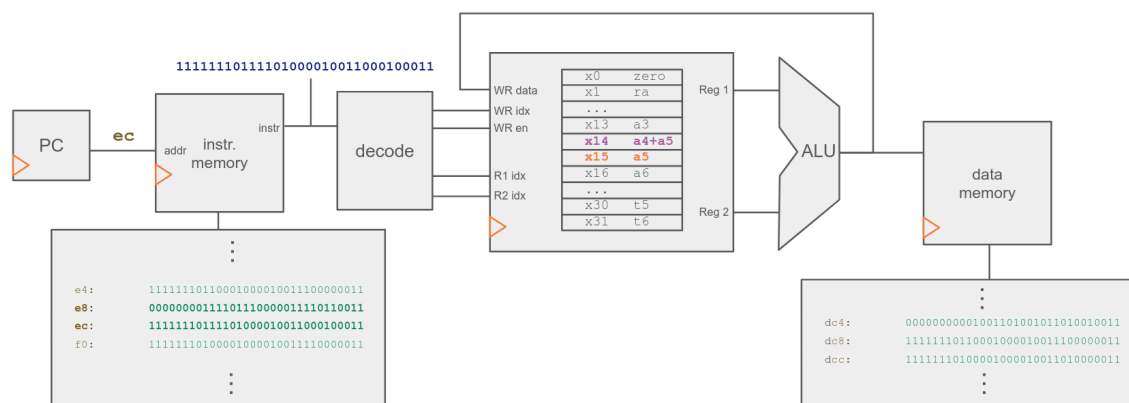


FIGURE 11 – Schéma d'un processeur RISC-V tel que présenté en cours.

Le processeur RISC-V présenté en figure 11 est un exemple de processeur à un cycle, dont un composant essentiel est le banc de registres. Dans notre exemple, il contient 32 registres de 32 bits chacun, accessibles en lecture et en écriture. Les registres sont utilisés pour stocker temporairement les données et les adresses pendant l'exécution des instructions.

Le banc de registre comprend deux ports de lecture et un port d'écriture, permettant ainsi de lire deux registres et d'écrire dans un registre en un seul cycle d'horloge. Par exemple, si l'on veut effectuer la lecture de deux données présentes dans des registres, les additionner et stocker le résultat dans un registre, seul un cycle est nécessaire ici.

Exercice 1. Architecture d'un banc de registres (40 min)

Pour simplifier la représentation, nous allons considérer un banc de 4 registres sur 8 bits que nous souhaitons concevoir en complétant la figure 12. Pour cela, nous avons besoin de 4 registres de 8 bits chacun, avec des entrées d'ENABLE tels que représenté en figure 13, des multiplexeurs pour les ports de lecture et un décodeur pour le port d'écriture. Nous conservons les mêmes notations pour les ports d'entrée et de sortie :

Entrées

- WRdata** port de donnée à écrire en registre,
WRidx adresse du registre destination pour la donnée à écrire,
WRen autorisation d'écriture (active à 1),
R1idx adresse du registre dont le contenu doit être présenté sur la sortie Reg1,
R2idx adresse du registre dont le contenu doit être présenté sur la sortie Reg2,

Sorties

Reg1 donnée contenue dans le registre à l'adresse fournie sur R1idx, en accès immédiat (aux temps de propagation près, sans délai d'un ou plusieurs cycles d'horloge),

Reg2 donnée contenue dans le registre à l'adresse fournie sur R2idx, en accès immédiat (idem).

Proposez une architecture pour ce banc simplifié, en la décrivant au niveau des portes combinatoires et séquentielles.

Exercice 2. Chronogramme (20 min)

Nous supposons la séquence suivante d'opérations par le processeur :

- on récupère deux opérandes déjà disponibles en mémoire que nous stockons dans les registres 3 puis 11 (valeurs arbitraires : 32739= 'x801D puis -37),
- on effectue une addition de ces deux données disponibles dans les registres 3 et 11 (il faut les lire sur les ports de sortie du banc de registre),
- on écrit le résultat de l'addition dans le registre 24 (est-ce simultanément de la lecture des deux registres ?),
- on accumule le résultat avec le contenu du registre 17 (valeur arbitraire de +5) et on fournit le résultat à la mémoire de données sans écriture en registre.

Complétez le chronogramme des entrées-sorties du banc de registres pour réaliser cette séquence.

Exercice 3. Chemin critique (15 min)

Le chemin critique du processeur est déterminé par le chemin le plus long que les signaux doivent parcourir à travers les différents composants du processeur entre deux bascules (registres) en un seul cycle d'horloge. **Identifiez-le et proposez une modification possible de l'architecture pour augmenter la fréquence de fonctionnement du processeur.**

Quels sont les impacts de cette modification sur le fonctionnement du processeur ?

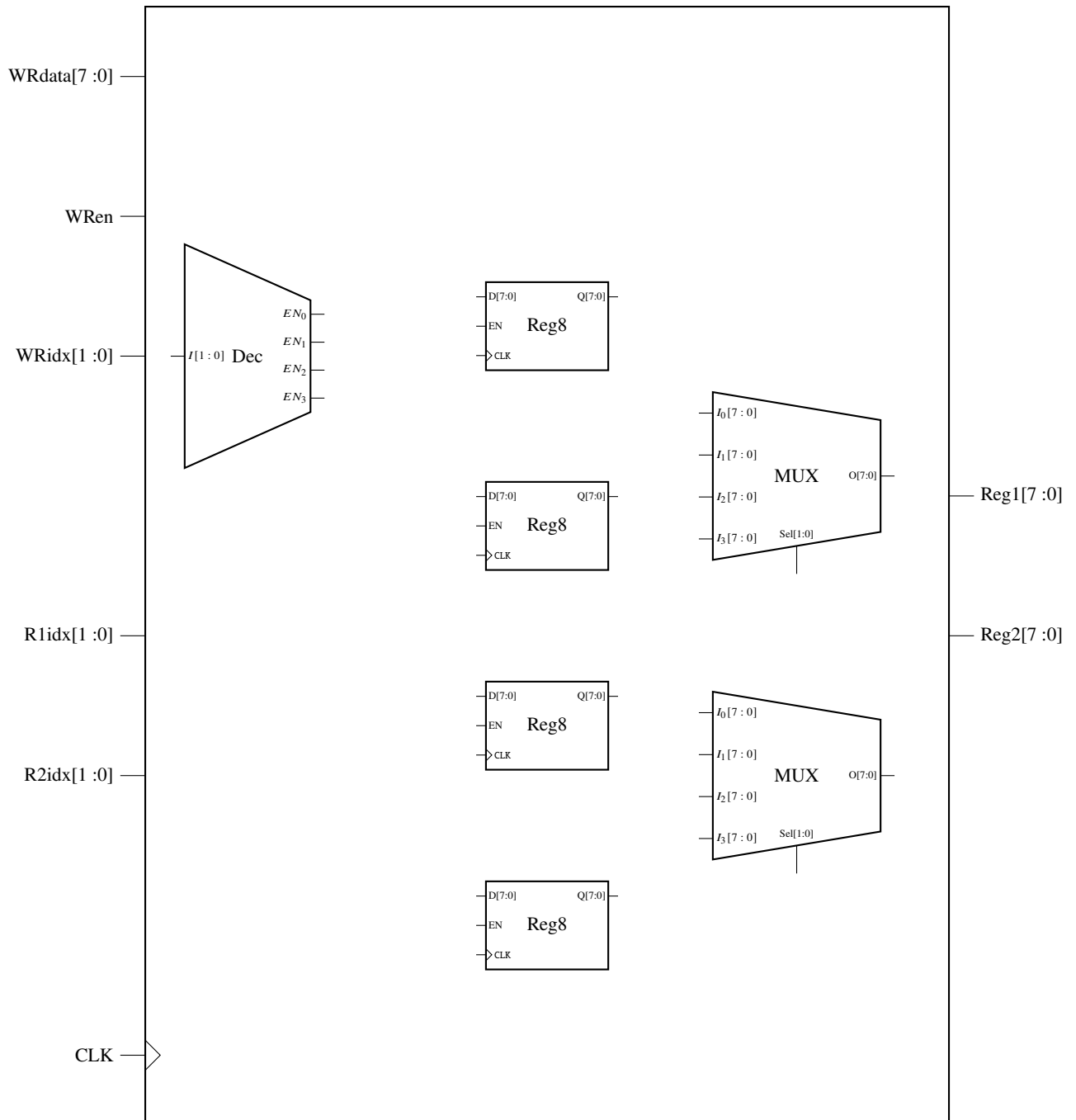


FIGURE 12 – Architecture du banc de registres à compléter.

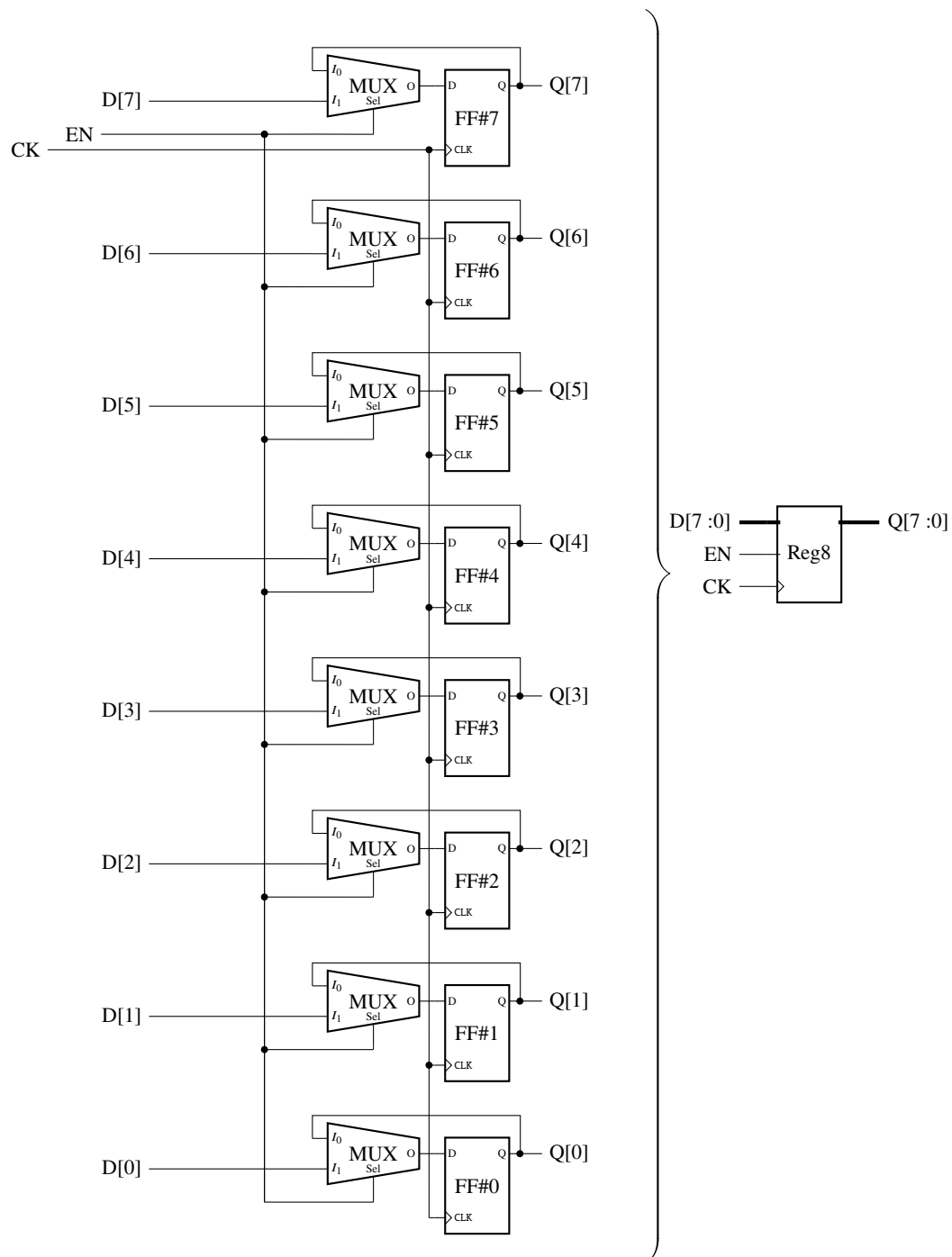


FIGURE 13 – Registre de 8 bits avec entrée d'ENABLE qui pilote des multiplexeurs (MUX) à deux entrées. Pour chaque MUX, lorsque EN=0, l'entrée I_0 est connectée à la sortie O, et lorsque EN=1, l'entrée I_1 est connectée à la sortie O.

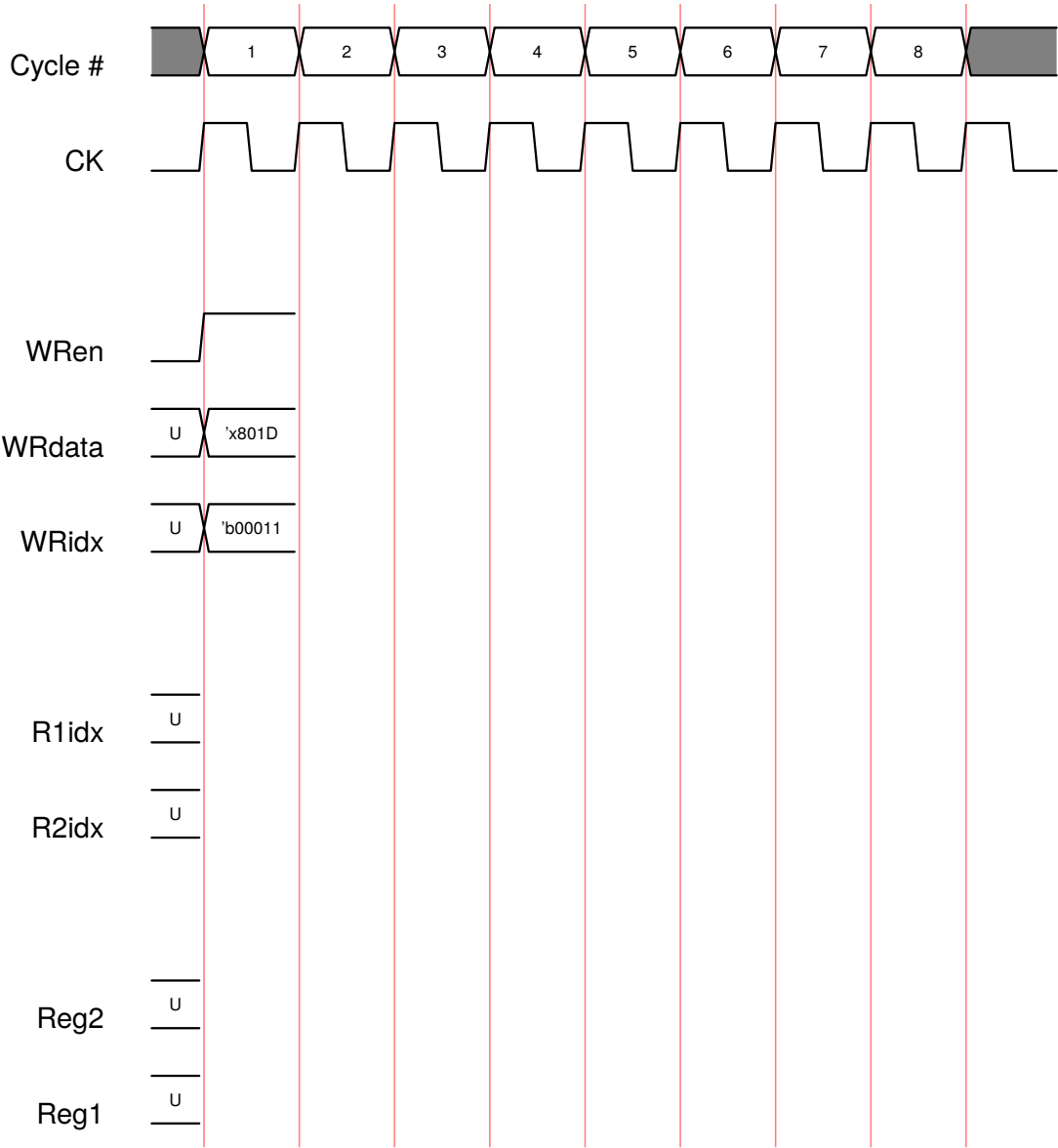


FIGURE 14 – Chronogramme à compléter.

3 CAMPUS



Campus de Brest
Technopôle Brest-Iroise
CS 83818
29238 Brest Cedex 3
France
T +33 (0)2 29 00 11 11
F +33 (0)2 29 00 10 00

Campus de Nantes
4, rue Alfred Kastler
CS 20722
44307 Nantes Cedex 3
France
T +33 (0)2 51 85 81 00
F +33 (0)2 99 12 70 08

Campus de Rennes
2, rue de la Châtaigneraie
CS 17607
35576 Cesson Sévigné Cedex
France
T +33 (0)2 99 12 70 00
F +33 (0)2 51 85 81 99



IMT Atlantique
Bretagne-Pays de la Loire
École Mines-Télécom

This work is licensed under CC BY-NC-SA 4.0. To view a copy of this license, visit <https://creativecommons.org/licenses/by-nc-sa/4.0/>