

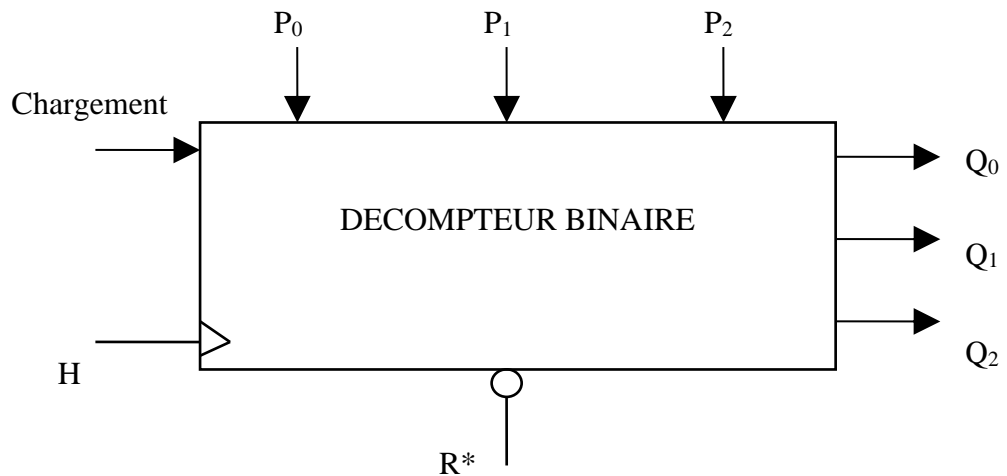
Corrigé TD3

Thèmes abordés

Notion de chemin critique. Etude de compteurs (assemblage, synthèse...). Règles d'assemblage séquentiel. Problème d'aléas.

EXERCICE 1

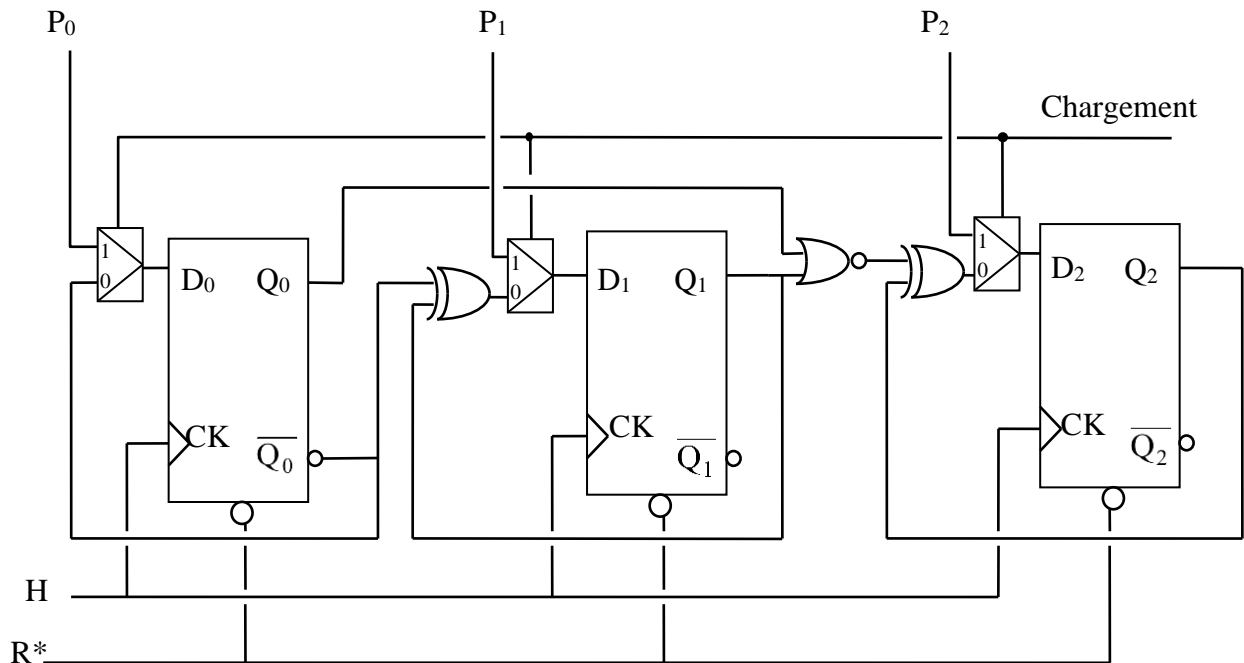
On considère le circuit suivant représenté par ses entrées-sorties. C'est un décompteur binaire avec entrées de chargement parallèle statiques et remise à zéro prioritaire asynchrone.



Un schéma possible pour un tel circuit est donné ci-dessous.

Question 1

Justifier et commenter ce schéma.



Le chargement parallèle se fait par les multiplexeurs commandés par 'Chargement'. Quand ce signal est inactif (Chargement = 0), les fonctions logiques présentes sur les entrées D des bascules réalisent la fonction de décomptage binaire.

$$D_0 = \overline{Q_0} \quad ; \quad D_1 = Q_1 \oplus \overline{Q_0} \quad ;$$

$$D_2 = Q_2 \oplus \overline{Q_1} \cdot \overline{Q_0}$$

On rappelle que les équations générales d'un décompteur binaire sont de la forme :

$$D_0 = \overline{Q_0} \quad \text{et}$$

$$R_n = \overline{Q_{n-1}} \cdot \overline{Q_{n-2}} \cdot \overline{Q_{n-3}} \cdot \overline{Q_{n-4}} \cdot \overline{Q_{n-5}} \cdot \overline{Q_{n-6}} \cdot \overline{Q_{n-7}} \cdot \overline{Q_{n-8}} \cdot \overline{Q_{n-9}} \cdot \overline{Q_{n-10}} \cdot \overline{Q_{n-11}} \cdot \overline{Q_{n-12}} \cdot \overline{Q_{n-13}} \cdot \overline{Q_{n-14}} \cdot \overline{Q_{n-15}}$$

pour $n > 0$

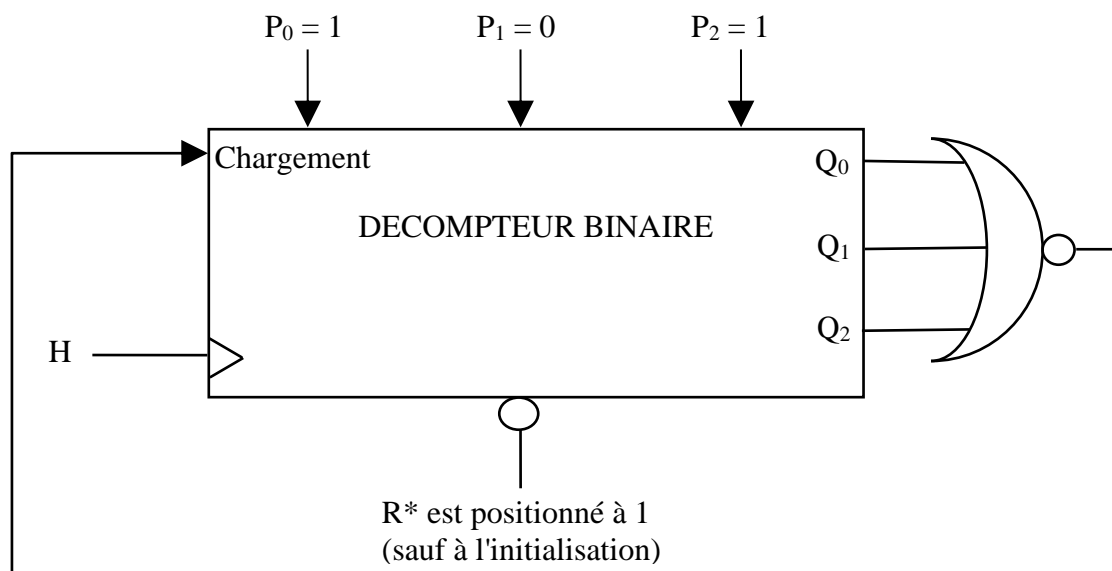
$$D_n = Q_n^+ = Q_n \oplus R_n$$

Le 'R*' est appliqué sur les entrées prioritaires de remise à zéro des bascules.

Question 2

Réaliser un décompteur modulo 6 en utilisant les entrées Chargement, P0, P1 et P2. Comment doit être positionnée R*?

Comme solution, il faut concevoir le circuit logique synchrone qui détecte l'état « 0 » et qui agit sur les entrées « chargement » pour mettre le décompteur dans l'état 5 ou « 101 » en binaire. Pour illustrer cet aspect, on pourrait établir un chronogramme.

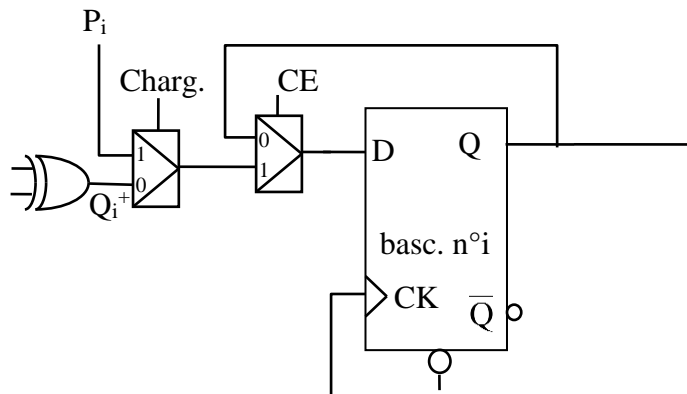


Ce décompteur passe par les états "5", "4", "3", "2", "1" et "0". Les éventuelles impulsions parasites en sortie du NOR ne sont pas prises en compte car elles apparaissent après les fronts d'horloge de H.

Question 3

Proposer une modification de ce schéma, incluant une nouvelle entrée statique CE (chip enable), autorisant ou inhibant le décomptage ou le chargement parallèle (blocage du compteur dans l'état présent).

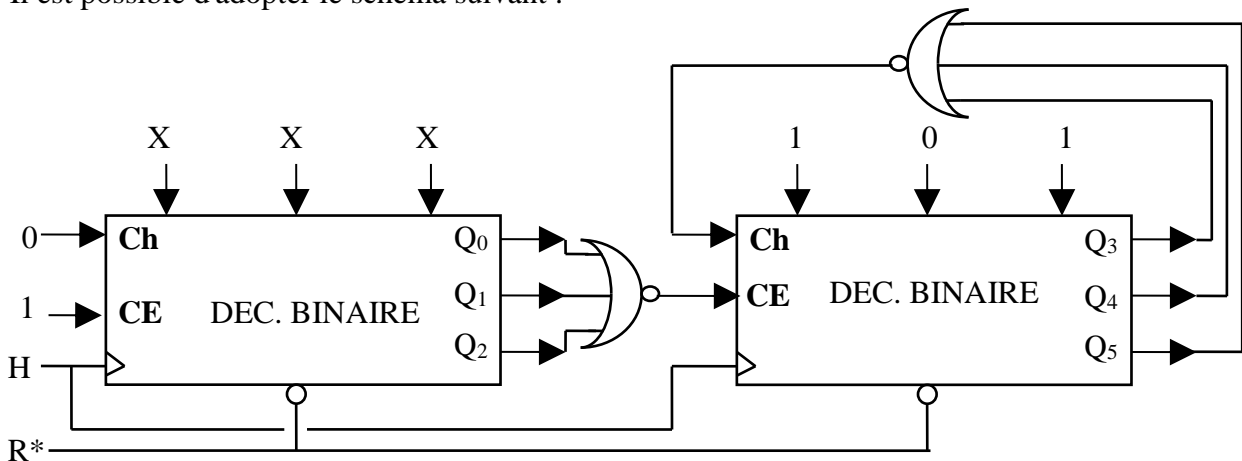
Le blocage du compteur dans l'état présent peut être obtenu par rebouclage de chaque bascule sur elle même (CE=0). Pour CE=1, le décompteur doit fonctionner comme précédemment. On peut donc insérer entre le multiplexeur de chargement et l'entrée D de chaque bascule un multiplexeur commandé par CE :



Question 4

Donner un schéma de décompteur modulo 48 synchrone, utilisant cette structure modifiée.

Il est possible d'adopter le schéma suivant :



Pour illustrer la solution, on peut établir (au moins partiellement) la table de vérité pour le décompteur modulo 48 qui montrera que Q_5 , Q_4 et Q_3 correspondent aux bits en sortie du décompteur modulo 6 avec CE précédemment établi et que Q_2 , Q_1 et Q_0 correspondent aux sorties d'un décompteur modulo 8 à cycle complet.

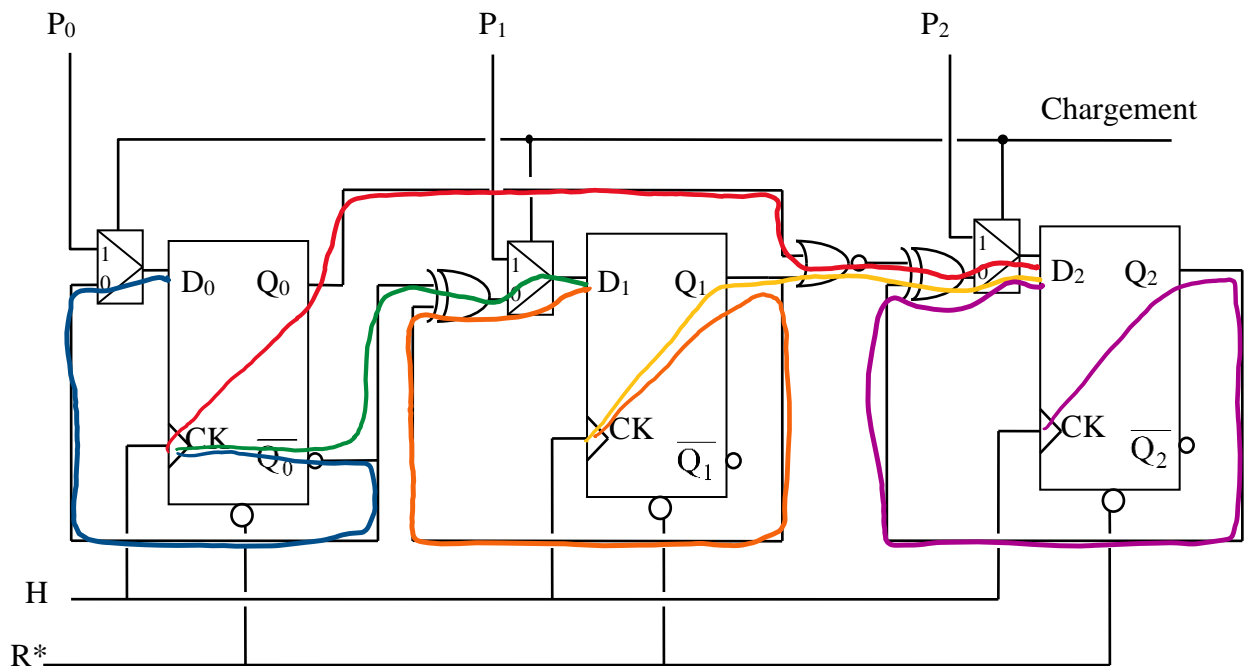
Le premier décompteur divise par 8 la fréquence de H, et décrémente le second (câblé en diviseur par 6) chaque fois qu'il se trouve à l'instant "0".

Question 5

Compte-tenu des caractéristiques dynamiques fournies pour chaque bascule D flip-flop et pour les opérateurs XOR, NOR et MUX (technologie CMOS 14 nm), déterminer la fréquence maximale d'horloge du décompteur de la question 1. Les temps de propagation ci-après sont exprimés en pico-secondes.

Montrer le diaporama sur la notion de chemin critique et le calcul de fmax.

Etape 1 : identifier les chemins de propagation internes du circuit. Il y en a 6 (voir ci-dessous).



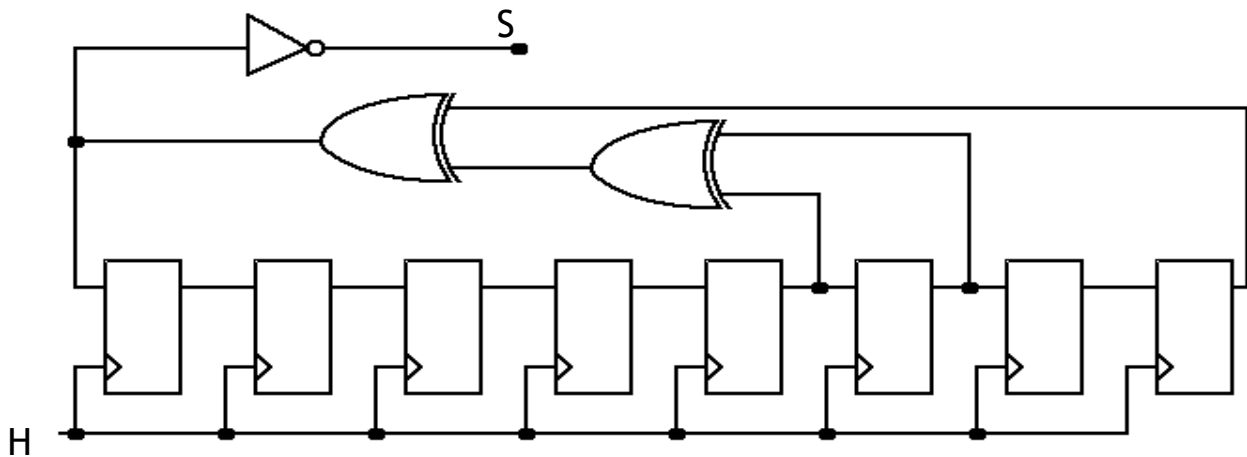
Etape 2 : trouver le chemin le plus long (le chemin critique). En tenant compte des caractéristiques temporelles données par le tableau, il y a deux chemins équivalents : les chemins rouge et jaune.

Temps de propagation maximal de ces chemins :

$$T_{\max} = t_{p \max}(\text{CK} \rightarrow \text{Q})_{\text{basc 0 ou 1}} + t_{p \max}(\text{NOR2}) + t_{p \max}(\text{XOR}) + t_{p \max}(\text{MUX2:1}) = 13.6 + 9.6 + 8.8 + 8.1 = 40.1 \text{ ps}$$

$$f_{\max} = 1 / (T_{\max} + t_{\text{setup}}(\text{basc D2})) = 1 / 44.1 \text{ ps} \sim 22.7 \text{ GHz}$$

EXERCICE 2 (FACULTATIF PERSO)



Le circuit de la figure ci-dessus est un générateur de séquence pseudo-aléatoire. Il est constitué d'un registre à décalage avec rebouclage par 2 XORs (OU exclusifs) de certaines sorties intermédiaires, sur l'entrée du registre. La séquence pseudo-aléatoire est prélevée, après inversion en S.

Question 1

Compte-tenu des caractéristiques dynamiques fournies pour chaque bascule et les XOR (technologie CMOS 14 nm), déterminer le débit maximal (fréquence maximale de l'horloge H) de ce générateur. Les temps de commutation sont exprimés en pico-secondes.

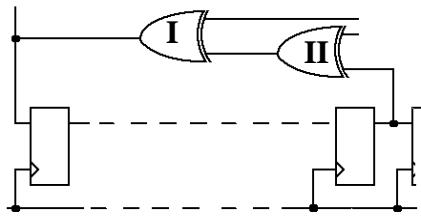
$t_{pLH \max}$	9,4
$t_{pHL \max}$	9,6

XOR

$t_{pLH \max} (CK \rightarrow Q)$	13,0
$t_{pHL \max} (CK \rightarrow Q)$	13,6
t_{hold}	0
t_{setup}	4,0

BASCULE

L'un des (deux) chemins critiques est représenté sur le schéma ci-après.



Temps de propagation maximal total tp_{total}

$$13.6 \text{ bascule} + 9.6 \text{ XOR I} + 9.6 \text{ XOR II} = 32.8 \text{ ps}$$

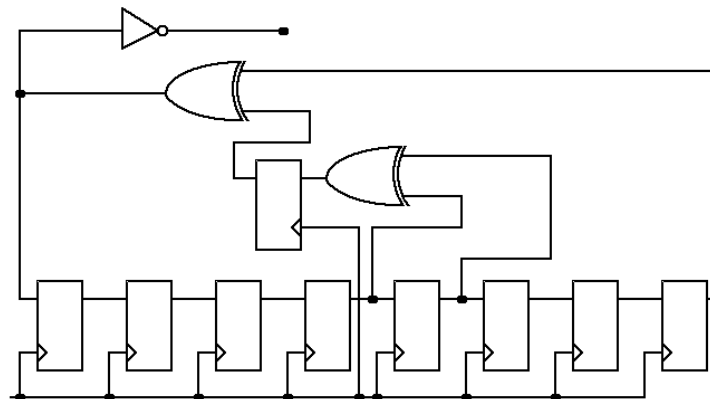
La période minimale d'horloge est alors $tp_{total} + t_{setup}$, c'est-à-dire $32.8 + 4.0 = 36.8 \text{ ps}$

$$\Rightarrow H_{max} \# 27,17 \text{ GHz}$$

Question 2

Peut-on, en anticipant le calcul de certains résultats intermédiaires, obtenir un montage fonctionnant avec une fréquence d'horloge supérieure ?

Pour augmenter la fréquence de fonctionnement maximale, l'idée est de décomposer en deux le calcul lié aux XOR, en mémorisant dans une bascule le résultat en sortie du premier XOR. Cela oblige à changer les "prises" du registre à décalage, afin d'anticiper le calcul.



Le temps de propagation maximal sur le chemin critique vaut alors :

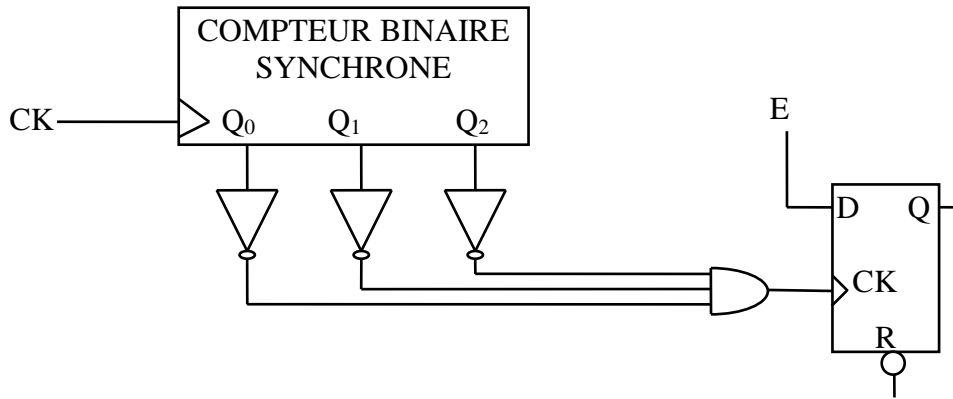
$$tp \text{ (bascule)} + tp \text{ (XOR)} = 13.6 \text{ ps} + 9.6 \text{ ps} = 23.2 \text{ ps}$$

En tenant compte du t_{setup} , il vient $H_{max} = 1/(23.2 + 4.0) \times 10^{-12} \# 36,76 \text{ GHz}$.

EXERCICE 3 (FACULTATIF PERSO)

Les schémas logiques suivants présentent tous un aléa de fonctionnement, c'est-à-dire que leur comportement n'est pas complètement prévisible.

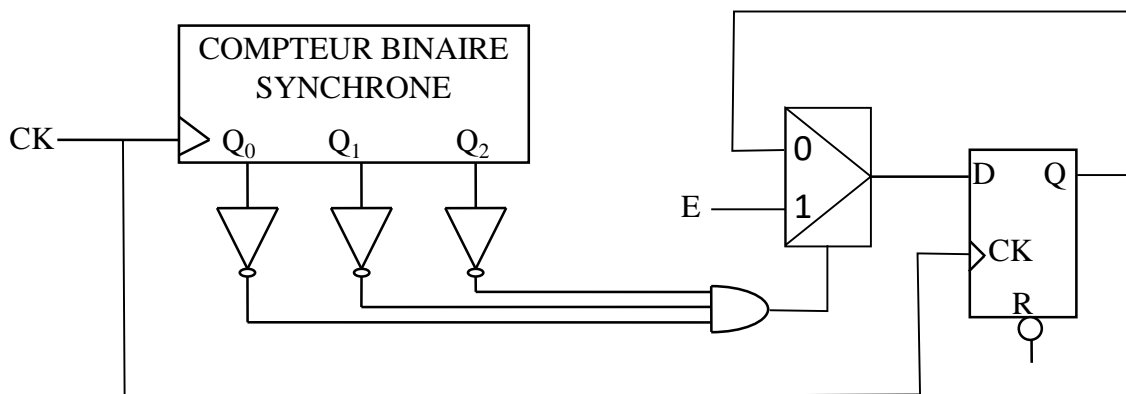
Dans chacun des cas, indiquer ce qu'a voulu faire le concepteur, trouver le problème potentiel et indiquer comment le corriger.

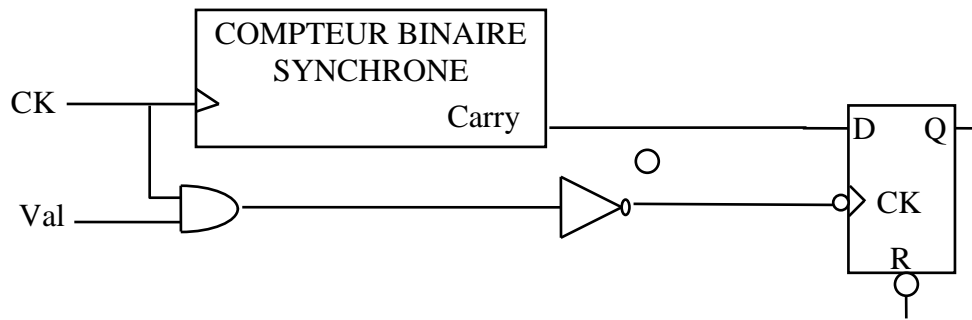


Ce que le concepteur a voulu faire : saisir l'entrée E quand le compteur passe par l'instant "0".

Problème : Il existe toujours des impulsions parasites lorsqu'on décode un état de compteur ==> si elles sont prises en compte par la bascule, E peut être validée à un moment non prévu.

Solution : Insérer devant l'entrée de la bascule un multiplexeur commandé par le signal $S = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2}$ (détection de l'état "0") qui applique E ou Q sur l'entrée D de la flip-flop suivant que $S = 1$ ou 0. Ainsi, la prise en compte de E est réalisée de manière totalement synchrone.

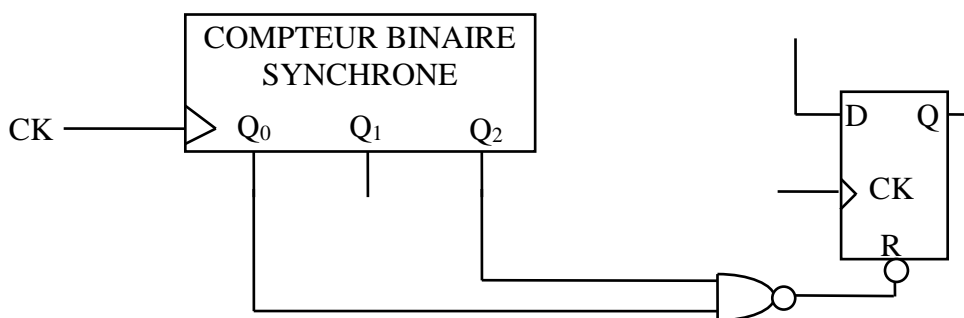
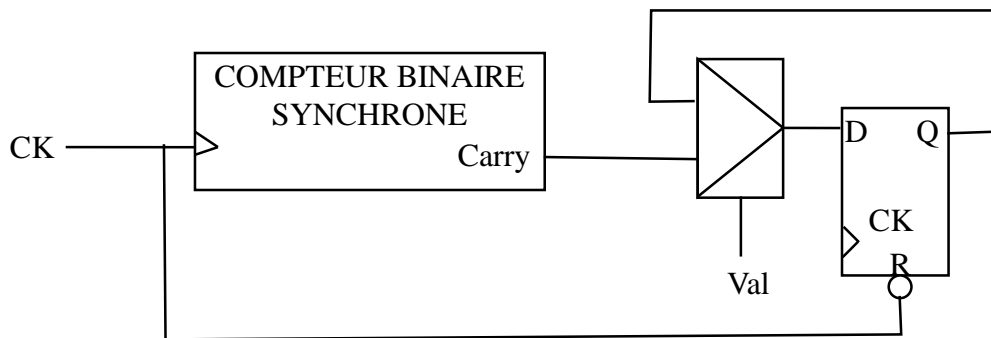




Ce que le concepteur a voulu faire : la sortie Carry (décodage du moment $N - 1$ d'un compteur modulo N) du compteur est mémorisée sur front montant de CK et lorsque l'entrée Val est à 1 ("filtrage" de CK par Val).

Problème : Carry est retardée par rapport au front montant de CK de même que le signal d'horloge de la bascule ==> 1) on ne sait pas si le changement d'état de Carry a lieu avant ou après le front actif du signal d'horloge de la bascule (cela dépend si le temps de propagation du compteur est supérieur ou inférieur à $t_p(\text{AND}) + t_p(\text{INV})$) ==> on ne sait pas exactement à quel cycle d'horloge Carry est mémorisé par la bascule et 2) possibilité de non respect du t_{hold} ou du t_{setup} de la bascule ==> problème potentiel de mémorisation.

Solution : Reporter la validation sur l'entrée D de la bascule et utiliser la même signal d'horloge pour le compteur et la bascule.



Ce que le concepteur a voulu faire : remettre la bascule à zéro lorsque $Q_0 = Q_2 = 1$.

Problème : Même problème que pour le premier montage : impulsions parasites sur une entrée prioritaire.

Solution : reporter la remise à zéro sur l'entrée D par le biais d'un multiplexeur.