IMT Atlantique
Bretagne-Pays de la Loire
École Mines-Télécom

Corrigé TD1

Thèmes abordés

Demi-additionneur - Additionneur complet 1 bit - Additionneur complet *n* bits - Additionneur/soustracteur. Le comparateur complet.

EXERCICE 1 : L'additionneur binaire

Question 1

Etablir la table de vérité donnant la somme S_k et la retenue sortante C_k en fonction de A_k, B_k et C_{k-1}.

Ck-1	Ak	Bk	Sk	Ck
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Equation de Sk

$$S_k = C_{k-1} \oplus A_k \oplus B_k$$

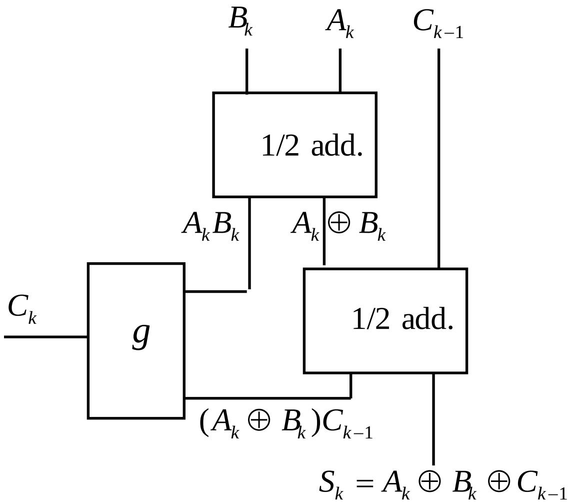
Equation de Ck

On peut remarquer que :

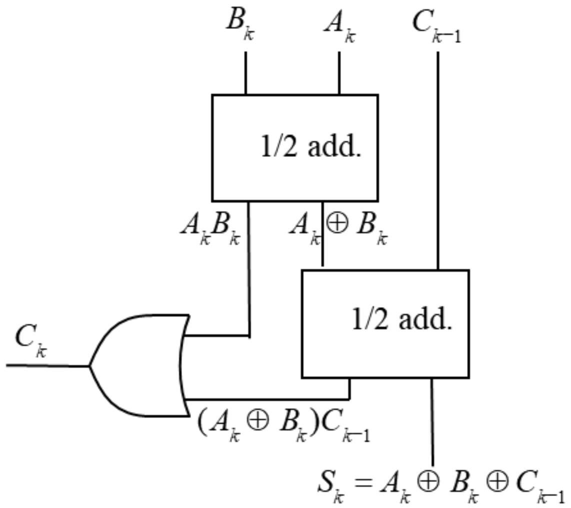
$$C_k = \overline{C_{k-1}} A_k B_k + C_{k-1}(\overline{A_k} B_k + A_k \overline{B_k} + A_k B_k)$$
$$C_k = A_k B_k (\overline{C_{k-1}} + C_{k-1}) + C_{k-1}(\overline{A_k} B_k + A_k \overline{B_k})$$
$$C_k = A_k B_k + C_{k-1}(A_k \oplus B_k)$$

Question 2

On souhaite réaliser un additionneur complet à partir de deux demi-additionneurs et d'un bloc combinatoire g. Dessiner le schéma de l'additionneur complet.

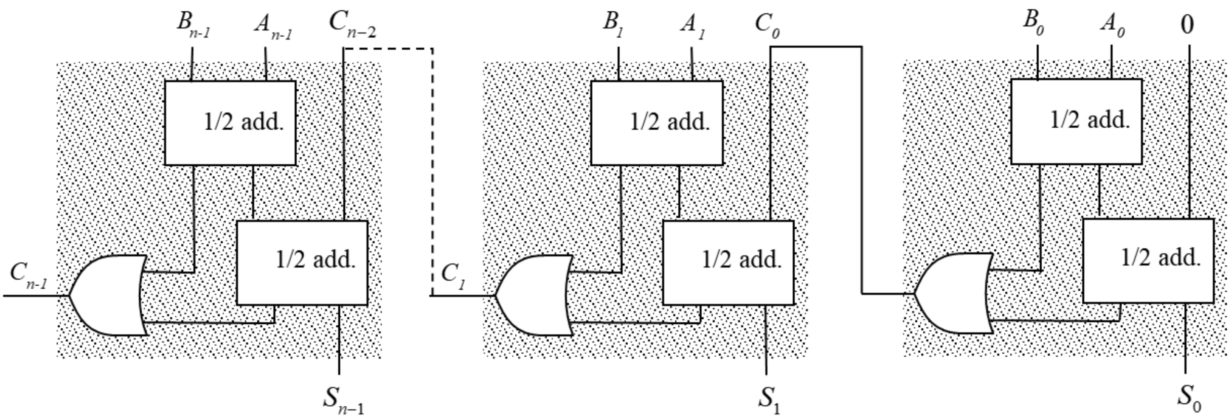


L'identification de l'équation établie en question 2 nous montre que le bloc g peut être une fonction OU.



Question 3

En utilisant le module de l'additionneur complet, donner le synoptique d'un additionneur de n bits capable d'effectuer l'opération S = A + B

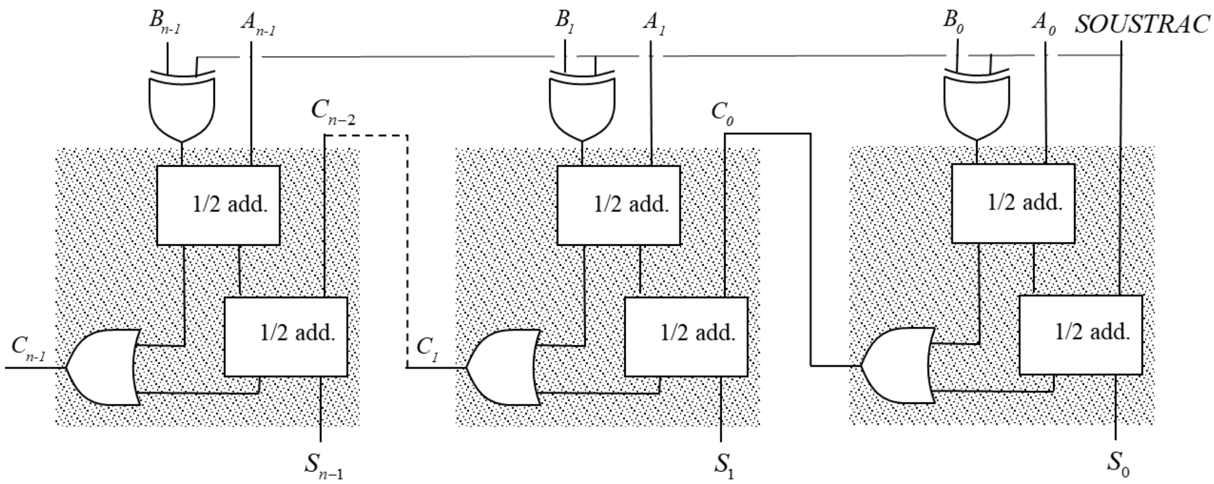


N.B. Le temps de calcul est proportionnel au nombre d'additionneurs élémentaires, à cause de la retenue propagée.

Question 4

On souhaite transformer le montage précédent en un additionneur / soustracteur. On rappelle que dans la représentation en complément à 2, $A - B = A + (-B) = A + \overline{B} + 1$. *Proposer le schéma d' additionneur / soustracteur capable de manipuler des nombres de 4 bits codés dans la méthode du complément à deux.*

Pour effectuer la soustraction *A - B* il faut complémenter chacun des bits formant le nombre *B* à l'aide de portes OUEX, puis rajouter le nombre 1 par l'intermédiaire de l'entrée de retenue.



Question 5 (facultatif)

Le montage précédent ne traite pas les problèmes de débordement de capacité. A partir de la table de vérité proposée en question 1, donner l'équation de fonctionnement d'un bit de sortie (OV) qui sera positionné à "1" lorsqu'il y aura débordement.

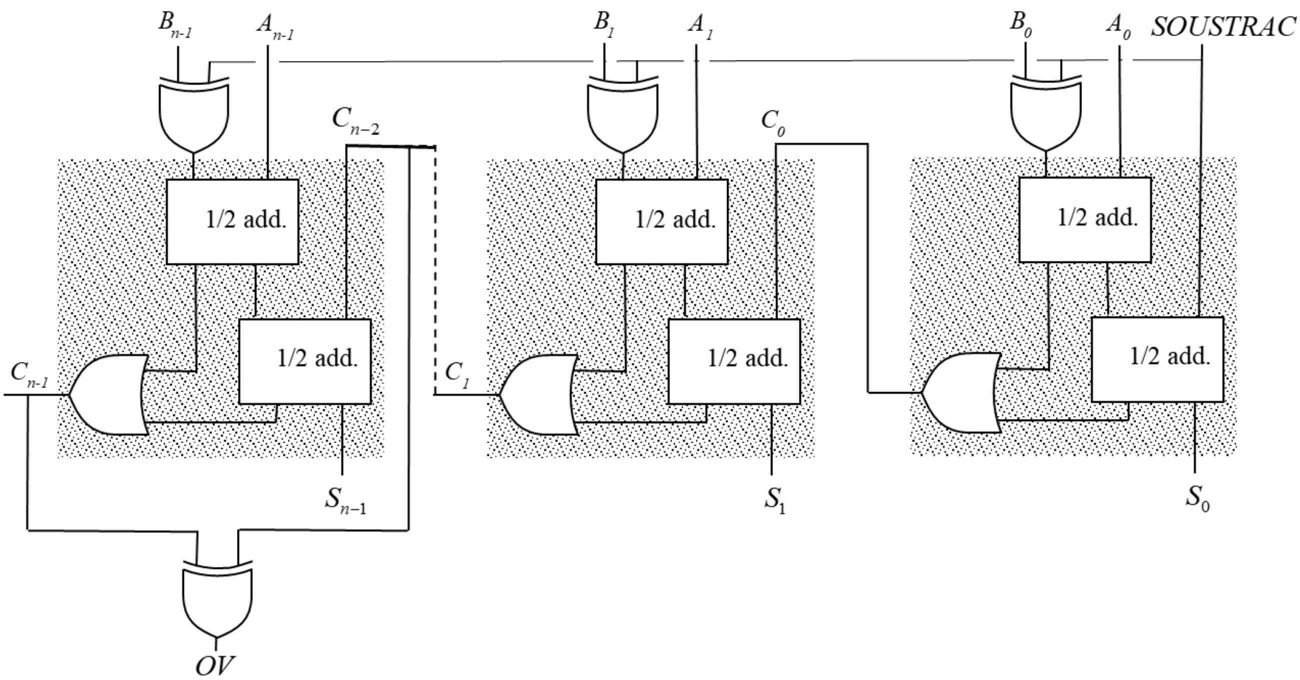
Il y aura débordement de capacité quand les bits de signe des deux opérandes à l'entrée de l'additionneur (c'est-à-dire les bits de poids fort (MSB) dans la représentation en complément à 2) sont égaux entre eux mais différents de celui du résultat *S* $\left(A_{n-1} = B_{n-1} \oplus SOUSTRAC \neq S_{n-1}\right)$.

C_{n-2}	A_{n-1}	$B_{n-1} \oplus SOUSTRAC$	S_{n-1}	C_{n-1}	OV
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	1	0	0
0	1	1	0	1	1
1	0	0	1	0	1
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	1	1	0

Sur cette table nous voyons que pour obtenir ($A_{n-1} = B_{n-1} \oplus SOUSTRAC \neq S_{n-1}$) , il faut que C_{n-2} soit différent de C_{n-1} d'où l'équation de l'indicateur *OV* :

$$OV = C_{n-2} \oplus C_{n-1}$$

d'où le schéma final :



<u>EXERCICE 2</u> (FACULTATIF PERSO): Le comparateur complet

Question 1.1

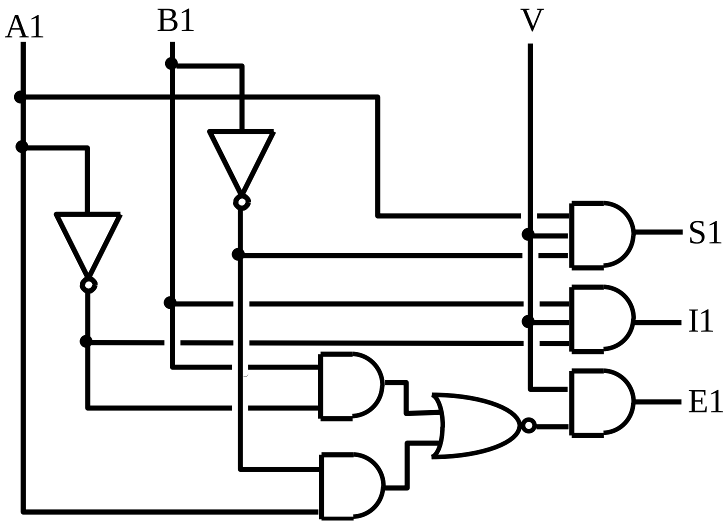
Dans un premier temps, on souhaite réaliser un comparateur élémentaire de deux mots de 1 bit ($n = 1$). Etablir les équations des sorties S_1, I_1, et E_1 en fonction des entrées A_1, B_1, et V.

$$S_1 = V.A_1.\overline{B_1}$$
$$I_1 = V.\overline{A_1}.B_1$$
$$E_1 = V.(A_1.B_1 + \overline{A_1}.\overline{B_1}) = V.(\overline{A_1 \oplus B_1})$$

Question 1.2

Dessiner le schéma de ce comparateur à partir d'opérateurs élémentaires (NAND, AND, NOR, OR à 2, 3 ou 4 entrées).

Un exemple de réalisation :



Question 1.3

On souhaite maintenant étendre l'amplitude du comparateur à deux mots de 2 bits. Après avoir établi les équations de S_2, I_2, et E_2 en fonction des bits A_2, A_1, B_2, B_1, et de l'entrée de validation V, on demande de concevoir le schéma de ce comparateur en associant des comparateurs élémentaires et un minimum de portes (NAND, AND, NOR, OR à 2, 3 ou 4 entrées).

Comparaison de 2 mots de 2 bits : $A > B$ ssi [($A_2 > B_2$) ou ($A_2 = B_2$ et $A_1 > B_1$)]

$$S_2 = V(A_2.\overline{B_2} + A_2 B_2 A_1 \overline{B_1} + \overline{A_2}\,\overline{B_2} A_1 \overline{B_1}) = V(A_2.\overline{B_2} + A_1 \overline{B_1}(\overline{A_2 \oplus B_2}))$$

$$I_2 = V.(\overline{A_2}.B_2 + \overline{A_1} B_1 (\overline{A_2 \oplus B_2}))$$

$$E_2 = V.(\overline{A_2 \oplus B_2})(\overline{A_1 \oplus B_1})$$

<u>Remarque</u> : on pourrait dresser la table de vérité et les tableaux de Karnaugh ; on obtiendrait alors :

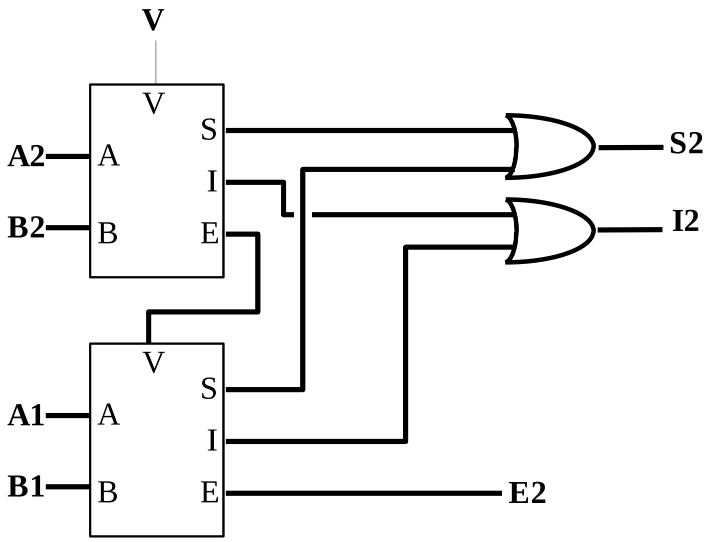
$$S_2 = V(A_2.\overline{B_2} + A_1 \overline{B_1}\,\overline{B_2} + A_1 A_2 \overline{B_1})$$

$$I_2 = V.(\overline{A_2}.B_2 + \overline{A_1} B_1 B_2 + \overline{A_1}\,\overline{A_2} B_1)$$

$$E_2 = V.(\overline{A_2 \oplus B_2})(\overline{A_1 \oplus B_1})$$

Les 2 solutions sont correctes, mais la seconde ne profite pas au maximum de la possibilité d'utiliser les comparateurs 1 bit.

Réalisation :



Question 1.4

A partir des équations trouvées précédemment, établir les relations de récurrence ci-dessous :

$$S_n = \mathrm{f}(S_{n-1}, A_n, B_n, V)$$
$$I_n = \mathrm{g}(I_{n-1}, A_n, B_n, V)$$
$$E_n = \mathrm{h}(E_{n-1}, A_n, B_n, V)$$

On déduit de la question 1.3 :

$$S_n = V.A_n.\overline{B_n} + S_{n-1}(\overline{A_n \oplus B_n})$$
$$I_n = V.\overline{A_n}B_n + I_{n-1}(\overline{A_n \oplus B_n})$$
$$E_n = E_{n-1}(\overline{A_n \oplus B_n})$$