

UE Electronique

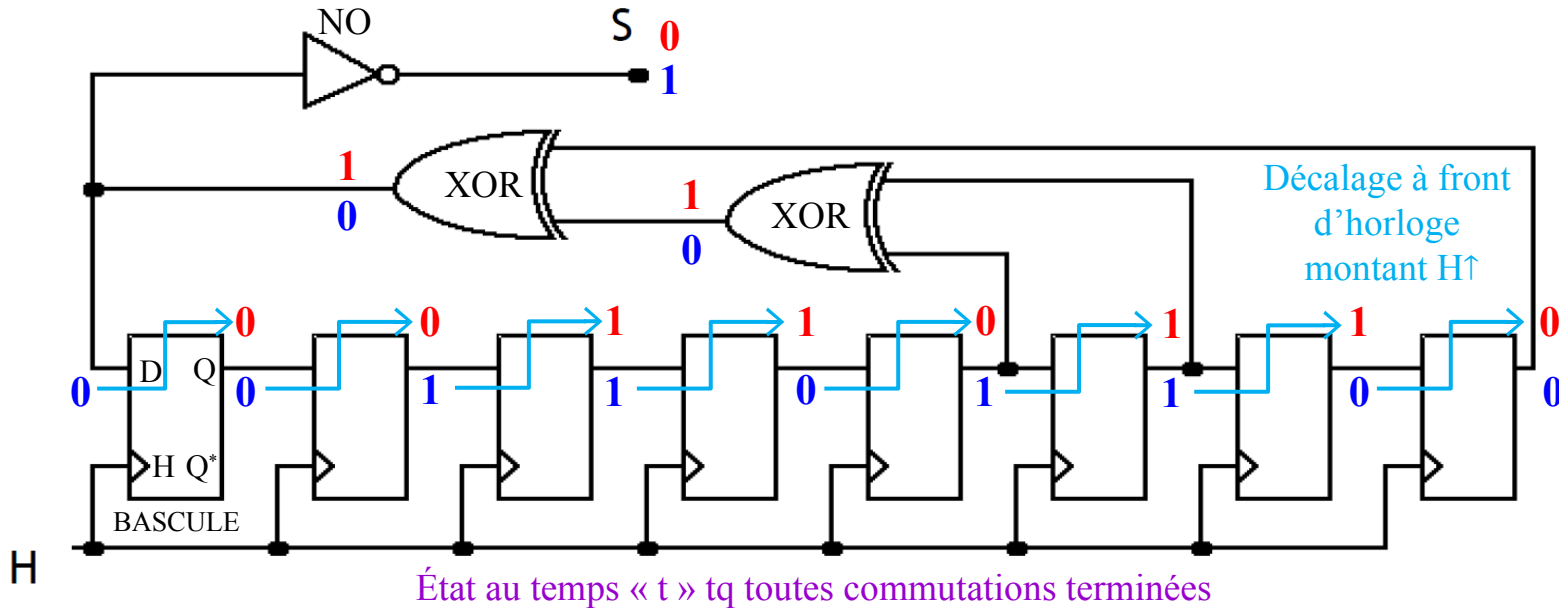
Travaux Dirigés n°3

(R0)

Partie Numérique

(1h15)

Exercice 1: Générateur de séquence pseudo-aléatoire



Bascule

D	H	Q ⁺	Q ⁺ *
0	↑	0	1
1	↑	1	0

Question 1

Compte-tenu des caractéristiques dynamiques fournies pour chaque bascule et les XOR (technologie CMOS 14 nm), déterminer le débit maximal (fréquence maximale de l'horloge H) de ce générateur. Les temps de commutation sont exprimés en pico-secondes.

tp _{LH} max	9,4
tp _{HL} max	9,6

XOR

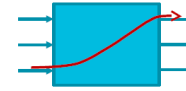
tp _{LH} max (CK→Q)	13,0
tp _{HL} max (CK→Q)	13,6
t _{hold}	0
t _{setup}	4,0

BASCULE

A savoir : Polycopié 2

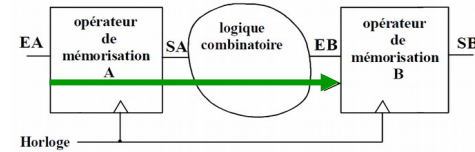
Circuit combinatoire

Chemin de propagation = chemin entre une entrée et une sortie

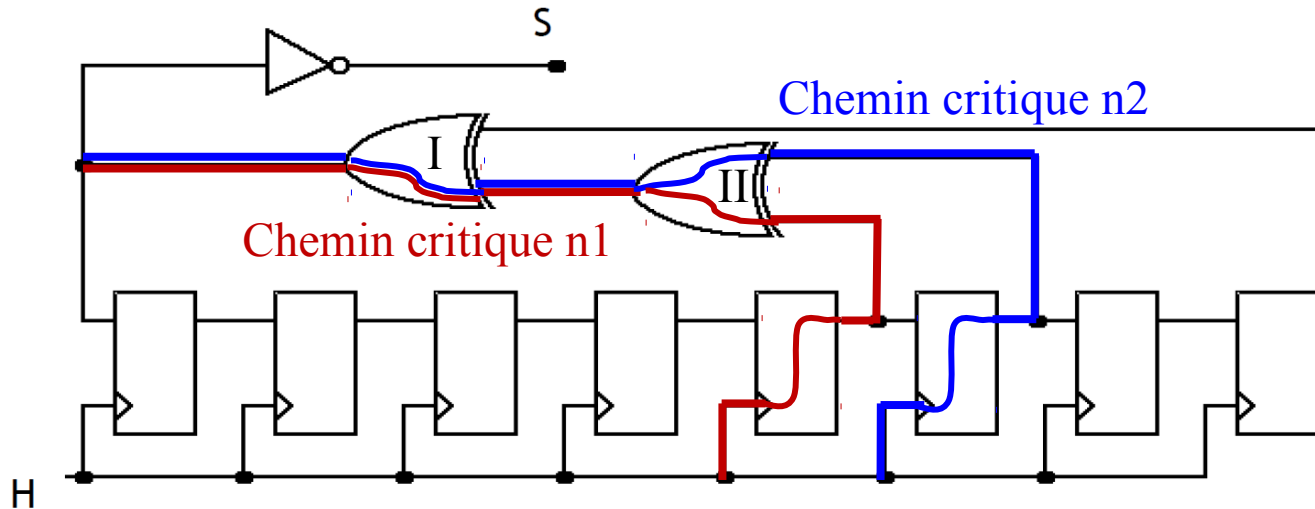


Circuit séquentiel synchrone (état des éléments séquentiels est remis à jour à chaque front actif de l'horloge)

Chemin de propagation = chemin entre 2 éléments de mémorisation *p:41*



Le chemin critique correspond au **chemin de propagation le plus long**, c'est celui qui limite la fréquence maximale de fonctionnement



Les deux chemins critiques équivalents.

Temps de propagation maximal total $t_{ptotal} = 13,6 + 9,6 + 9,6 = 32,8\text{ps}$
BASCULE XOR I XOR II

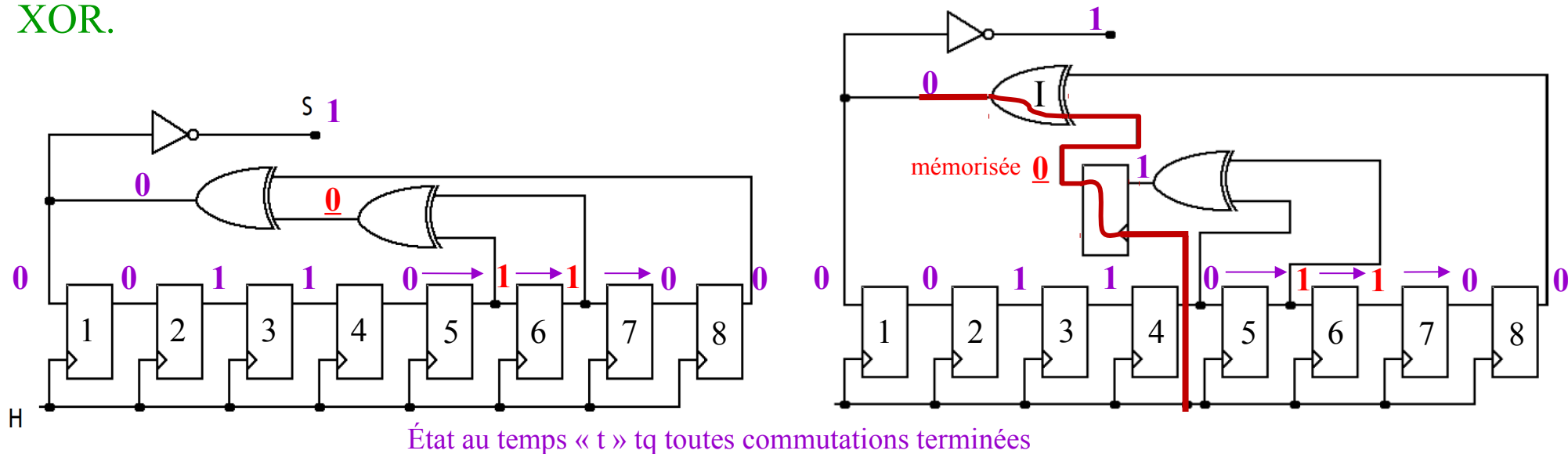
La période minimale d'horloge est alors $T = t_{ptotal} + t_{setup}$, c'est-à-dire $32.8 + 4.0 = 36.8\text{ps}$
donc $H_{\max} = 1/T = 27,17\text{ GHz}$

Question 2

Peut-on, en anticipant le calcul de certains résultats intermédiaires, obtenir un montage fonctionnant avec une fréquence d'horloge supérieure ?

Pour aider: utiliser une bascule D supplémentaire + une reconnexion d'une porte XOR

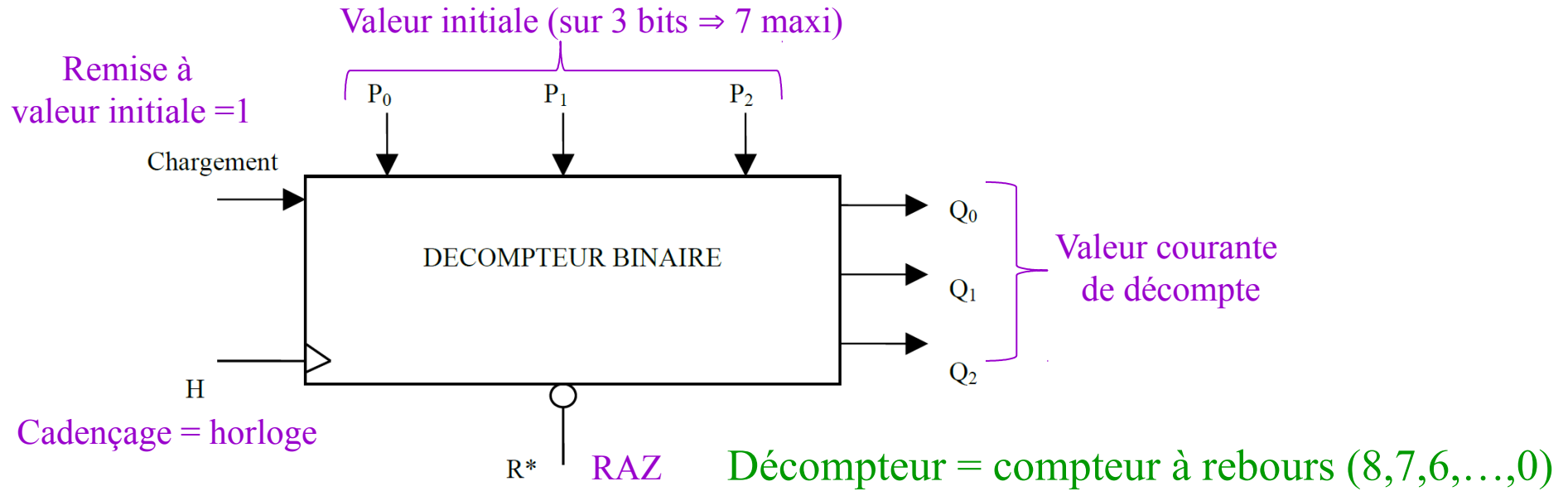
Pour augmenter la fréquence de fonctionnement maximale, l'idée est de décomposer en deux le calcul lié aux XOR, en mémorisant dans une bascule le résultat en sortie du premier XOR.



Temps de propagation maximal total $t_{\text{ptotal}} = 13,6 + 9,6 = 23,2 \text{ ps}$
 BASCULE XOR I

La période minimale d'horloge est alors $T = t_{\text{ptotal}} + t_{\text{setup}} = 23,2 + 4,0 = 27,2 \text{ ps}$
 donc $H_{\text{max}} = 36,76 \text{ GHz}$

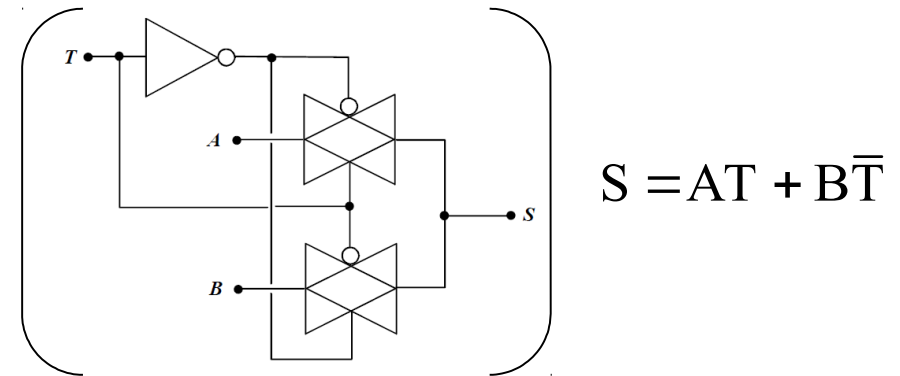
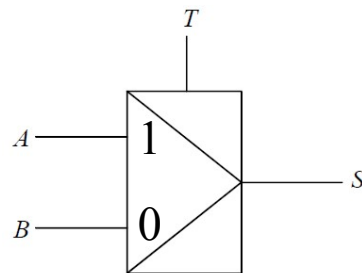
Exercice 2 : Décompteur binaire



A savoir :

Polycopié 1

Multiplexeur 2 vers 1

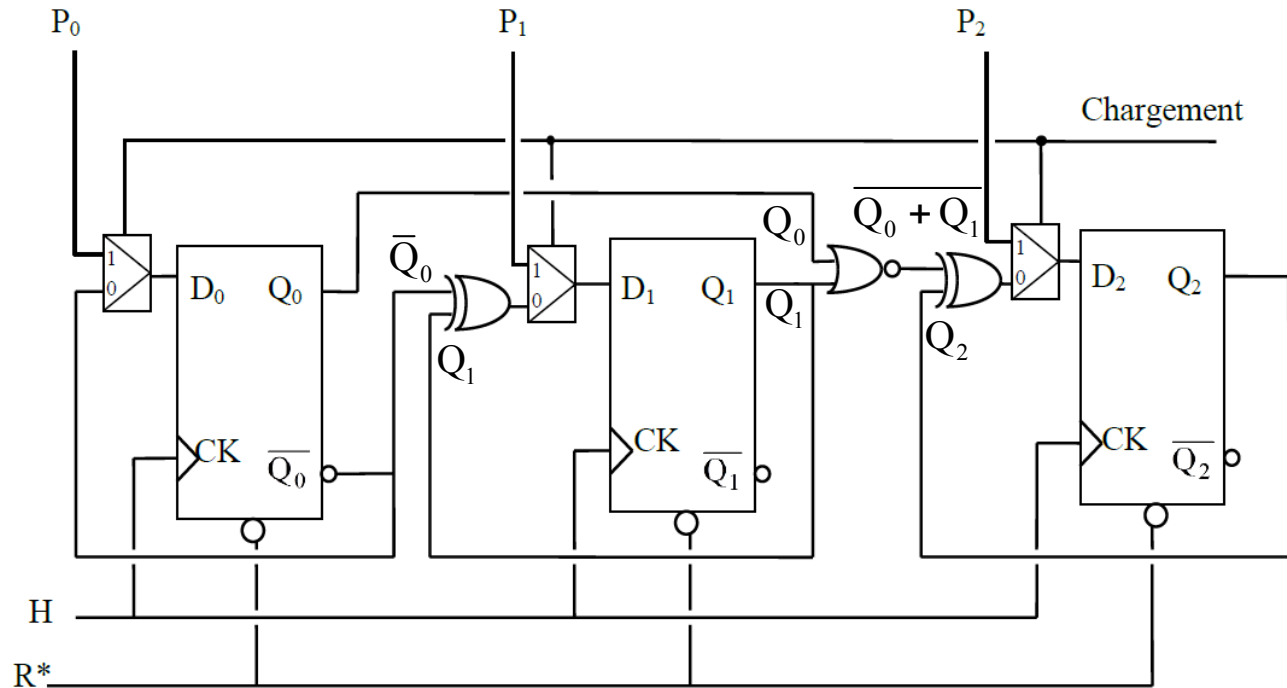


Polycopié 2

Equations générales décompteur binaire synchrone : $D_0 = \bar{Q}_0$ et $D_n = Q_n \oplus \bar{Q}_{n-1} \bar{Q}_{n-2} \dots \bar{Q}_0$

Question 1

Justifier et commenter ce schéma.



On constate que lorsque $\text{Chargement} = 0$, on a : $D_0 = \bar{Q}_0$

$$D_1 = Q_1 \oplus \bar{Q}_0$$

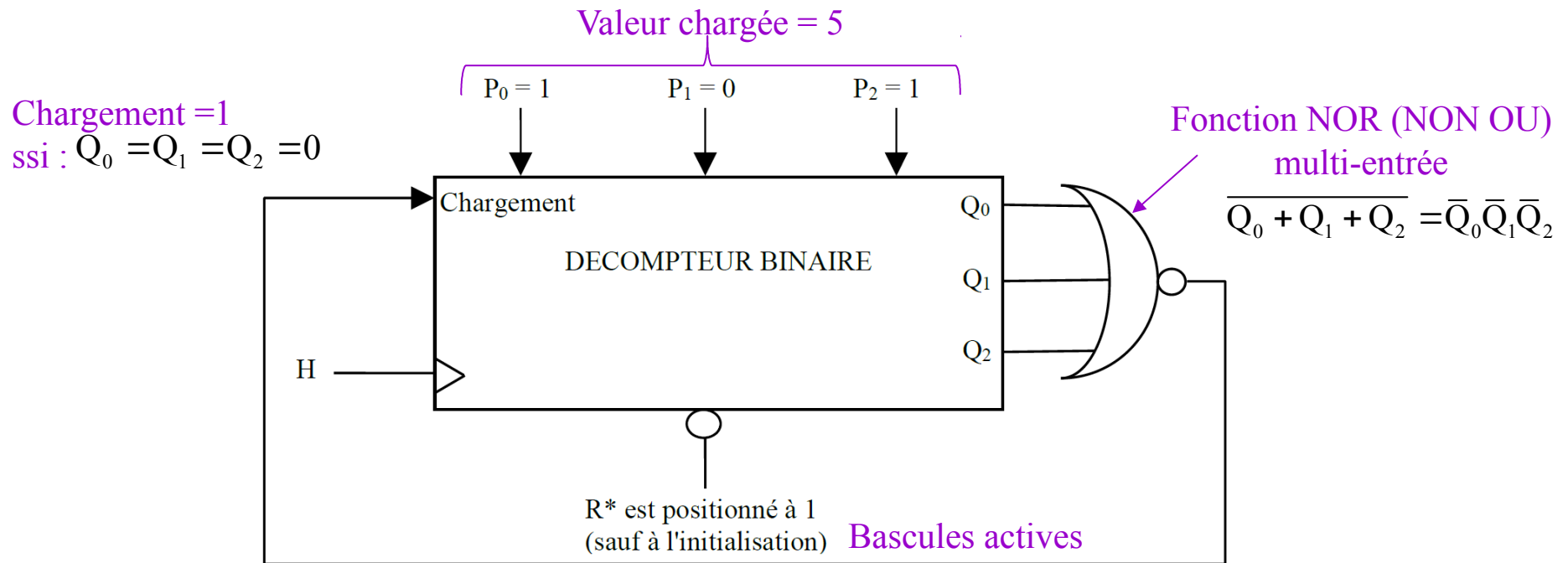
$$D_2 = Q_2 \oplus \overline{Q_1 + Q_0} = Q_2 \oplus \bar{Q}_1 \bar{Q}_0$$

Ce qui est bien de la forme des équations générales d'un décompteur

Question 2

Réaliser un décompteur modulo 6 en utilisant les entrées Chargement, P0, P1 et P2.
Comment doit être positionnée R*?

Comme solution, il faut concevoir le circuit logique synchrone qui détecte l'état «0» et qui agit sur les entrées « chargement » pour mettre le décompteur dans l'état 5 soit « 101 » en binaire.



Ce décompteur passe par les états "5", "4", "3", "2", "1" et "0". Les éventuelles impulsions parasites en sortie du NOR ne sont pas prises en compte car elles apparaissent après les fronts d'horloge de H.

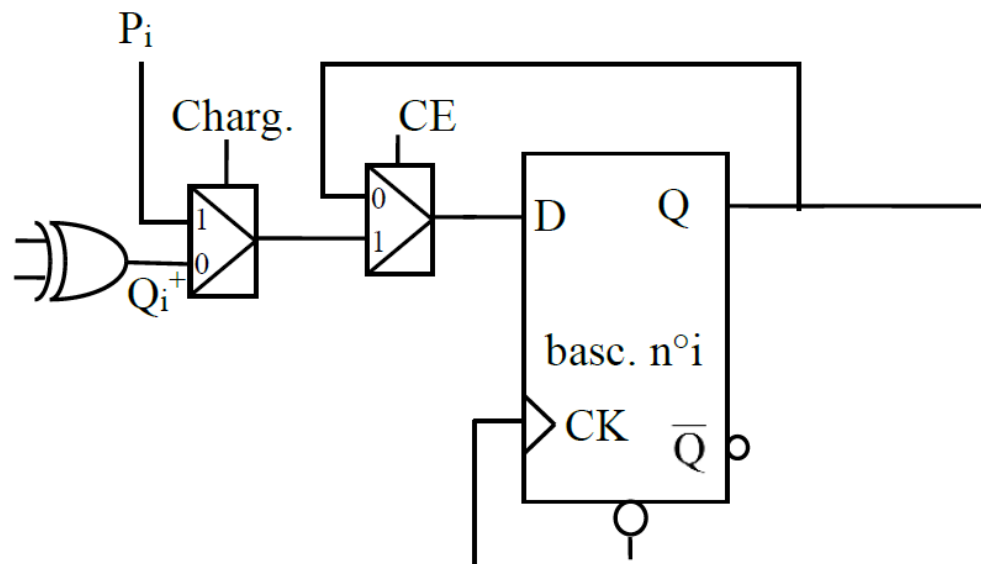
Proposer une modification de ce schéma, incluant une nouvelle entrée statique CE (chip enable), autorisant ou inhibant le décomptage ou le chargement parallèle (blocage du compteur dans l'état présent).

Si $CE=1 \Rightarrow$ Décompteur valide

Si $CE=0 \Rightarrow$ Blocage du décompteur dans l'état présent

(l'utilisation de multiplexeurs 2 \rightarrow 1 supplémentaires est autorisé).

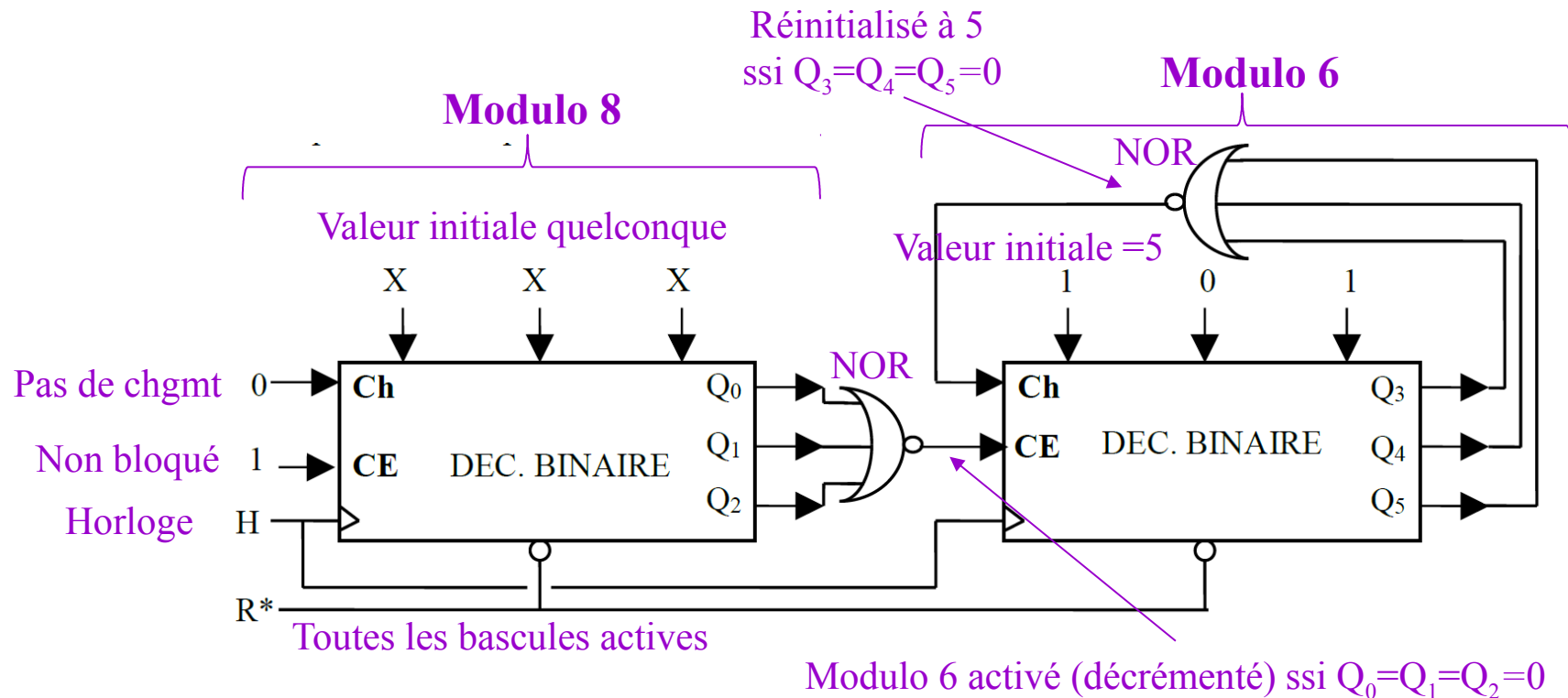
Le blocage du compteur dans l'état présent peut être obtenu par rebouclage de chaque bascule sur elle même ($CE=0$). Pour $CE=1$, le décompteur doit fonctionner comme précédemment. On peut donc insérer entre le multiplexeur de chargement et l'entrée D de chaque bascule un multiplexeur commandé par CE



Donner un schéma de décompteur modulo 48 synchrone, utilisant cette structure modifiée.

Pour aider : $48 = 8 \times 6$ (!)

Le décompteur à 3 bits est de manière native modulo $2^3=8$: (7,6,5,...,1,0) et le décompteur réalisé à la **question 2** est modulo 6. Utilisons le modulo 8 pour activer le modulo 6 par son entrée CE lorsque ce premier passe à 0. Ainsi le modulo 6 sera actif que tous les 8 coups d'horloge, il faudra alors $8 \times 6 = 48$ coups d'horloge pour que ce dernier fasse son cycle complet (5→5), on aura ainsi réalisé un décompteur modulo 48.



$$\max(Q_5 Q_4 Q_3 Q_2 Q_1 Q_0) = 101111 = 47 \quad \min(Q_5 Q_4 Q_3 Q_2 Q_1 Q_0) = 000000 = 0$$