

Práctica 2. Circuitos de lazo amarrado en fase (PLL)

1. Arme el circuito de la figura 1. Observe que existen los 2 conmutadores S1 y S2 los cuales se cambiarán de posición en el transcurso de la práctica. Después de verificar el funcionamiento del circuito, proceda a resolver los incisos a), b), c), d) y e).

a) Conecte ambos conmutadores en la posición 1, de esta forma se usará el comparador de fase I del circuito CD4046. Alimente una señal cuadrada de 1Vpp con el generador de funciones al PLL. Varie la frecuencia de alimentación desde 1 kHz hasta 15 kHz. Determine la frecuencia mínima de captura.

b) Proceda en el sentido inverso del punto a), es decir, comience con una frecuencia de 15 kHz y vaya disminuyéndola. Determine la frecuencia máxima de captura.

c) Con el PLL ya amarrado, disminuya la frecuencia de la señal que se alimenta con el generador de funciones hasta que el PLL pierda la sincronización con la señal de entrada. Anote esta frecuencia.

d) Con el PLL ya amarrado, aumente la frecuencia de la señal que se alimenta con el generador de funciones hasta que el PLL pierda sincronización con la señal de entrada. Anote esta frecuencia.

e) Con los datos obtenidos en los incisos anteriores obtenga el intervalo de captura y el intervalo de enganchamiento del PLL. Compare los resultados con los cálculos teóricos. En caso de haber diferencias, justifíquelas con base en las hojas de especificaciones.

2. Con el circuito tal como se maneja en el punto 1, y con el PLL ya enganchado, varíe la frecuencia de entrada a lo largo de diez puntos distribuidos uniformemente en el intervalo de enganchamiento y resuelva los incisos a) y b)

a) Observe el comportamiento de la señal de entrada, la salida del VCO y la tensión en el capacitor del filtro de paso bajo del PLL. Tomando en cuenta la fase entre las señales, su frecuencia y la tensión en el capacitor, llene la tabla 1.

θ [°]	V_C [V]	f [Hz]	θ [°]	V_C [V]	f [Hz]

Tabla 1. Relación entre desfase de señales amarradas, tensión de entrada al VCO y frecuencia para el comparador I.

b) ¿Existe una relación entre la diferencia de fases y la tensión en el capacitor del filtro de paso bajo? Si existe, ¿de qué tipo es y a qué se debe? ¿El VCO se comporta linealmente?

c) Para la frecuencia a la mitad del intervalo de enganchamiento, grafique la señal de entrada al circuito, la salida del VCO, la salida del comparador de fase y la tensión en el capacitor. Utilice las cuadrículas I y II del anexo 1 para tal fin, dibujando en la cuadrícula I la entrada al circuito y la salida del VCO y en la cuadrícula II la salida del comparador de fase y la tensión en el capacitor.

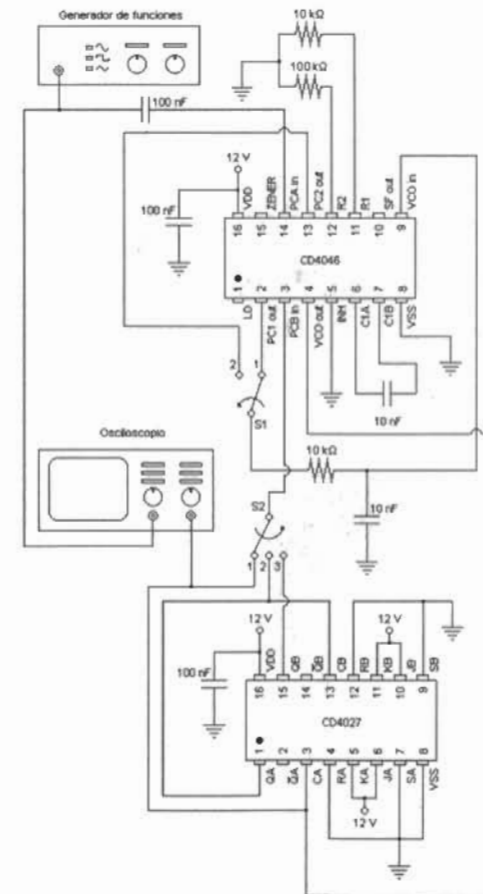


Figura 1. PLL implantado con los circuitos CD4046 y CD4027.

3. Usando el mismo circuito de la figura 1, pero ahora con el conmutador S1 en la posición 2 y el S2 en la posición 1 proceda a resolver nuevamente los incisos a), b), c), d) y e) del punto 1. Con la esta configuración se usará el comparador de fase II del circuito CD4046.

4. Con el circuito tal como se maneja en el punto 3, y con el PLL ya enganchado, varíe la frecuencia de entrada a lo largo de diez puntos distribuidos uniformemente en el intervalo de enganchamiento y resuelva los incisos a), b) y c) del punto 2. Llene la tabla 2 con los datos obtenidos y grafique las señales en las cuadrículas III y IV del anexo 1.

θ [°]	V_C [V]	f [Hz]	θ [°]	V_C [V]	f [Hz]

Tabla 2. Relación entre desfaseamiento de señales amarradas, tensión de entrada al VCO y frecuencia para el comparador II.

5. Para el circuito de la figura 1, pero ahora con el conmutador S1 conectado en la posición 1 y el S2 en la posición 2, repita todos los incisos del punto 1. Posteriormente, repita todo pero ahora con el conmutador S2 en la posición 3. Para la frecuencia a la mitad del intervalo de enganchamiento, grafique las señales de entrada y salida en las cuadrículas V y VI del anexo 1 para ambas posiciones del conmutador S2.

6. Para el circuito de la figura 1, pero ahora con el conmutador S1 conectado en la posición 2 y el S2 en la posición 2, repita todos los incisos del punto 1. Posteriormente, repita todo pero ahora con el conmutador S2 en la posición 3. Para la frecuencia a la mitad del intervalo de enganchamiento, grafique las señales de entrada y salida en las cuadrículas VII y VIII del anexo 1 para ambas posiciones del conmutador S2.

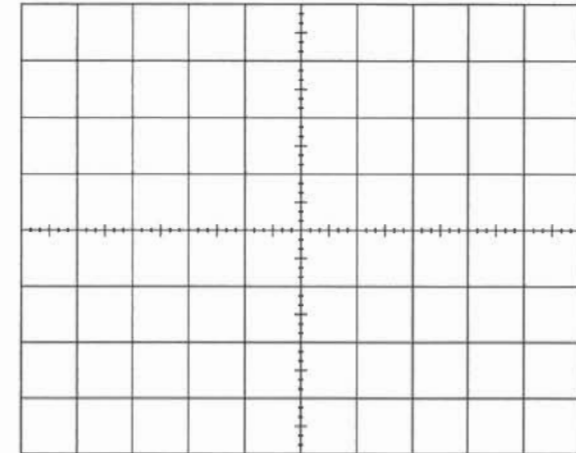
7. De acuerdo a los datos obtenidos en los puntos 5 y 6, diga qué función está realizando el PLL y por qué lo hace. ¿Sería posible modificar el circuito para obtener frecuencias que fueran submúltiplos y fraccionarias de la frecuencia de referencia?

8. ¿Qué sucede con los intervalos de captura y enganchamiento? ¿Varían? ¿Se mantienen constantes? ¿Por qué? Llene la tabla 2 con dichos intervalos para las seis combinaciones posibles de los conmutadores S1 y S2.

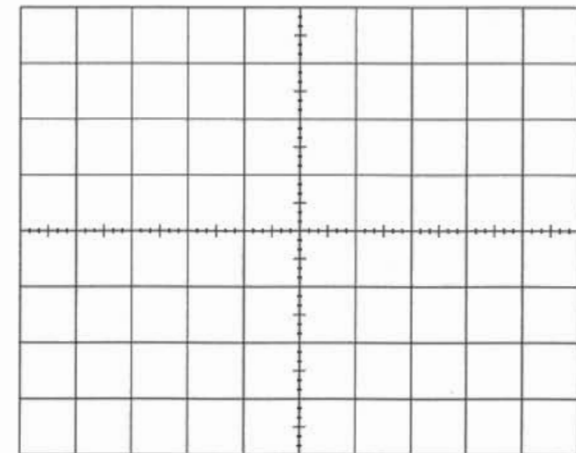
S1	S2	Intervalo de captura	Intervalo de enganchamiento
1	1		
1	2		
1	3		
2	1		
2	2		
2	3		

Tabla 2. Comparación de las 6 combinaciones de S1 y S2.

Anexo 1. Oscilogramas.



Cuadrícula I. Gráficas del punto 2. Señal de referencia y salida del VCO



Cuadrícula II. Gráficas del punto 2. Salida del comparador de fase I y tensión en el filtro de paso bajo