第一章

1.计算机的基本功能主要包括哪些？

2.冯·诺依曼模型计算机的特点？

3.程序执行过程

\*程序执行的初始条件：

(a)程序及数据已存放在主存储器MM中；

(b)PC内容已经为即将执行的程序首条指令地址

\*程序执行的实现方法：

①取指—(PC)→[MM]→IR，(PC)+“1”→PC；

②分析—(IR)→ID→CU；

③执行—实现指令约定操作(指令转移时重写PC)；

④循环—若无中断执行的要求，转①

4.机器字长：指CPU一次能处理的二进制位数。

第二章

1.将十进制数625.1875转换成二、八进制数。

2.将十六进制数4A.5F转换成二、八进制数。

3.当-2n-1＜X≤0时， [X]原 = 2n-1 - X = 2n-1 +|X|

4.当-1＜X≤0时，[X]原= 1-X=1+|X|

5.一个负数的补码应等于模与该数绝对值之差。即某负数X的补码为：[X]补 = M + X (mod M)

6.n位定点小数X（含一位符号位），其表示范围为（），8位定点小数X（含一位符号位），其表示范围为（）。

7.n位定点整数X（含一位符号位），其表示范围为（），8位定点整数X（含一位符号位），其表示范围为（）。

8.一个8位定点整数原码、反码能表示的数值范围? 写出-127，-1，0，1，127的原码、反码。

9.一个8位定点整数补码、移码能表示的数值范围? 写出-128，-127，-1，0，1，127的补码、移码。

10.已知：X =-1001010，求[X]补 ，[-X]补。

11.[X-Y]补=[X]补+（ [-Y]补 ）

12.设[X] 补=1.0100101，[Y] 补=1.0110101，请用变形补码求和方法计算[X+Y]补及[X-Y]补，并判断溢出。

13.有+0和-0两种零的表示的编码是（），8位补码零表示为（）。

14.浮点数的规格化的目的和方法。

15.十进制数-4.75 转换为IEEE754的单精度浮点数格式。

16.奇校验码字为奇数个1，偶校验码字为偶数个1。

17.海明校验码假定该数据的位数为n，校验位为k，n和k必须满足关系（ ）。

18.简述算术移位、逻辑移位规则。

19.简述补码运算溢出判断方法

20.原码一、二位乘法计算X\*Y，X=-0.11111 Y=0.11011。

21.补码一位乘法计算X\*Y，X=-0.1111 Y=0.1101。

22.若浮点数用6位阶码、10位尾数(含1位数符)表示，尾数用补码、阶用移码编码，采用2位警戒位、双符号位运算(带进位)、舍入法。求0.111101001×212+0.110010101×28的机器数。

24.ALU是运算器的核心。

25.什么是先行进位？

26.简述加法器的设计。

第三章

1.存储器是存放（指令）程序和数据的部件，是计算机系统的重要组成部分。

2.存储器按存储介质分为？按存取方式分为？按在计算机中的作用分类为？

**存储器按存储介质分为：**

存储介质必须有区别明显的两个物理状态(表示0/1)

\*半导体存储器：如内存；

\*磁性材料存储器：如磁盘、磁带；

\*光介质存储器：如光盘

**按存取方式分为：**

\*顺序存取存储器(SAM)：按记录块为单位进行编址，存取时间与读/写头到访问地址的相对位置有关；

\*随机存取存储器(RAM)：按存储字为单位进行编址，存取时间与访问的地址无关(时间固定)；

\*直接存取存储器(DAM)：信息存取区域定位与RAM类似，区域内操作与SAM类似；

\*只读存储器(ROM)：操作方式为只能取、不能存可由RAM或DAM构成，信息读取的定位由存储器结构决定

**按在计算机中的作用分类为：**

\*主存储器(MM)：可直接与CPU交换信息的MEM

构成—MOS型半导体、动态RAM和ROM

\*辅助存储器(AM)：主存的后援MEM

构成—磁性/光介质材料、SAM/DAM

\*高速缓冲存储器(Cache)：CPU与主存间的缓冲MEM

构成—MOS型半导体、静态RAM

\*控制存储器(CM)：CPU内部存放微程序的MEM

构成—MOS型半导体、ROM

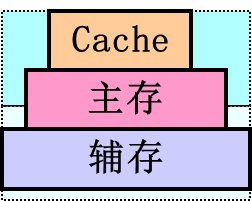
3.程序访问局部性规律？

程序执行时，指令和数据呈现的相对簇聚特性。

时间局部性—被访问过的信息，可能很快被再次访问；

空间局部性—被访问信息的相邻信息，可能很快被访问

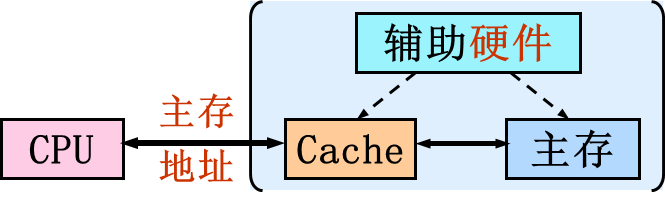
4.存储系统的层次结构？

围绕主存的层次结构一般为“Cache-主存-辅存”三种MEM构成的两个存储层次

\*“Cache-主存”存储层次：

--设置高速缓冲存储器

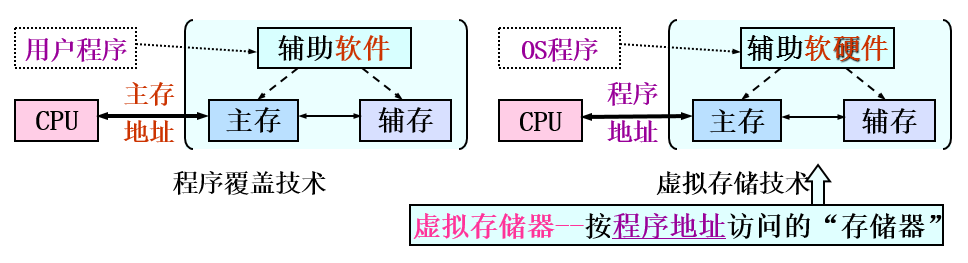
目标—解决主存速度问题(Cache的速度，主存的容量)



\*“主存-辅存”存储层次：

目标—解决主存容量问题(主存的速度，辅存的容量)

└→可能存在：(执行的)程序空间≥主存空间



5.MOS型SRAM与DRAM芯片比较？

*\*DRAM芯片的优点：*

①DRAM集成度远高于SRAM； ←常采用单管MOS存储元

②DRAM地址引脚是SRAM的一半；←常采用地址分两次传送方式

③DRAM功耗约为SRAM的1/4； ←采用单管MOS存储元所致

④DRAM成本远低于SRAM

*\*DRAM芯片的缺点：*

DRAM速度远低于SRAM ←使用动态元件(电容)所致

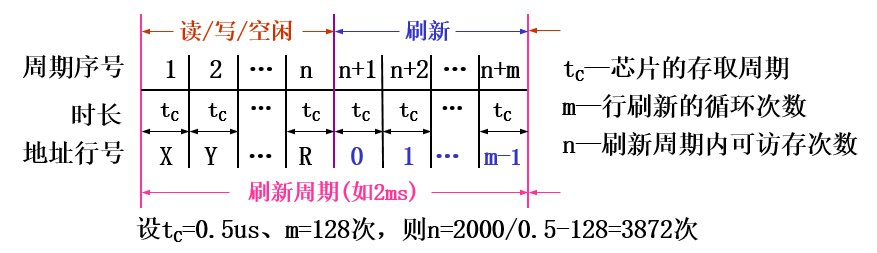
*\*RAM芯片应用：*

SRAM芯片—常用来构成高速度、小容量MEM，如Cache

DRAM芯片—常用来构成大容量MEM，如主存

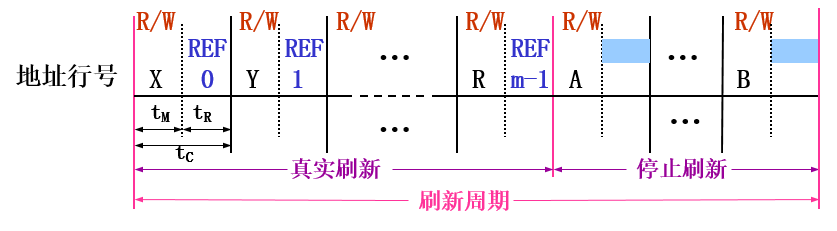
6.动态RAM的刷新有几种方式？

*\*集中式刷新：将所有行刷新集中在刷新周期的后部*



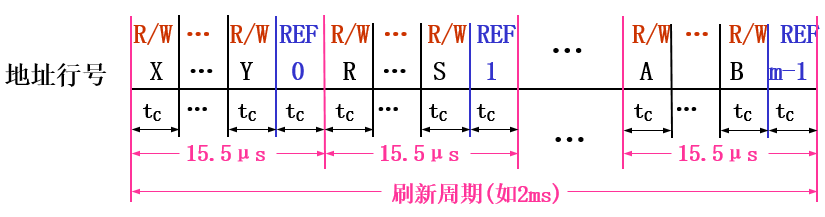
特点—存在“死区”(不能进行读/写操作的时间段)

*\*分散式刷新：将行刷新分散在每个存取周期中*



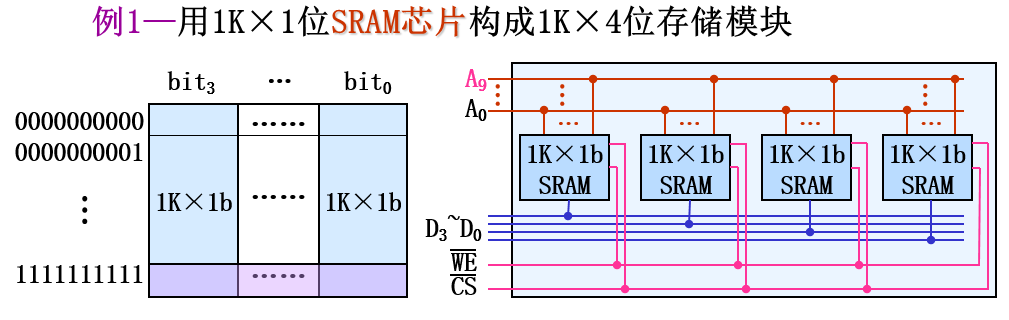
特点—避免了“死区”，增加了存取时间(1倍)

*\*异步式刷新：将行刷新均匀分布在刷新周期中*

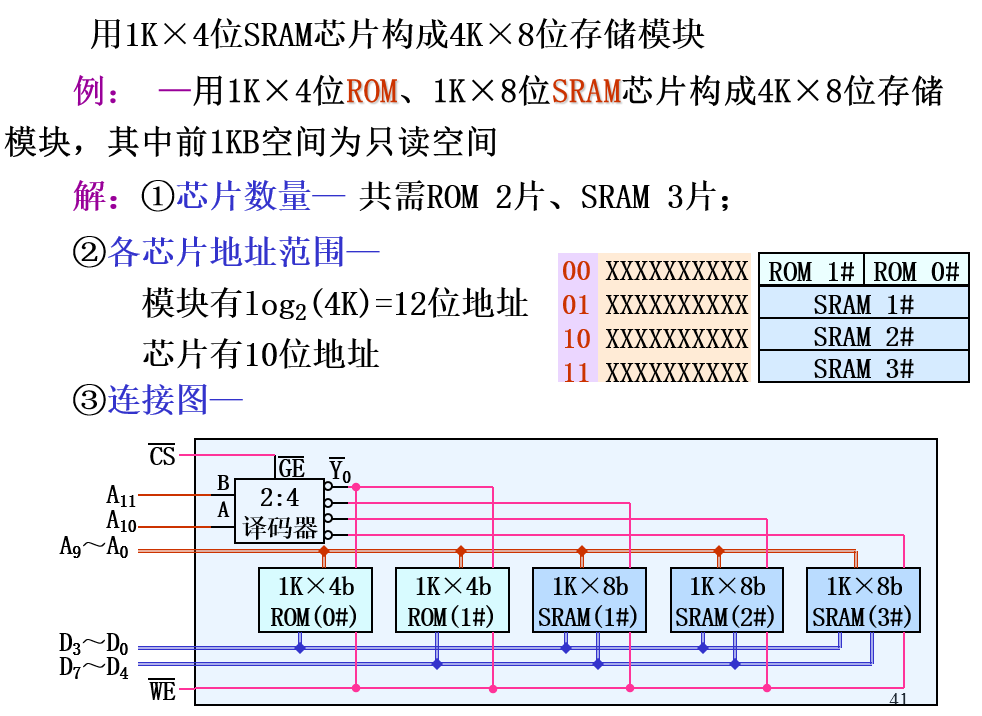


特点—“死区”可忽略，支持固有的存取周期 →最常用

7.用1M×4位SRAM芯片构成4M×4位存储模块。



8.用1K×4位SRAM芯片构成4K×8位存储模块。



9.若用16K×4bit SRAM芯片构成16K×16bit的SRAM，问：

（1）需要SRAM芯片多少片？

（2）各芯片在所组成SRAM存储空间中的位置？

（3）各芯片片选线的有效逻辑是什么？

（4）画出所组成SRAM的信号线与内部各芯片引脚的连接图。

解：（1）需要SRAM芯片(16K/16K)×(16bit/4bit)＝4片

（2）各芯片在SRAM存储空间中的位置如下图：

16K×4b

3#

**…**

b15-12 b11-8 b7-4 b3-0

11111111111111

00000000000000

16K×4b

2#

16K×4b

1#

16K×4b

0#

(0000H)

(3FFFH)

（3）各芯片的片选线有效逻辑为： 0＝ 1＝ 2＝ 3＝ ；

（4）SRAM的信号线与内部各芯片引脚的连接如下图：

D3~D0

A13

A0

16K×4b

SRAM 3#

**…**

**…**

**…**

16K×4b

SRAM 2#

**…**

16K×4b

SRAM 1#

**…**

16K×4b

SRAM 0#

**…**

**…**

CS

WE

D7~D4

D11~D8

D15~D12

10.若用4K×16bit SRAM芯片构成16K×16bit SRAM，回答与题9相同的问题。

解：（1）需要SRAM芯片(16K/4K)×(16bit/16bit)＝4片

（2）各芯片在SRAM存储空间中的位置如下图：

4K×16b SRAM 0#

b15 …… b0

00 000000000000

…

00 111111111111

01 000000000000

…

01 111111111111

10 000000000000

…

10 111111111111

11 000000000000

…

11 111111111111

(0000H)

(0FFFH)

(1000H)

(1FFFH)

(2000H)

(2FFFH)

(3000H)

(3FFFH)

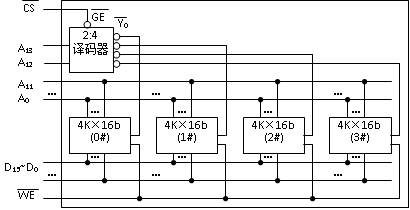
4K×16b SRAM 1#

4K×16b SRAM 2#

4K×16b SRAM 3#

（3）各芯片的片选线有效逻辑为：

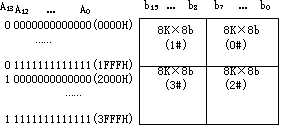
（4）SRAM的信号线与内部各芯片引脚的连接如下图：



11.若用8K×8bit SRAM芯片构成16K×16bit SRAM，回答与题9相同的问题。

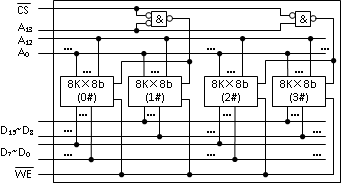
解：（1）需要SRAM芯片(16K/8K)×(16bit/8bit)＝4片

（2）各芯片在SRAM存储空间中的位置如下图：



（3）各芯片的片选线有效逻辑为：

（4）SRAM的信号线与内部各芯片引脚的连接如下图：



12.设置Cache是为了解决CPU和主存之间的（速度匹配）问题，理论依据是（程序访问的局部性原理）规律。

13.Cache地址映象方式有哪几种，各自特点。

全相联地址映象及变换：块映象--块冲突概率最低

地址变换--速度最慢,成本最高

直接地址映象及变换：块映象--块冲突概率最高

地址变换--速度最快，成本最低

组相联地址映象及变换：块映象--块冲突概率较低

地址变换--查表速度最快,成本较低

14.虚拟存储器的管理方式有哪几种？

段式管理:以程序段为交换单位的虚存-主存管理方式

页式管理：以信息页为交换单位的虚存-主存管理方式

段页式管理：段式+页式的虚存-主存管理方式（以信息页为单位）

第四章

1.指令一般的格式？

由操作码，地址码两个字段组成

OP

OP

A

OP

A1

A2

OP

A1

A2

A3

操作码字段

地址码字段

2.按指令包含的地址的个数，指令可分哪几种？

零地址指令；

单地址指令；

双地址指令；

三地址指令。

3.指令字长？

指与机器字长的关系,有单字长指令，半字长指令，双字长指令等

4.指令中操作数有哪几种类型？

所有种类的数据表示。通常有定点/浮点数、逻辑数、字符、地址等。

5.操作数有几种存储方式 ？

<1>数据在REG中的存放方式

<2>数据在存储器中的存放方式

<3>数据在指令中的存放方式

<4>堆栈存取方式

6.堆栈存取方式对应的操作有哪三种？

建栈、入栈、出栈

入栈：先移动栈顶，再在栈顶写入数据，

出栈：先从栈顶读出数据，再移动栈顶；

7.指令的操作有哪些？

(1)数据传送；

(2)算术逻辑运算；

(3)转移操作；

(4)移位操作；

(5)其他类型操作：浮点运算、十进制运算、字符串处理等

8.常见寻址方式有哪些种？

<1>指令寻址方式

<2>数据寻址方式：

1.立即寻址方式 2.寄存器寻址方式

3.直接寻址方式 4.间接寻址方式

5.寄存器间接寻址方式 6.基址寻址方式

7.变址寻址方式 8.相对寻址方式

9.隐含寻址方式

9.CISC和RISC的异同。

CISC:•采用变长指令字结构,利于提高可扩展性、实现兼容性

•指令种类较多、格式复杂，支持多种寻址方式；

•大多为REG-MEM型指令；

•使用少量寄存器；

•指令执行时间较长(通常为几个～几十个TC)

RISC:•采用定长指令字结构；

•指令种类较少、格式简单，支持少量寻址方式；

•除LOAD/STORE外，基本上全部是REG-REG型指令；

•使用大量寄存器；

•指令执行速度快(基本上为1个TC)

*性能方面—RISC略好，得益于VLSI、流水、并行技术*

*其他方面—CISC略好，得益于变长的、复杂的指令格式*

第五章

1.CPU功能与组成部件。

指令控制—PC、IR、指令译码器ID

 操作控制

—时序系统、控制信号形成电路

时间控制

数据加工—ALU及状态REG、REG组

中断处理—中断机构。

2.指令周期的定义。

CPU取出并执行一条指令的时间。

3.单字长的加法指令R2<—（R0）+（R1）的微操作步序列。

① PC→MAR

② 1→Read， (PC)＋1→PC

③ M(MAR)→MDR

④ MDR→IR

⑤ R0→ALU

⑥ R1→ALU

⑦ ADD→ALU

⑧ ALU→R2

4.单字长的存数指令[（R1）]<—（R0）的微操作步序列。

t1：PC→MAR， 1→Read

t2：(PC)+1→PC，M(MAR)→MDR

t3：MDR→IR

t4：R1→MAR，1→Write

t5：R0→MDR，MDR→M(MAR)，1→End

5.控制器的主要功能、工作原理、种类。

主要功能：

指令控制——循环的按PC取指令、执行指令、改变PC

操作控制——产生CPU工作流程对应的操作控制信号

时间控制——实现操作信号的时序

中断处理——检测中断请求，适时进行处理

工作原理：

循环的产生实现CPU功能的微操作控制信号

种类：

硬布线控制器、微程序控制器

6.CPU三级时序系统是什么？

机器周期、节拍周期、节拍脉冲

7.微操作控制信号的时序控制方式。

同步控制方式、异步控制方式、联合控制方式

8.单总线通路CPU中，写出指令R2<—（R0）+（R1）的微操作命令序列。

t1：PCout、MARin、Read

t2：PC+1、WMFC

t3：MDRout、IRin

t4：R0out、Yin

t5：R1out、ADD、Zin

t6：Zout、R2in、End

9.硬布线控制器微操作控制信号形成电路的设计方法。

<1>列出所有的微操作命令序列。

<2>确定时序系统的相关参数

<3>形成所有微操作控制信号的有效逻辑表达式

<4>画出微操作控制信号形成电路及与相关部件连接图

10.微程序控制的基本思想。

<1>将微操作命令序列编写成微程序

<2>控制器自动、逐条取出微指令并执行

11.微操作、微命令、微指令、微程序。

一条指令的功能是通过执行一系列操作控制步完成的；这些控制步中的基本操作称为微操作。

微命令：微操作的控制信号，而微操作是微命令的操作内容。

微指令：可同时执行的一组命令组成一条微指令，完成一个基本运算或传送功能。

微程序：完成指定任务的微指令序列称为微程序；一条机器指令其功能可由一段微程序解释完成。

12.字段直接编码方式编码原则。

将操作控制字段分为若干个子字段，子字段的每个编码表示一组互斥微命令中一个。（同时有效≤1）

字段长度＝∑(log2子字段微命令数)

13.微指令地址形式方式。

计数器法(增量法):μAR=(μAR)+1。只适用于顺序型微指令下址法:μAR=(下址字段),适用于无条件转移和顺序型微指令

14.微程序控制器设计方法。

<1>列出所有的微操作命令步序列

<2>设计微指令集格式

<3>微程序设计

<4>设计相关电路

15.流水线技术是将（部件分离，时间重叠）的一种技术，可有效地提高CPU性能。

第六章

1.现代计算机普遍使用的是（总线连接）互连结构。

2.按总线信号线功能分类分成哪几种类型。

数据总线：用于表示传达的数据，双向总线

地址总线：用于表示目标设备号及内部地址，单向总线

控制总线：用于实现传输过程控制，单向总线

3.按总线连接部件分类分成哪几种类型。

片内总线：用于芯片内/模块内元件间的信息传输

系统总线：用于计算机内部各部件间的信息传输

通信总线：用于主机与外设或其他系统间的信息传输

4.总线的特性有哪些？

物理特性：模块连接到总线是时约定的特性

功能特性：约定的信号线数量及各信号线功能

电气特性：约定的信号线上信号有效的点评范围等

时间特性：又称逻辑特性，指约定的传输过程中各信号线上 信号的有效时长及前后次序

5.PC总线数据宽度为8位、总线时钟频率为*4*MHz，每次总线传输需4个时钟周期；

总线带宽=8bit×(*4*MHz/4)=8Mbps

6.总线操作的步骤？

①总线请求与仲裁阶段：

②寻址阶段：

③数据传送阶段

④结束阶段

7.总线仲裁方式有哪些？

 集中式裁决方式：使用总线控制器；

 分布式裁决方式：控制逻辑分散在各个部件或设备中。

8.集中裁决方式（3种），它们是

(1) 菊花链查询方式

(2) 计数器定时查询方式

(3) 独立请求方式。

9.定时方式(传输协议)种类？

同步、异步、半同步方式

10.异步协议的类型？

全互锁、半互锁、不互锁方式；

11.异步协议步骤？

请求、响应、撤消请求、撤消响应4个阶段

12.总线互连结构有哪些？

单总线结构，多总线结构

13.总线接口单元的功能？

中转对设备的操作

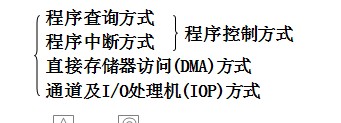
第七章

1.I/O系统组成：由I/O设备、I/O接口、I/O管理部件以及I/O程序等组成。

2.I/O设备的编址方式。统一编址方法，独立编址方法

3.I/O设备的寻址：I/O接口或设备中设备选择电路监视总线状态，有I/O操作时比较自身设备号与总线上地址、判断自己是否为目标设备。

4.I/O传送控制方式的种类。



5.I/O组织方式的目标。

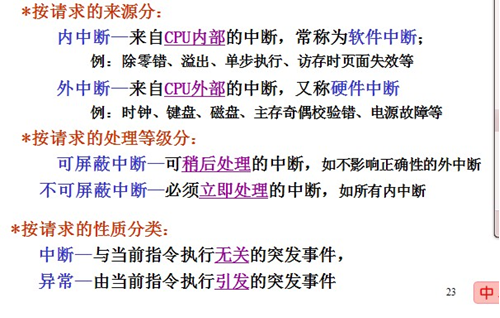
① 尽量减少传送所占CPU时间，如I/O接口、设备-主存直接；

② 尽量提高传送速度，如批量传送方式

6.中断传送控制方式

I/O设备提出请求时，CPU暂停现行程序、响应请求、处理数据传送后，再返回现行程序

7.中断分类：按请求的来源分，按请求的处理等级分、按请求的性质分类各有哪些？



8.向量中断中断响应过程步骤？

包含识别中断源、保存现场、获得中断服务程序入口、转入中断服务程序4个步骤；

9.I/O中断请求的响应条件？

①I/O中断请求信号有效时；

②当前指令结束时(即End信号有效时)；

③“中断允许”位IF＝1时；

④无更高优先级中断请求及DMA请求

10.中断请求的基本连接方式：共用请求式、独立请求式。

11.中断控制器的功能？

①自动检测并记录引脚中断请求、并向CPU提出中断请求

②处理中断响应、提供最高优先级请求的中断类型号；

③引脚请求的优先级判断采用并行判优方法；

④接收并响应CPU的I/O操作(如修改优先级)

12.DMA方式的基本特点：主存-外设间传送，批量数据传送。 DMA方式的应用：适合高速、大批量数据传送。

13.DMA方式与中断方式的比较。

