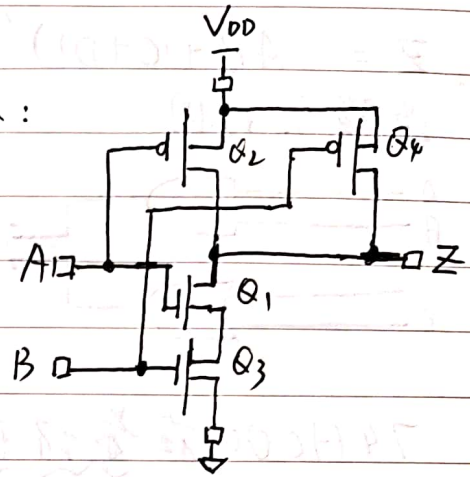


## 数字电路 第三章

7. 2输入的 CMOS 与非门电路如下:

∴ 可见有 4 个晶体管

PMOS 有 2 个, NMOS 有 2 个



10. 扇入: 在特定的逻辑系列中, 门电路所具有的输入端的数目, 称为该逻辑系列的扇入

扇出: 指该门电路在不超过其最坏情况负载规格的条件下, 能驱动的输入端个数

其中, 扇出是必须要计算的, 需要考虑其负载

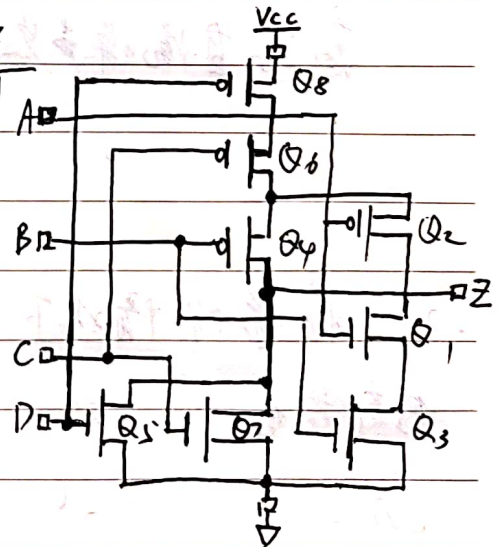
$$\text{扇出值} = \frac{\text{最大输出电流 } I_{OLmax}}{\text{最大输入电流 } I_{Imax}}$$

即扇入是人为提供的, 不需要计算

11. 功能表:

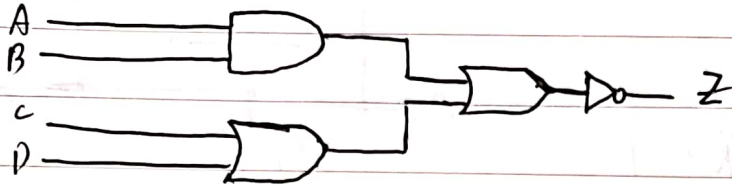
电路图:

A	B	C	D	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>	Q <sub>5</sub>	Q <sub>6</sub>	Q <sub>7</sub>	Q <sub>8</sub>	Z
L	L	L	L	off	on	off	on	off	on	off	on	H
L	L	L	H	off	on	off	on	on	on	off	off	L
L	L	H	L	off	on	off	on	off	off	on	on	L
L	L	H	H	off	on	off	on	on	off	on	off	L
L	H	L	L	off	on	on	off	off	on	off	on	H
L	H	L	H	off	on	on	off	on	on	off	off	L
L	H	H	L	off	on	on	off	off	off	on	on	L
L	H	H	H	off	on	on	off	on	off	on	off	L
H	L	L	L	on	off	off	on	off	on	off	on	H
H	L	L	H	on	off	off	on	on	on	off	off	L
H	L	H	L	on	off	off	on	off	off	on	on	L
H	L	H	H	on	off	off	on	on	off	on	off	L
H	H	L	L	on	off	on	off	off	on	off	on	L
H	H	L	H	on	off	on	off	on	on	off	off	L
H	H	H	L	on	off	on	off	off	off	on	on	L
H	H	H	H	on	off	on	off	on	off	on	off	L



$$\therefore Z = (A \cdot B + (C + D))'$$

∴ 逻辑原理图:



20. 741HC00 在 最坏情况下:

① 对于 CMOS:

$$\begin{aligned} \text{低态直流噪声容限: } V_L &= \cancel{V_{IL} - V_{OL}} V_{ILmax} - V_{OLmax} \\ &= 1.35 - 0.1 \\ &= 1.25V \end{aligned}$$

$$\begin{aligned} \text{高态直流噪声容限: } V_H &= \cancel{V_{OH} - V_{IH}} V_{OHmin} - V_{IHmin} \\ &= 4.4\cancel{V} - 3.15 \\ &= \cancel{1.25V} 1.25V \end{aligned}$$

② 对于 TTL:

$$\begin{aligned} \text{低态直流噪声容限: } V_L &= V_{ILmax} - V_{OLmax} \\ &= 1.35 - 0.33 \\ &= 1.02V \end{aligned}$$

$$\begin{aligned} \text{高态直流噪声容限: } V_H &= V_{OHmin} - V_{IHmin} \\ &= 3.84 - 3.15 \\ &= 0.69V \end{aligned}$$

22. 在最坏情况下, 741AC00 的参数

电气参数	$V_{IH}$	$V_{IL}$	$I_{IH}$	<del><math>I_{IL}</math></del> $I_{IL}$	$V_{OH}$	$V_{OL}$	$I_{OH}$	$I_{OL}$
CMOS	3.15V	1.35V	1μA	-1μA	4.4V	0.1V	-20μA	20μA
TTL	3.15V	1.35V	1μA	-1μA	3.84V	0.33V	-4mA	4mA



31. 将 CMOS 器件交给别人时, 先和对方握手(或触摸), 特别是在干燥的冬季, 避免静电

32. 命名 CMOS 逻辑门延迟的两个量为,  
转换时间和传播延迟

其中传播时间受负载电容影响更大

(因为传播时间的影响因素有 ① 晶体管的导通电阻  
② 负载电容)

只驱动 CMOS 输入时, 直流负载可以忽略,  
但交流负载决定了输出状态转换时的电压和电流,  
(从一个状态转换到另一个状态所需的时间)

$$\begin{aligned} 36. \quad \therefore P_D &= P_T + P_C \\ &= C_{PD} \times V_{CC}^2 \times f + C_L \times V_{CC}^2 \times f \\ &= (C_{PD} + C_L) \times V_{CC}^2 \times f \end{aligned}$$

当  $V_{CC}$  从 5V 变为 2.5V 时,  $V_{CC}$  变为原来的  $\frac{1}{2}$

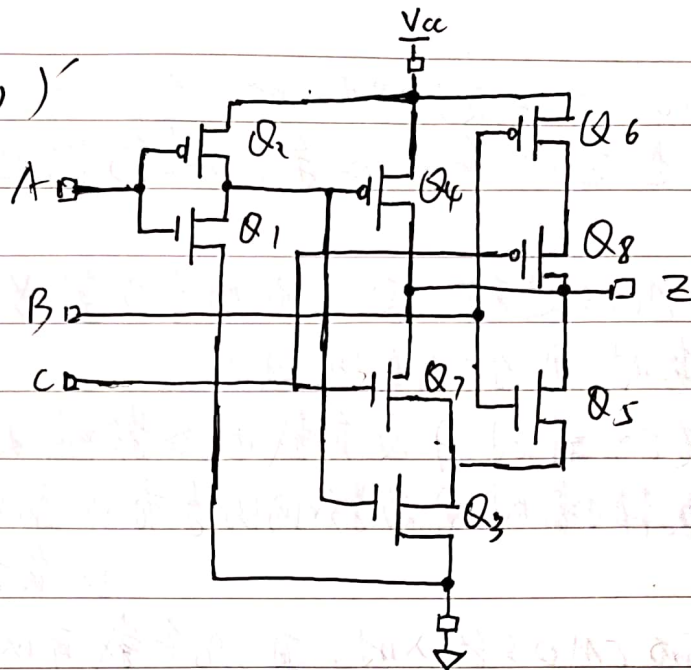
$$\therefore P_D \propto V_{CC}^2$$

$\therefore P_D$  变为原来的  $\frac{1}{4}$ , 即节约  $\frac{3}{4}$  的功耗

$$37. \quad V_{TH} = V_{T+} - V_{T-} = 1.7V - 1.2V = 0.5V$$

$$60. Z = (A' \cdot (B+C))'$$

∴ 电路图:



$$68. R_{eq} = \frac{1}{\frac{1}{R_n} + \frac{1}{R_L}} = 90 \Omega$$

$$\therefore RC = 90 \times 100 \times 10^{-12} \times 10^9 = 9 \text{ ns}$$

~~$$\text{将 } V_1 = \frac{100}{100+100} \times 5 \text{ V} \approx 2.5 \text{ V}$$~~

$$V_1 \approx 0.2 \text{ V}, V_n = \frac{49}{11} \text{ V}$$

$$\therefore V_{out} = V_1 + (V_n - V_1) \cdot e^{-\frac{t}{RC}}$$

$$\text{将 } V_{out} = 3.5 \text{ V 代入 } V_{out}' = 1.5 \text{ V}$$

$$\therefore t = \ln \frac{3.5 - 0.2}{1.5 - 0.2} \times 9 = \approx 8.4 \text{ ns}$$

$$79. \text{ 最低有效位: } \frac{16 \text{ MHz}}{2} = 8 \text{ MHz}$$

$$\text{最高有效位: } \frac{16 \text{ MHz}}{2^8} = 0.0625 \text{ MHz}$$

~~$$\text{应采用平均频率: } (8 + 0.0625) \times \frac{1}{2} = 4.03125$$~~

$$\frac{8 + 4 + 2 + 1 + 0.5 + 0.25 + 0.125 + 0.0625}{8}$$

$$\approx 1.99 \text{ Hz}$$