

# 第六章 总线系统

- 6.1 总线的概念和结构形态
- 6.2 总线接口
- 6.3 总线的仲裁
- 6.4 总线的定时和数据传送模式
- 6.5 HOST总线和PCI总线
- 6.6 InfiniBand标准



# 6.1 总线的概念和结构形态

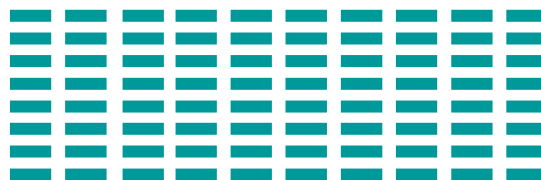
## ● 6.1.1 总线的基本概念：

- **总线**是构成计算机系统的互联机构，是多个系统功能部件之间进行数据传送的**公共通路**。
- 借助于总线连接，计算机在各系统功能部件之间实现地址、数据和控制信息的交换，并在争用资源的基础上进行工作。
- 单处理器系统的总线分为三类：
  - **内部总线**：CPU内部连接各**寄存器及运算部件**之间的总线
  - **系统总线**：CPU同计算机系统的**其他高速功能部件**，如存储器、通道等互相连接的总线
  - **I/O总线**：**中低速I/O**设备间互相连接的总线
- 总线上信息传输：

串行



并行



# 6.1.1 总线的基本概念

## ● 总线的特性:

- **物理特性**: 物理连接方式, 包括总线的根数、排列方式, 总线的插头、插座的形状等。
- **功能特性**: 描述总线中每一根线的功能。
- **电气特性**: 定义每一根线上信号的传递方向及有效电平范围。送入CPU的信号叫**输入信号(IN)**, 从CPU发出的信号叫**输出信号(OUT)**。
- **时间特性**: 定义了每根线在什么时间有效, 即总线上各信号有效的时序关系。

## ● **总线的标准化**: 为了使不同厂家生产的相同功能部件可以互换使用, 就需要进行系统总线的标准化工作。

- **ISA总线**——**16位**, 带宽8MB/s
- **EISA总线**——**32位**, 带宽33.3MB/s
- **VESA总线**——**32位**, 带宽132MB/s
- **PCI总线**——**64位**, 带宽264MB/s



## 6.1.1 总线的基本概念

- **总线带宽**：是衡量总线性能的重要指标，是总线本身所能达到的最高数据传输速率。
  - **单位**：兆字节每秒（MB/S）
  - 总线带宽 = 总线传输速率 = 吞吐率 = 传输的数据量 ÷ 需要的时间
- **例 P186**
  - (1) 某总线在一个总线周期中并行传送4个字节的数据，假设一个总线周期等于一个总线时钟周期，总线时钟频率为33MHz，则总线带宽是多少？
  - (2) 如果一个总线周期中并行传送64位数据，总线时钟频率升为66MHz，则总线带宽是多少？
- **解**：
  - (1) 设总线带宽用Dr表示，总线时钟周期用 $T=1/f$ 表示，一个总线周期传送的数据量用D表示，根据定义可得：  
$$Dr = D/T = D \times 1/T = D \times f = 4B \times 33 \times 1000000/s = 132MB/s$$
  - (2) 64位 = 8B  
$$Dr = D \times f = 8B \times 66 \times 1000000/s = 528MB/s$$



## 6.1.2 总线的连接方式

- 总线的连接方式:

- 适配器: 实现高速CPU与低速外设之间工作速度上的匹配和同步, 并完成计算机和外设之间的所有数据传送和控制, 适配器通常简称为接口。
- 根据连接方式不同, 单机系统中采用的总线结构有两种基本类型:
  - 单总线结构: 在单处理器的计算机中, 使用一条单一的系统总线来连接CPU、主存和I/O设备。
  - 多总线结构: 在CPU、主存、I/O之间互联采用多条总线。

## 6.1.2 总线的连接方式

### ● 单总线结构:

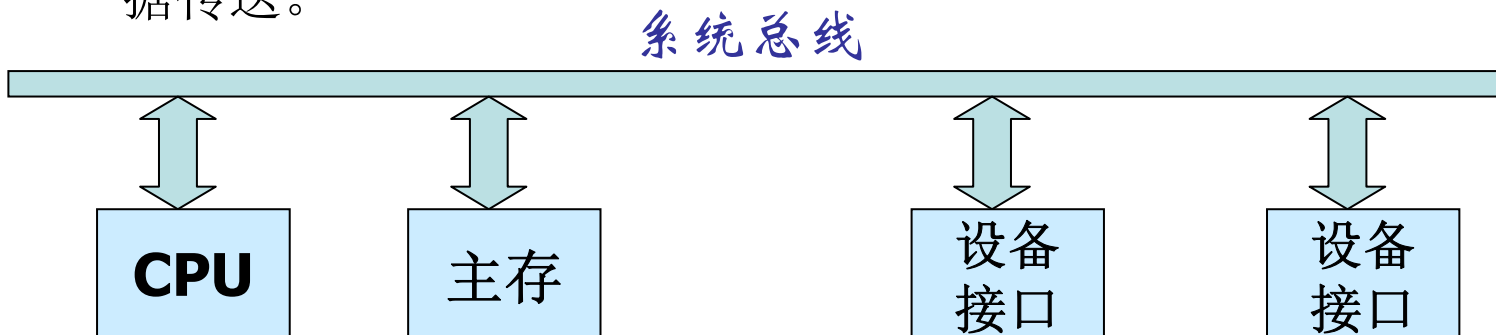
- 要求连接到总线上的逻辑部件必须高速运行:
  - 使用总线时能迅速获得总线控制权;
  - 不使用总线时, 能迅速放弃总线控制权。



## 6.1.2 总线的连接方式

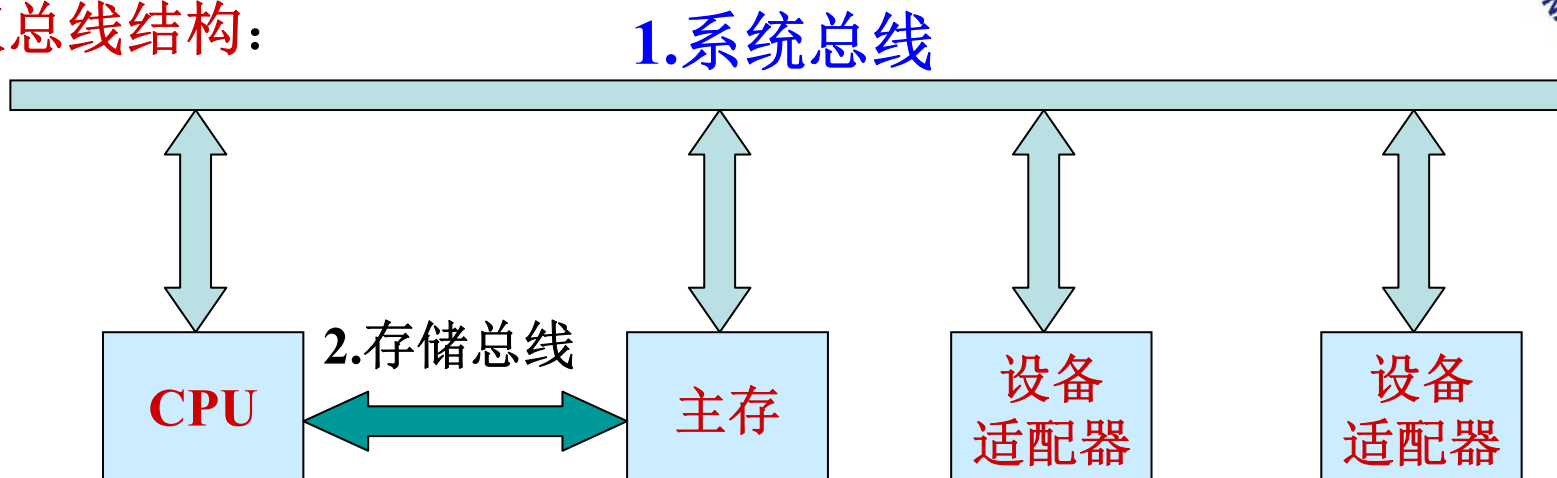
### ● 单总线结构:

- 当CPU取一条指令时
  - 首先把程序计数器PC中的地址同控制信息一起送至总线上
  - 该地址不仅加至主存，同时也加至总线上的所有外围设备
  - 只有与出现在总线上的地址相对应的设备，才执行数据传送操作。
- 对输入/输出设备的操作，完全和主存的操作方法一样来处理
  - 当CPU把指令的地址字段送到总线上时，如果该地址字段对应的地址是主存地址，则主存予以响应，从而在CPU和主存之间发生数据传送。
  - 如果该指令地址字段对应的是外围设备地址，则外围设备译码器予以响应，从而在CPU和与该地址相对应的外围设备之间发生数据传送。

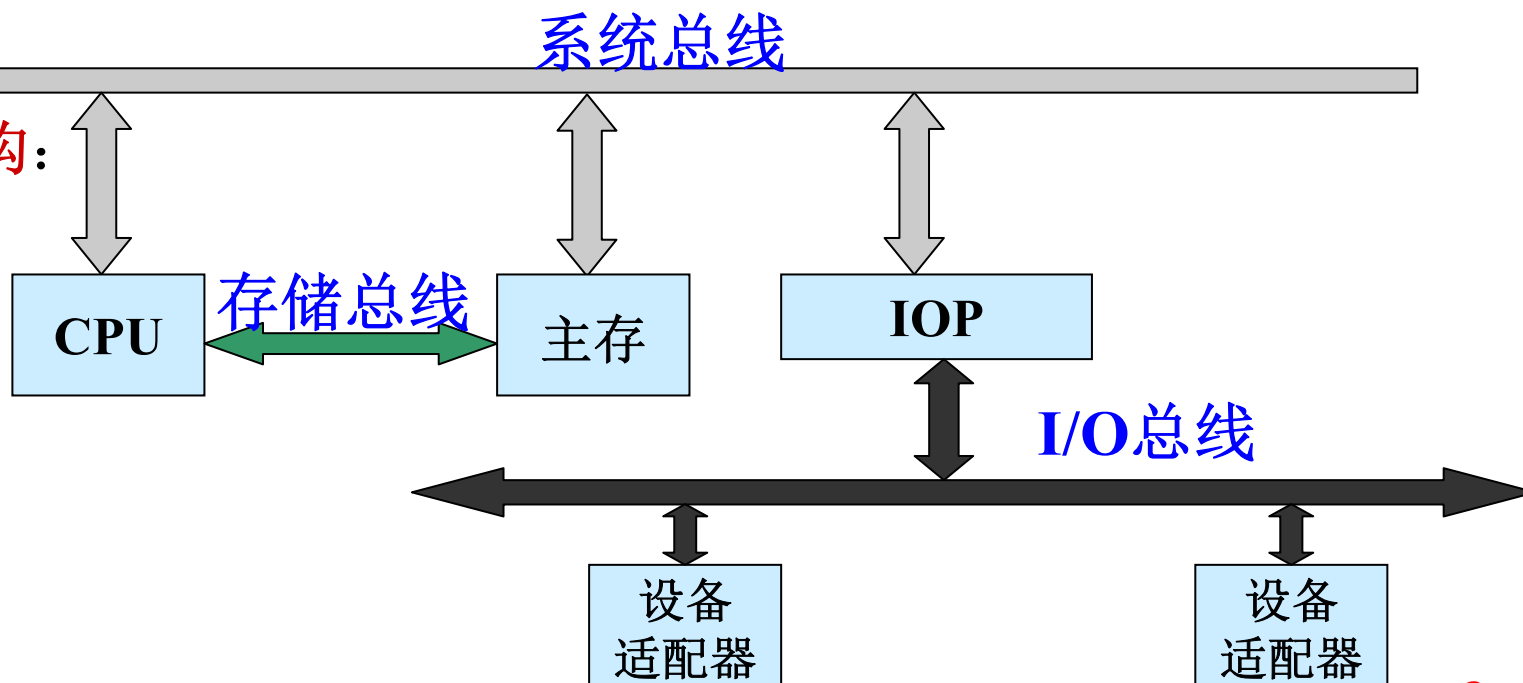


## 6.1.2 总线的连接方式

- 双总线结构:



- 三总线结构:

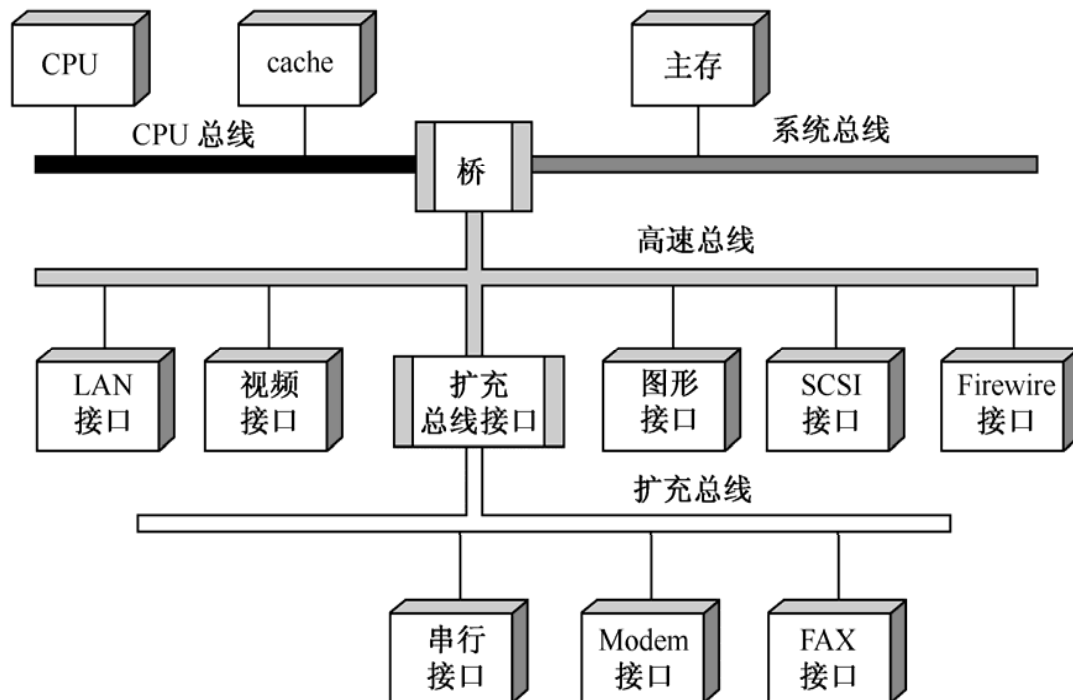




## 6.1.2 总线的连接方式

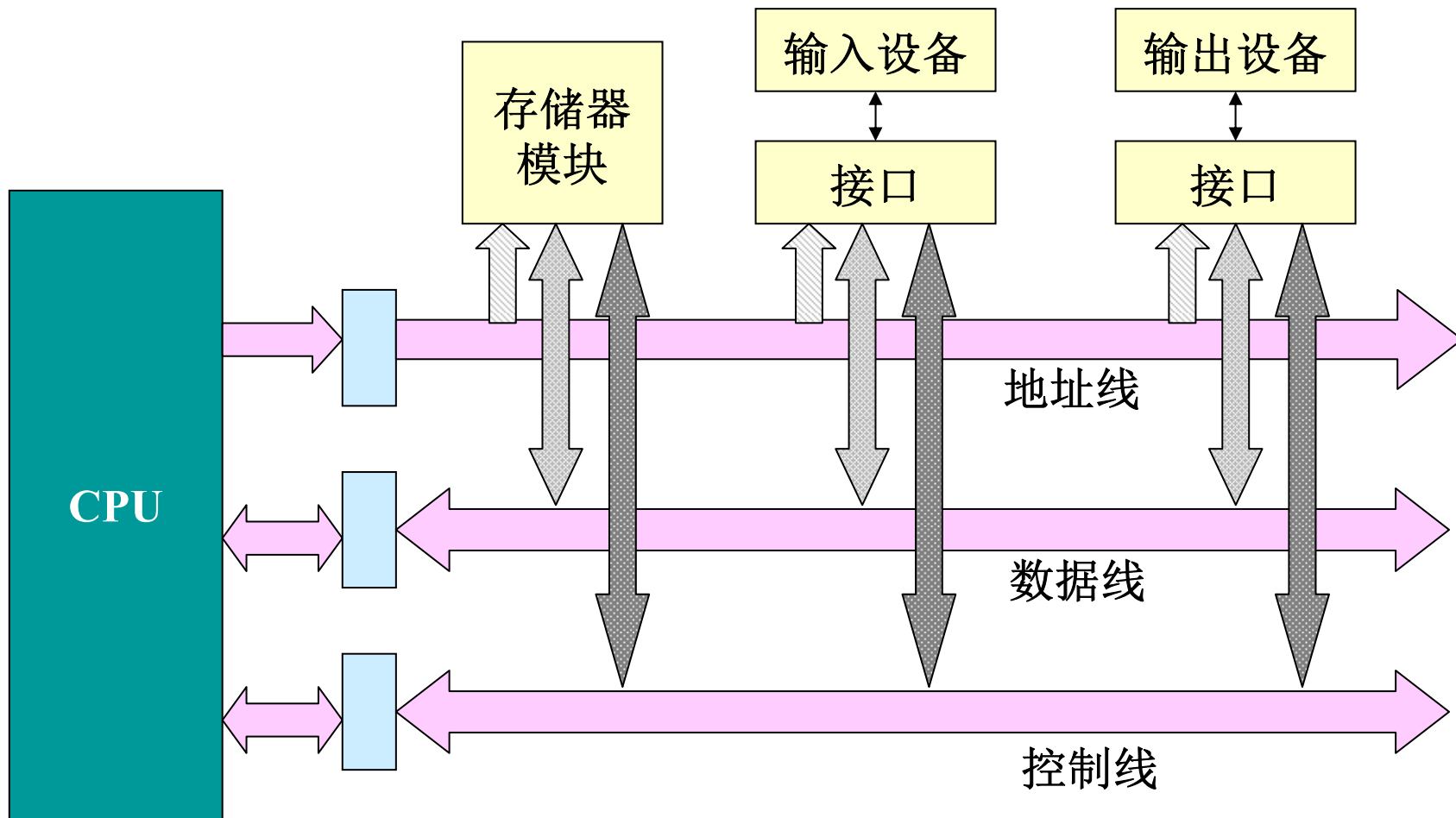
### ● 多总线结构：P188 图6.1

- 高速的**CPU总线**：CPU和cache之间采用
- **系统总线**：主存连在其上。
- **高速总线**上可以连接高速**LAN**（100Mb/s局域网）、视频接口、图形接口、**SCSI**接口（支持本地磁盘驱动器和其他外设）、**Firewire**接口（支持大容量I/O设备）。高速总线通过**扩充总线接口**与**扩充总线**相连，扩充总线上可以连接串行方式工作的I/O设备。
- 通过**桥**CPU总线、系统总线 and 高速总线彼此相连。**桥**实质上是一种具有缓冲、转换、控制功能的逻辑电路



## 6.1.3 总线的内部结构

- 早期总线内部结构:



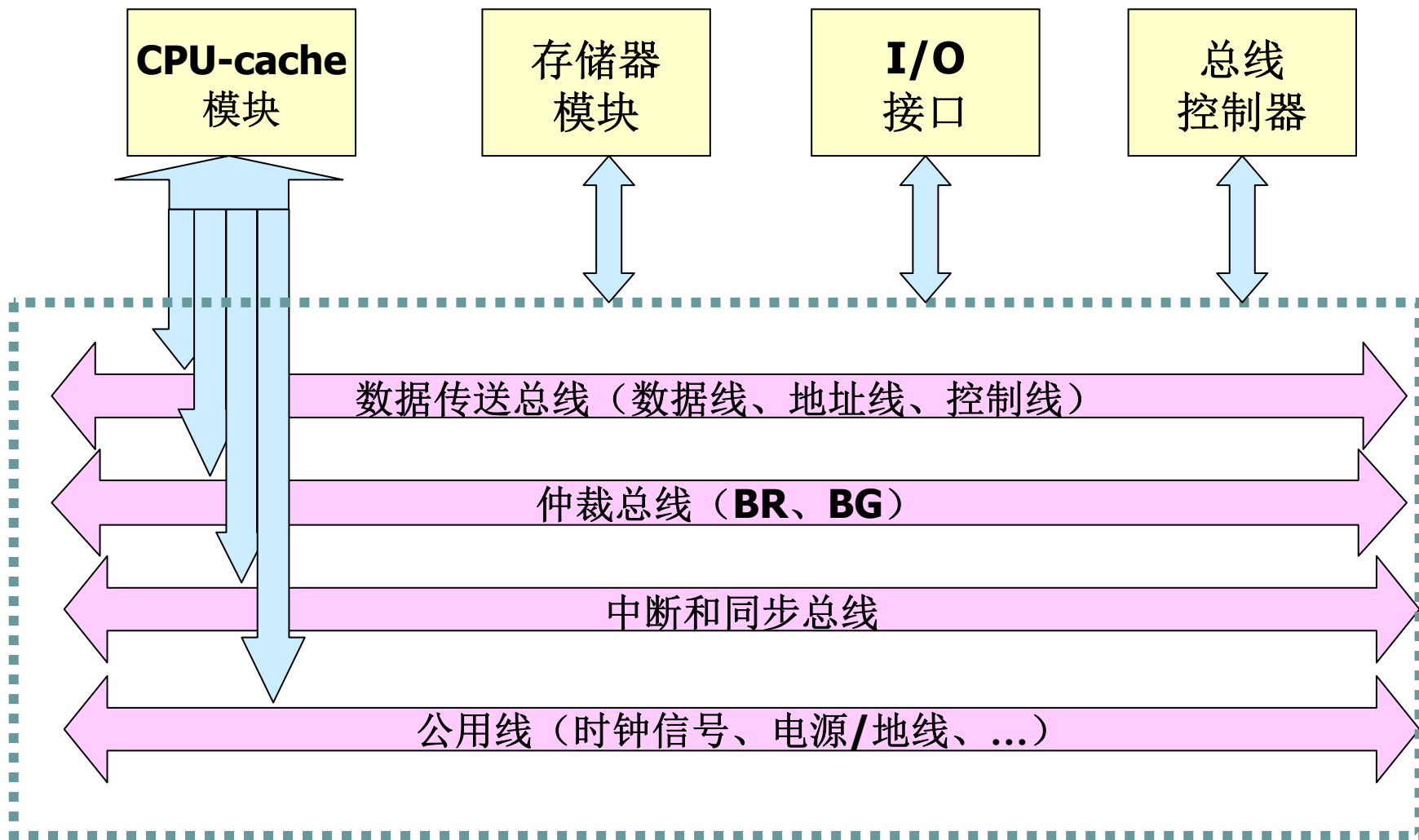


## 6.1.3 总线的内部结构

- **早期总线内部结构**：按功能可分为三类：地址线、数据线和控制线。
  - **地址总线**：单向，传送主存地址和设备地址； **AB**
  - **数据总线**：双向，传送数据； **DB**
  - **控制总线**：对每一根线来讲是单向的，用来指明数据传送的方向、中断请求和定时控制等； **CB**
- 早期总线结构的不足之处在于：
  - CPU是总线上惟一的主控者。即使后来增加了具有简单仲裁逻辑的**DMA**控制器以支持**DMA**传送，但仍不能满足多**CPU**环境的要求。
  - 总线信号是**CPU**引脚信号的延伸，故总线结构紧密与**CPU**相关，通用性较差。

## 6.1.3 总线的内部结构

- 流行总线内部结构:



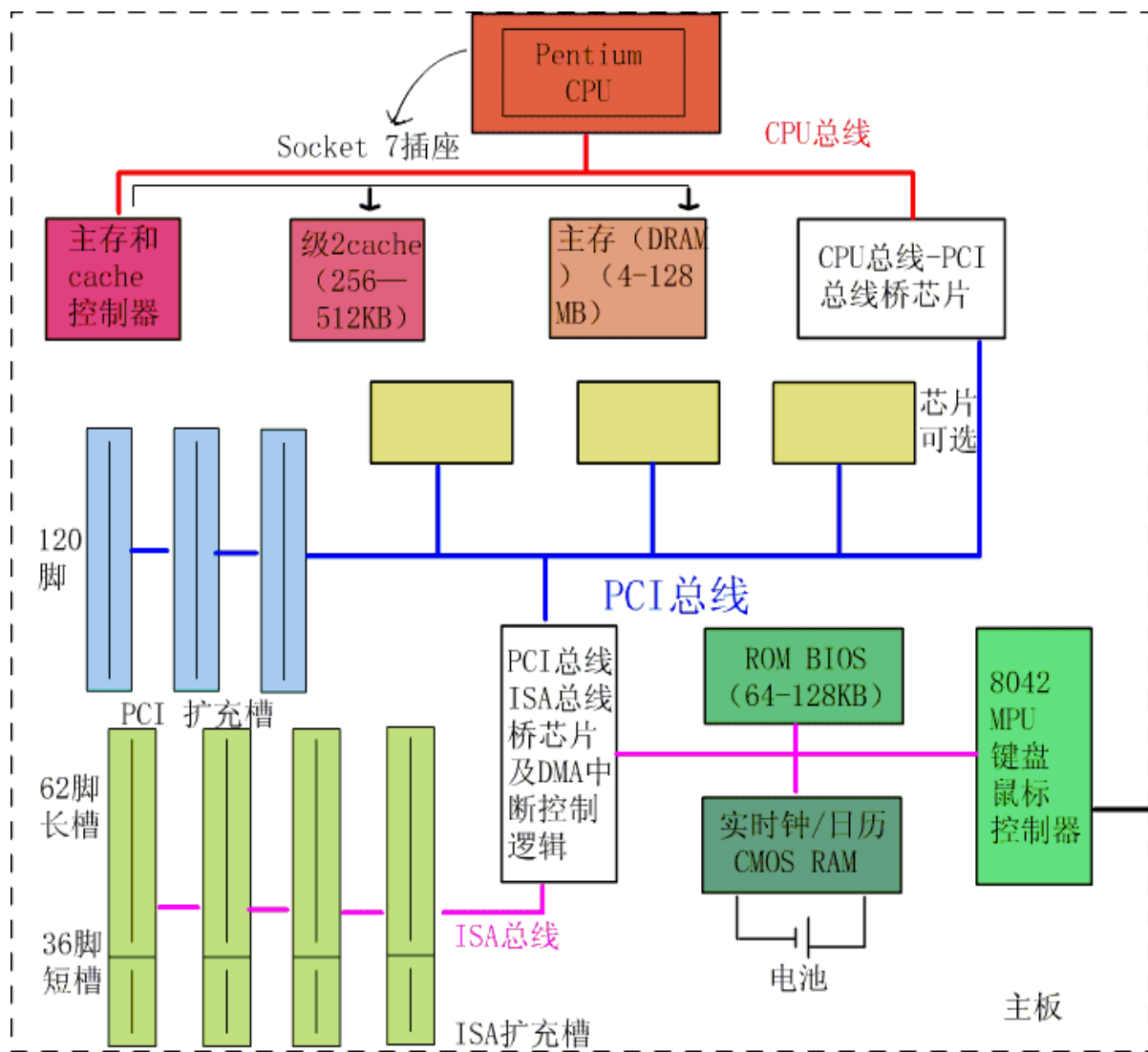


## 6.1.3 总线的内部结构

- **流行总线内部结构**：整个总线分成四部分
  - **数据传送总线**
    - 由**地址线**、**数据线**、**控制线**组成
    - 一般是**32**条地址线，**32**或**64**条数据线。为了减少布线，**64**位数据的低**32**位数据线常常和地址线采用多路复用方式。
  - **仲裁总线**
    - 包括**总线请求线**和**总线授权线**
  - **中断和同步总线**
    - 用于处理带优先级的中断操作，包括**中断请求线**和**中断认可线**
  - **公用线**
    - 包括**时钟信号线**、**电源线**、**地线**、**系统复位线**以及**加电或断电的时序信号线**等

# 6.1.4 总线结构实例

## ● Pentium计算机主板总线结构框图



PentiumPC的总线结构是一个三层次的多总线结构，即有CPU总线、PCI总线和ISA总线。



## 6.1.4 总线结构实例

- 采用分层次的多总线结构
  - 速度差异较大的设备模块使用不同速度的总线，
  - 速度相近的设备模块使用同一类总线
- Pentium主板总线结构是一个三层次的多总线结构：
  - CPU总线，也称CPU-存储器总线
    - CPU是这条总线的主控者，但必要时可放弃总线控制权
    - 从传统的观点看，可以把CPU总线看成是CPU引脚信号的延伸
  - PCI总线
    - 用于连接高速的I/O设备模块
    - 通过“桥”芯片，上面与更高速的CPU总线相连，下面与低速的ISA总线相接
  - ISA总线
    - Pentium机使用该总线与低速I/O设备连接



## 6.1.4 总线结构实例

### ● “桥”芯片

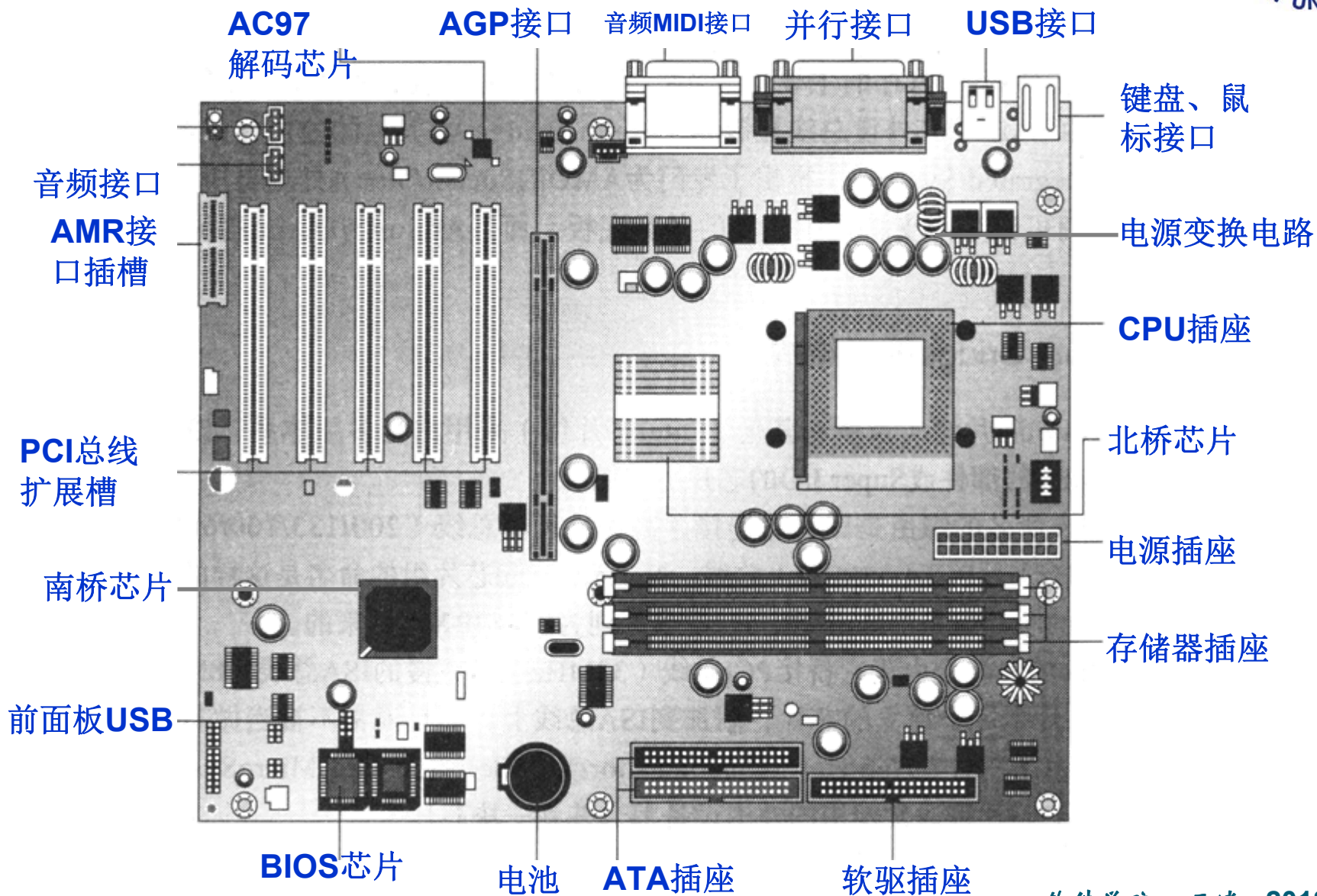
- CPU总线、PCI总线、ISA总线通过两个“桥”芯片连成整体
- 桥芯片在此起到了信号速度缓冲、电平转换和控制协议的转换作用。
- 通常将CPU总线-PCI总线的桥称为北桥，将PCI总线-ISA总线的桥称为南桥。
- 通过桥将两类不同的总线“粘合”在一起的技术特别适合于系统的升级换代。

### ● PCI芯片组

- Pentium个人机总线系统中有一个核心逻辑芯片组，简称PCI芯片组
- 它包括主存控制器和cache控制器芯片、北桥芯片和南桥芯片
- 在系统中起着至关重要的作用

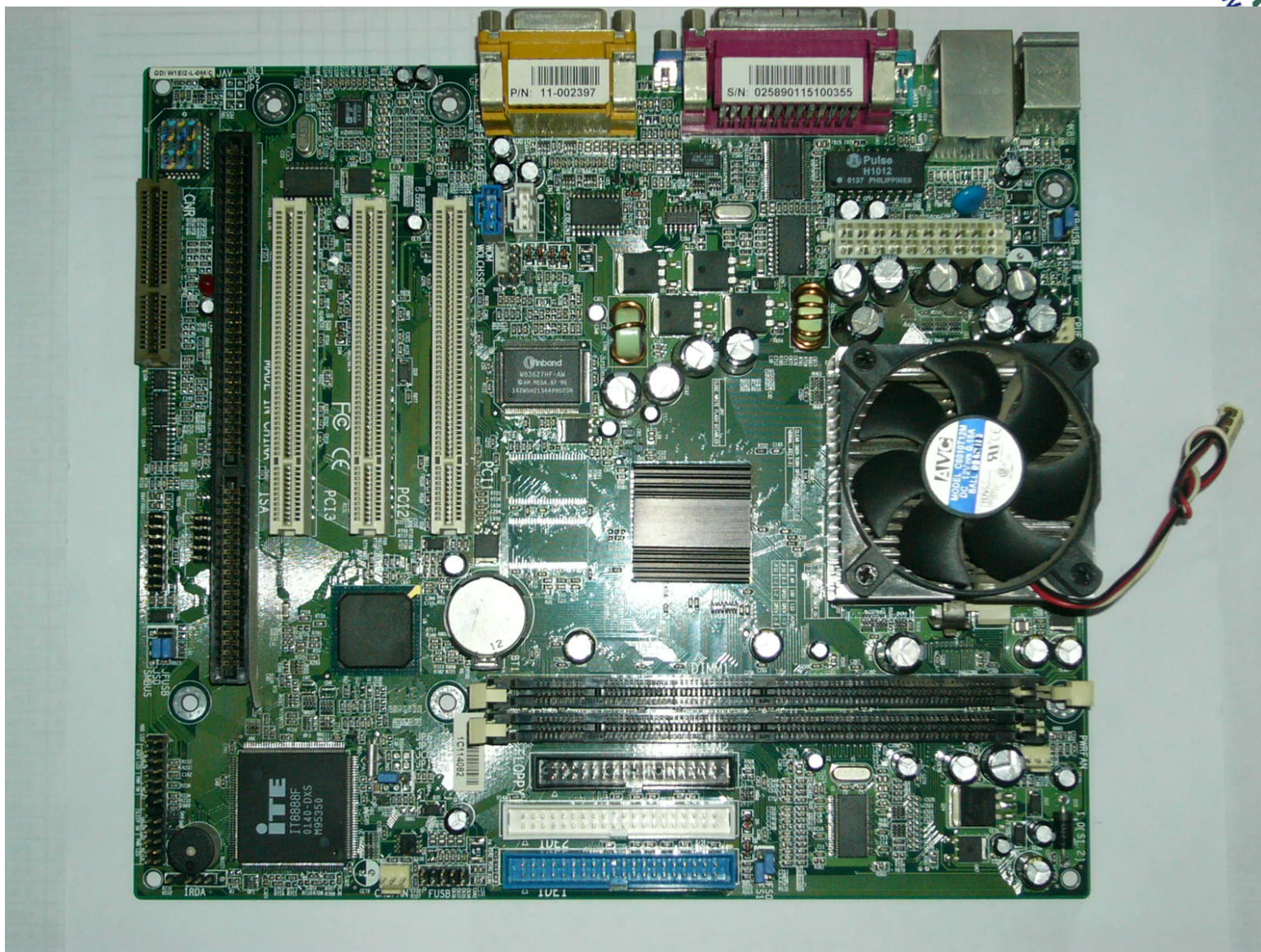


# 6.1.4 总线结构实例





## 6.1.4 总线结构实例





## 6.2 总线接口

### ● 6.2.1 信息传送方式

- 计算机系统中，传输信息采用三种方式：**串行传送**、**并行传送**和**分时传送**。但是出于速度和效率上的考虑，系统总线上传送的信息必须采用**并行传送**方式。

### ● 1. 串行传送

- 只有一条传输线，每次一位，按顺序来传送表示一个数码的所有二进制位(bit)，串行传送时**低位在前，高位在后**
  - 在串行传送时，被传送的数据需要在发送部件进行**并-串变换**，这称为**拆卸**；
  - 而在接收部件又需要进行**串-并变换**，这称为**装配**。

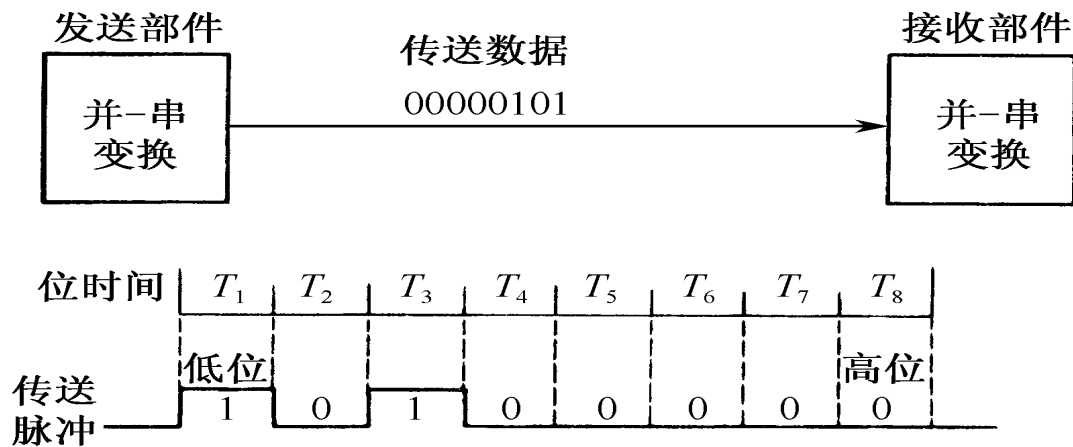
### ● 2. 并行传送

- 每个数据位都需要单独一条传输线。二进制数“0”或“1”在不同的线上同时进行传送。
- 并行传送一般采用电位传送。

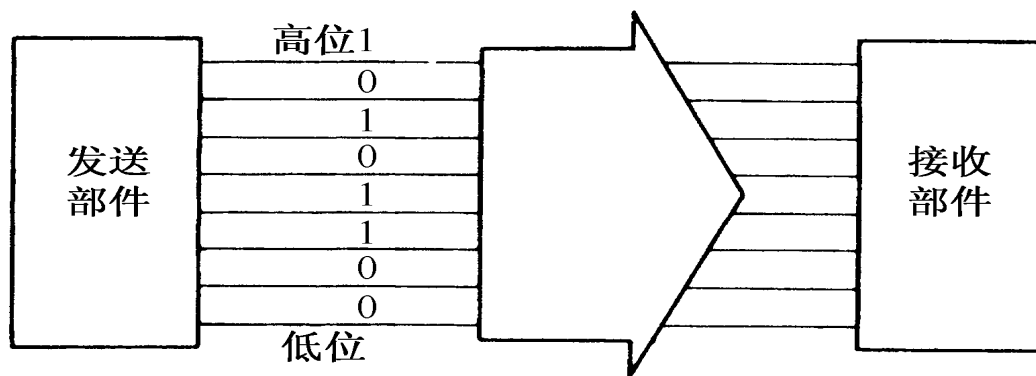
### ● 3. 分时传送

- 一是采用**总线复用**方式
  - 某个传输线上既传送地址信息，又传送数据信息
  - 为此必须**划分时间片**，以便在不同的时间间隔中完成传送地址和传送数据的任务
- 二是共享总线的部件**分时使用总线**

## 6.2.1 信息传送方式



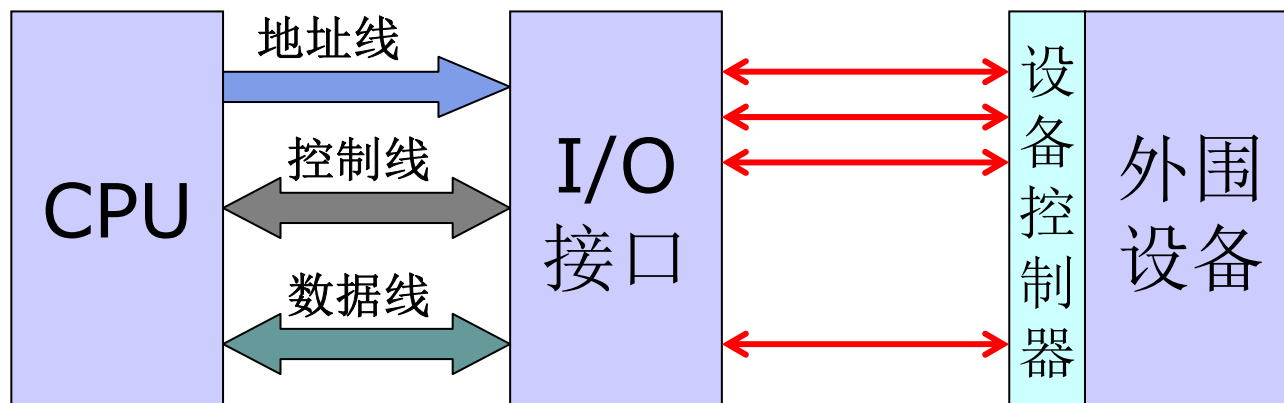
(a) 串行传送



(b) 并行传送

## 6.2.2 总线接口的基本概念

- **I/O设备适配器**通常简称为**接口**
  - 广义地讲，接口是指**CPU**和主存、外围设备之间通过总线进行连接的逻辑部件，接口部件在它动态连接的两个部件之间起着“转换器”的作用，以便实现彼此之间的信息传送。
- **CPU、接口和外围设备之间的连接关系**
  - 外围设备自身带有**设备控制器**：
    - 通过**I/O接口**接收来自**CPU**的控制命令或将设备的请求通过**I/O接口**传送给**CPU**；





## 6.2.2 总线接口的基本概念

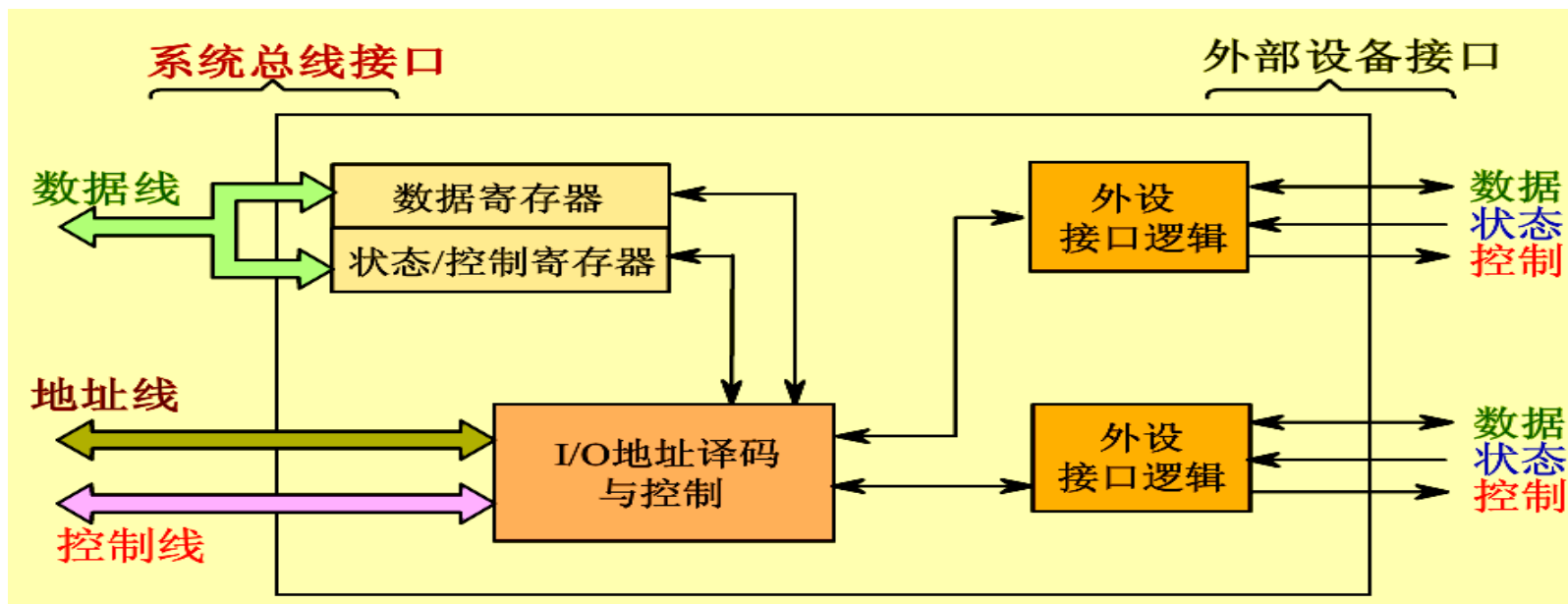
### ● I/O接口结构框图

#### ● 接口的典型功能:

- 控制、缓冲、状态、转换、整理、程序中中断。

#### ● 一个适配器的两个接口:

- **系统总线接口**: 同系统总线相连, 采用并行方式。
- **外围设备接口**: 同设备相连, 可能采用并行方式或是串行方式。  
根据外围设备接口方式不同, 有串行/并行接口;





## 6.2.2 总线接口的基本概念

- 例:

- 利用串行方式传送字符，每秒钟传送的数据位数常称为波特率。假设数据传送速率是**120个字符/秒**，每一个字符格式规定包含**10个数据位**(起始位、停止位、8个数据位)，问传送的波特率是多少？每个数据位占用的时间是多少？

- 解:

- 波特率 =  $10 \text{ 位} \times 120 / \text{秒} = 1200 \text{ 波特}$
- 每个数据位占用的时间  $T_d$  是波特数的倒数:  
 $T_d = 1/1200 = 0.833 \times 0.001 \text{ s} = 0.833 \text{ ms}$



## 6.3 总线仲裁

### ● 总线上的模块双方：

- 主方：控制总线完成数据传输，启动总线周期。
- 从方：被动实现数据交换，响应请求。
- CPU（或I/O）模块在不同的时间可以用作主方，也可以用作从方，存储器只能是从方。
- 在某一时刻：
  - 只能有一个主设备控制总线，其它设备此时可以作为从设备
  - 只能有一个设备向总线发送数据，但可以有多个设备从总线接收数据
  - 总线占用期：主方持续控制总线的时时间。

### ● 总线仲裁：

- 目的：为了解决多个主设备同时竞争总线控制权问题，决定当前控制总线的主设备。
- 策略：优先级（I/O）或 公平策略（CPU）
- 分类：
  - 集中仲裁：中央仲裁器负责
  - 分布仲裁：比较各个主设备仲裁号决定





## 6.3.1 集中式仲裁

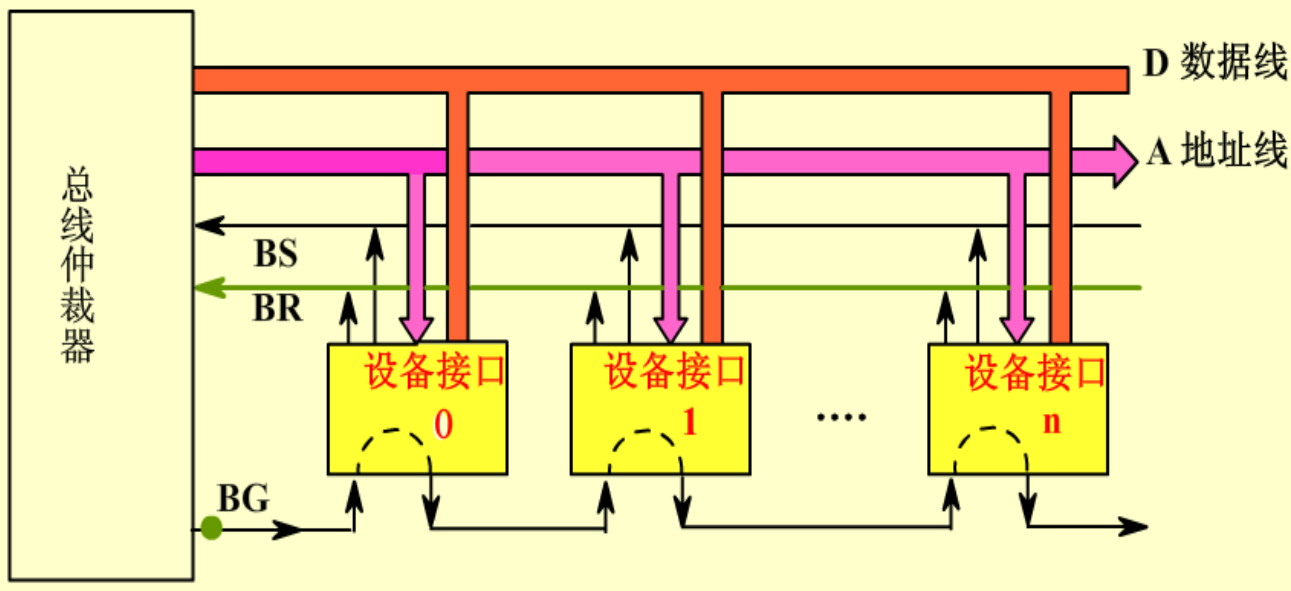
- 每个功能模块使用**BR线**和**BG线**连接总线控制器。
  - **BR线**: 总线请求信号线;
  - **BG线**: 总线授权信号线;
- 集中式仲裁有3种方式:
  - 链式查询方式
  - 计数器定时查询方式
  - 独立请求方式

## 6.3.1 集中式仲裁

### ● 链式查询方式:

- 构成: D: 数据线; A: 地址线; BS: 状态信号; BS=1, 总线被使用; BS=0, 总线空闲;
- 仲裁方式: 设备0优先权最高, 设备n优先权最低, 离中央仲裁器最近的设备具有最高优先权, 离总线控制器越远, 优先权越低, 优先权高的, 优先使用总线。

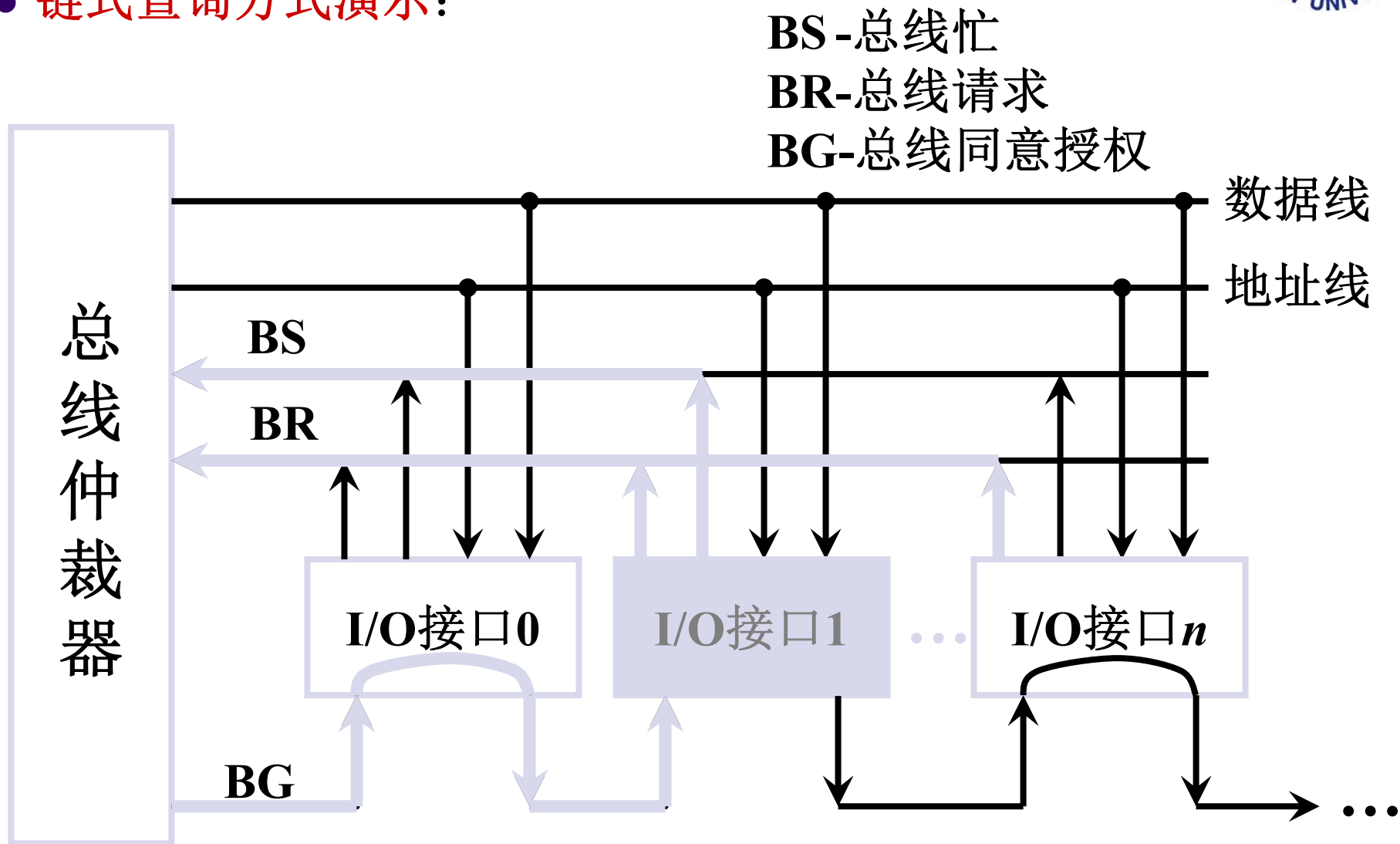
### (a)菊花链查询方式



- 优点: 只用很少几根线就能按一定优先次序实现总线控制, 并且这种链式结构很容易扩充设备。
- 缺点: 是对询问链的电路故障很敏感, 优先级固定。

## 6.3.1 集中式仲裁

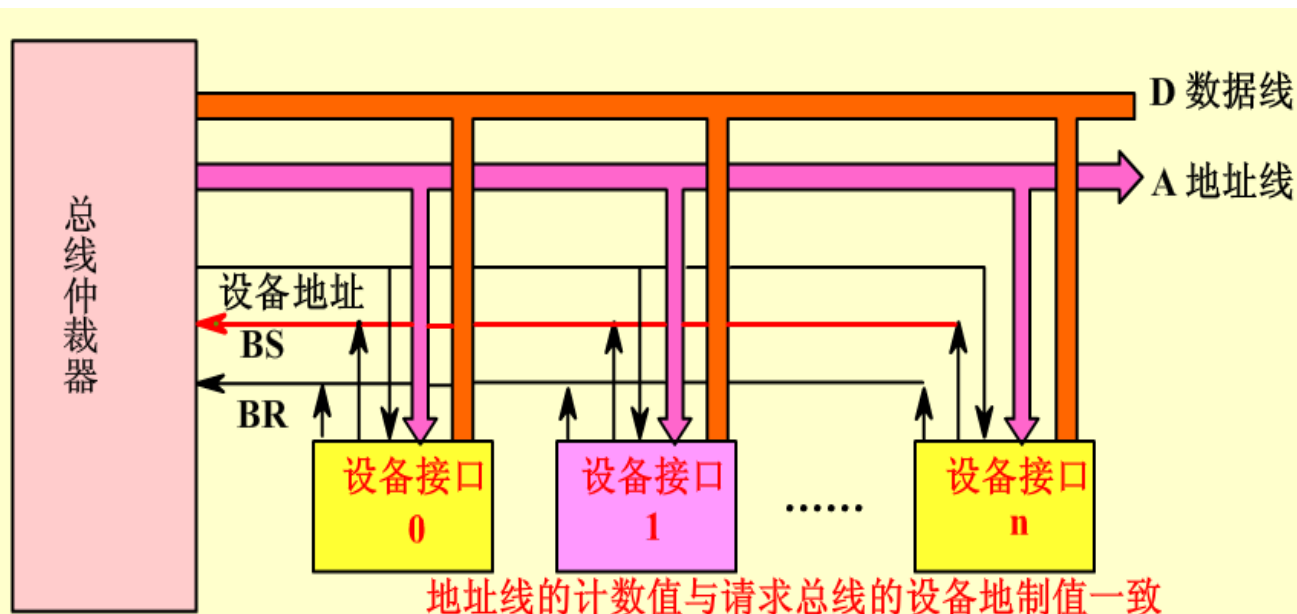
- 链式查询方式演示:



## 6.3.1 集中式仲裁

### ● 计数器定时查询方式:

- **仲裁方式**: 总线上的任一设备要求使用总线时, 通过**BR**线发出总线请求。中央仲裁器接到请求信号以后, 在**BS**线为“0”的情况下让计数器开始计数, 计数值通过一组地址线发向各设备。每个设备接口都有一个设备地址判别电路, 当地址线上的计数值与请求总线的设备地址相一致时, 该设备置“1”**BS**线, 获得了总线使用权, 此时中止计数查询。每次计数可以从“0”开始, 也可以从中止点开发始。如果从“0”开始, 各设备的优先次序与链式查询法相同, 优先级的顺序是固定的。如果从中止点开始, 则每个设备使用总线的优级相等。

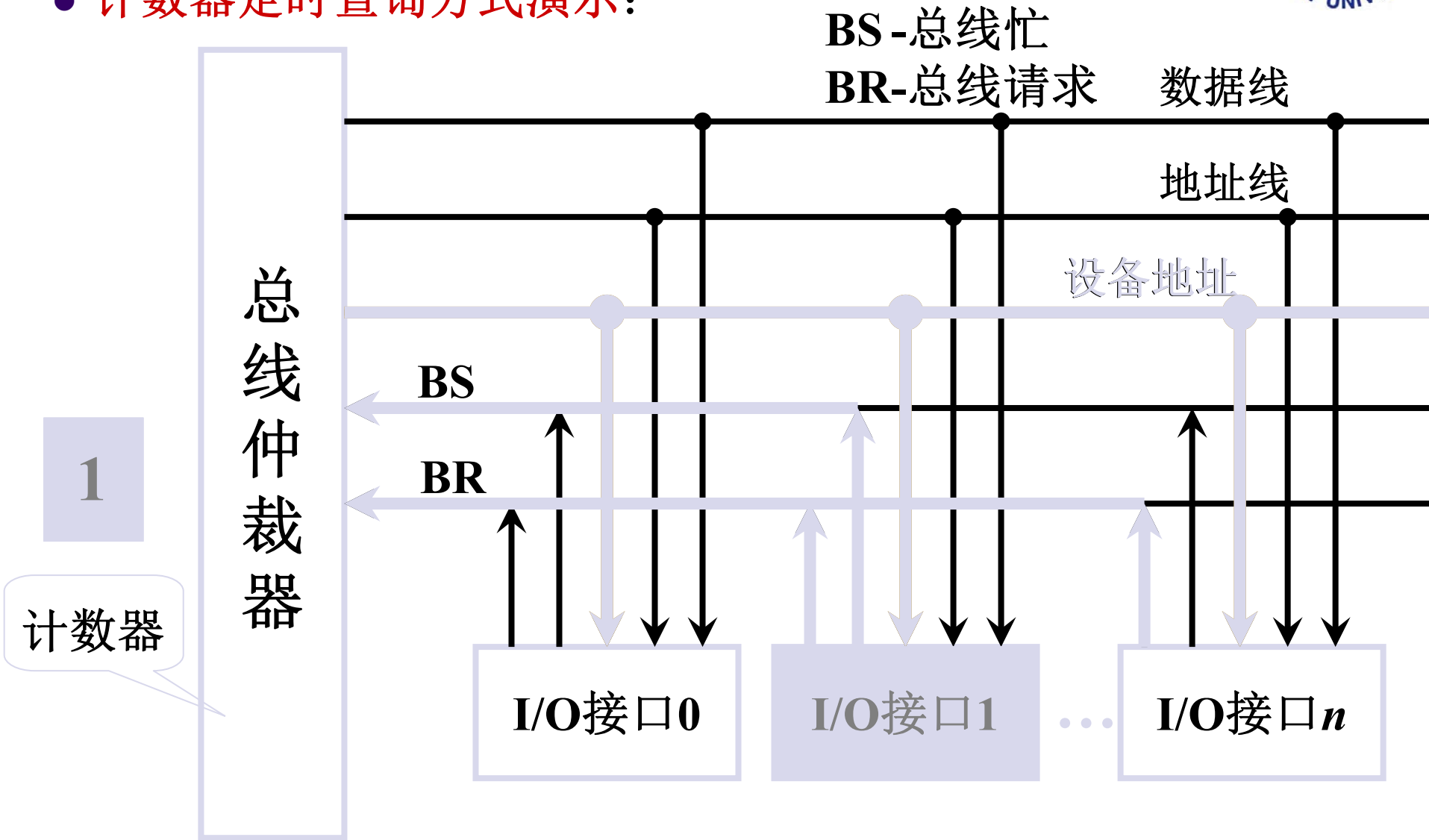


计数器开始计数

- 计数器的初值也可用程序来设置, 这可以方便地改变优先次序, 但这种灵活性是以增加线数为代价的。可方便的改变优先级。

## 6.3.1 集中式仲裁

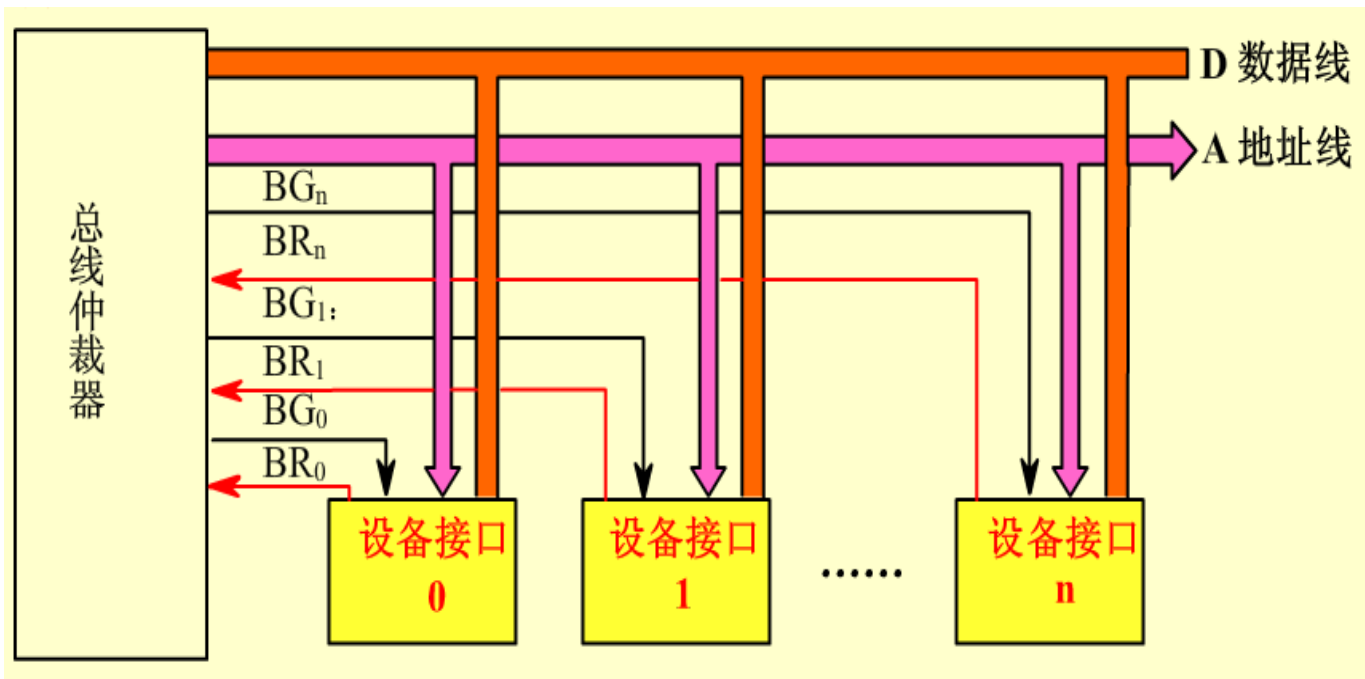
- 计数器定时查询方式演示:



## 6.3.1 集中式仲裁

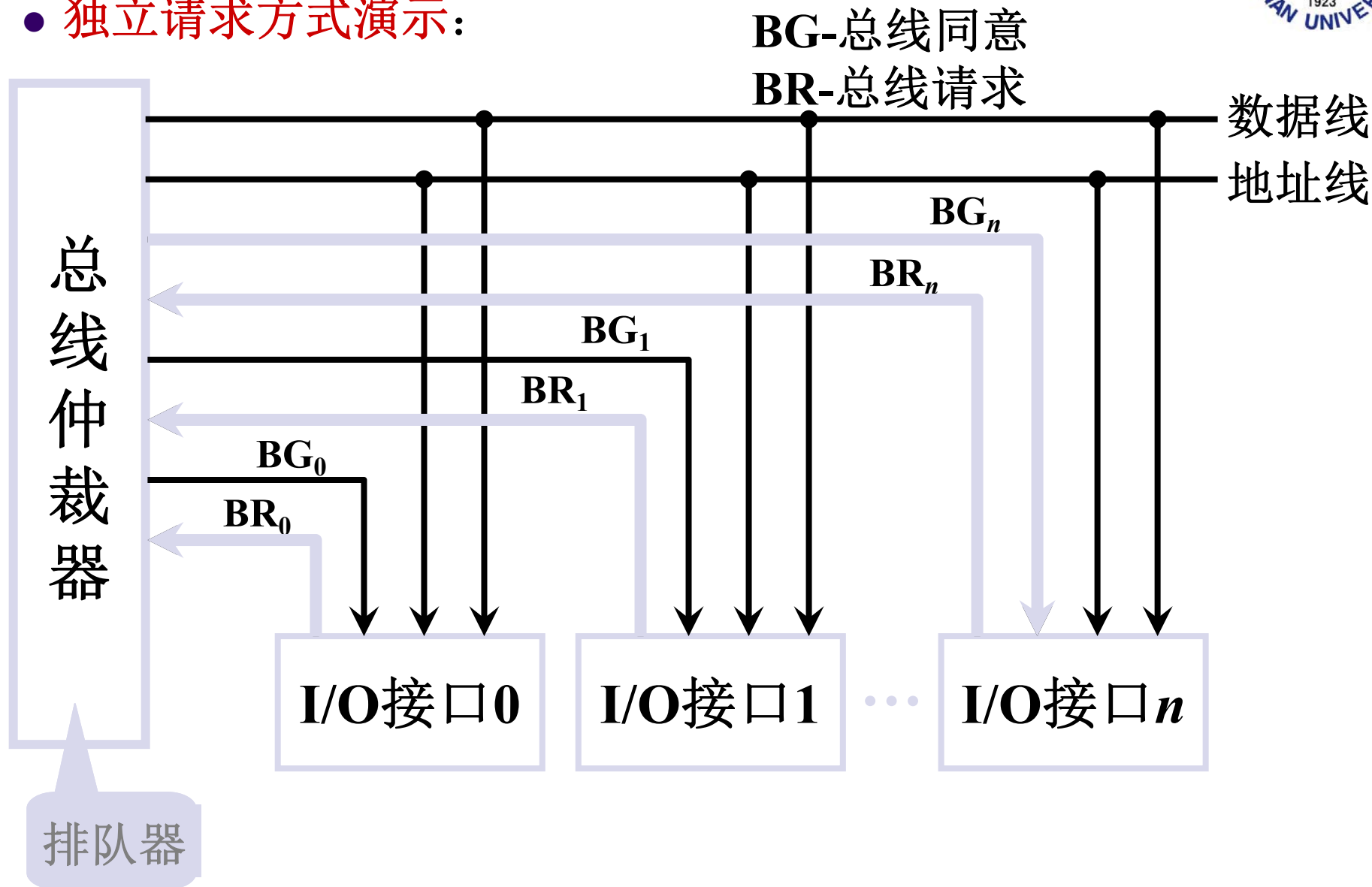
### ● 独立请求方式：

- **仲裁方式**：每一个共享总线的设备均有一对总线请求线 $BR_i$ 和总线授权线 $BG_i$ 。当设备要求使用总线时，便发出该设备的请求信号。总线仲裁器中有一个排队电路，它根据一定的优先次序决定首先响应哪个设备的请求，给设备以授权信号 $BG_i$ 。
- 独立请求方式的优点是响应时间快，对优先次序的控制相当灵活。它可以预先固定，也可以通过程序来改变优先次序；还可以用屏蔽（禁止）某个请求的办法，不响应来自无效设备的请求。因此当代总线标准普遍采用独立请求方式。



## 6.3.1 集中式仲裁

### ● 独立请求方式演示：



## 6.3.1 集中式仲裁

### ● 3种仲裁方式比较:

#### ● 链式查询方式

- 优点: 只用很少几根线就能按一定优先次序实现总线控制, 并且这种链式结构很容易扩充设备。
- 缺点: 是对询问链的电路故障很敏感, 优先级固定。

#### ● 计数器定时查询方式

- 计数器的初值也可用程序来设置, 这可以方便地改变优先次序, 但这种灵活性是以增加线数为代价的。可方便的改变优先级。

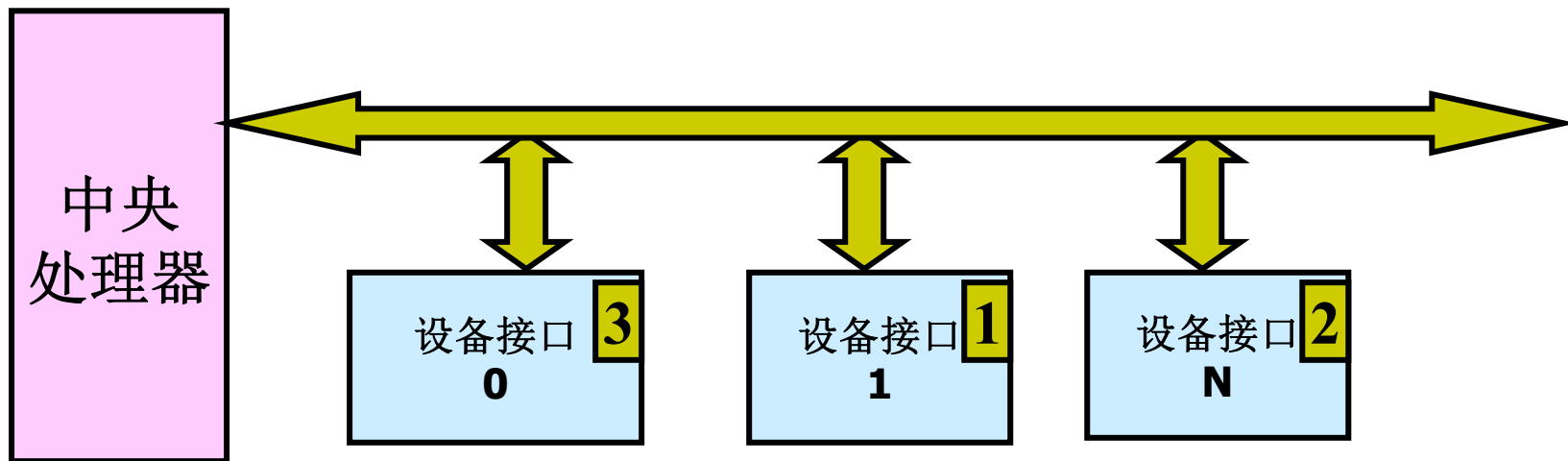
#### ● 独立请求方式

- 优点是响应时间快, 即确定优先响应的设备所花费的时间少。对优先次序的控制也是相当灵活的, 可以预设, 可以屏蔽。



## 6.3.2 分布式仲裁

- **分布式仲裁**：不需要中央仲裁器，而是多个仲裁器竞争使用总线。
  - 当它们有总线请求时，把它们**唯一的仲裁号**发送到共享的仲裁总线上，每个仲裁器将仲裁总线上得到的号与自己的号**进行比较**。如果仲裁总线上的号大，则它的总线请求不予响应，并撤消它的仲裁号。最后，获胜者的仲裁号保留在仲裁总线上。
  - 分布式仲裁是以**优先级仲裁策略**为基础。





## 6.4 总线的定时和数据传送模式

- 总线完成一次信息传送的5个过程：
  - 请求总线
  - 总线仲裁
  - 寻址
  - 信息传送
  - 状态返回(或错误报告)。
- 各个过程要按规定的先后顺序依次出现，主从双方的操作需要同步。



## 6.4.1 总线的定时

### ● 定时:

- 为了同步主从双方的操作，必须制定定时协议。定时就是指时间出现在总线上的时序关系。
- 两种定时方式：同步定时与异步定时；

### ● 同步定时:

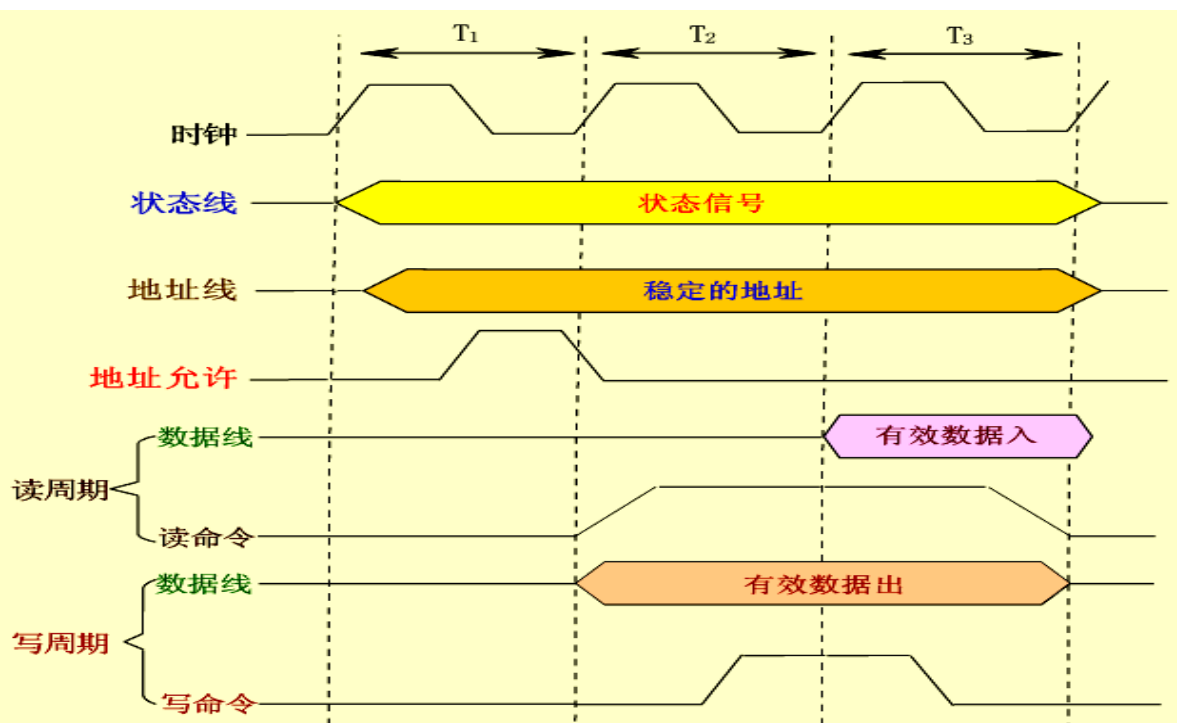
- 总线操作的各个过程由共用的**总线时钟信号控制**。
- 适合速度相当的器件互连总线，否则需要准备好信号让快速器件等待慢速器件。
- 微处理器控制的总线时序采用同步时序。

### ● 异步定时:

- 总线操作需要**握手联络**（应答）信号控制。
  - 数据传输的开始伴随有**启动（选通或读写）信号**。
  - 数据传输的结束有一个**确认信号**，进行应答。

## 同步总线操作时序:

- 时钟周期/总线周期: 1次I/O传送的试卷。T1,T2,T3,.....
- 读周期/**写周期**:
  - T1周期: 启动, 提供控制/地址信息至总线;
  - T2周期: 发出读命令并保持有效; /**提供数据至总线**, 发出写命令并**保持**;
  - T3周期: CPU读取/**写入**总线上出现数据, 并取消控制/地址信息和读/**写**命令;

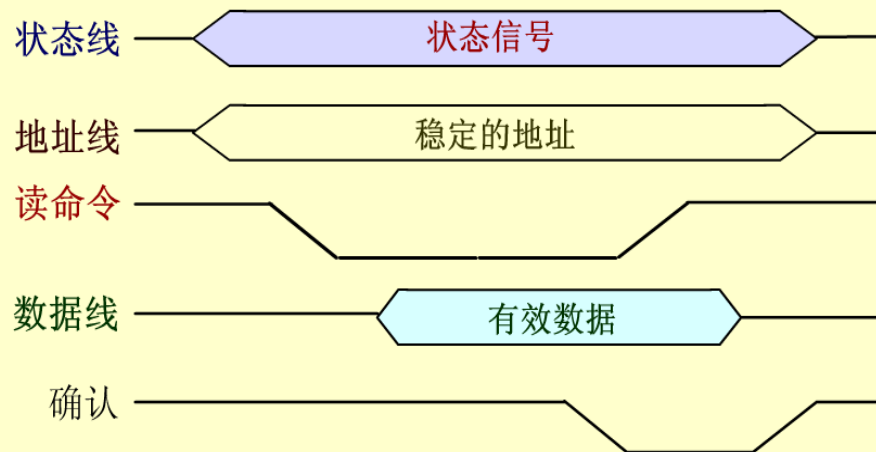


所有操作都受  
同一个时钟周  
期控制。

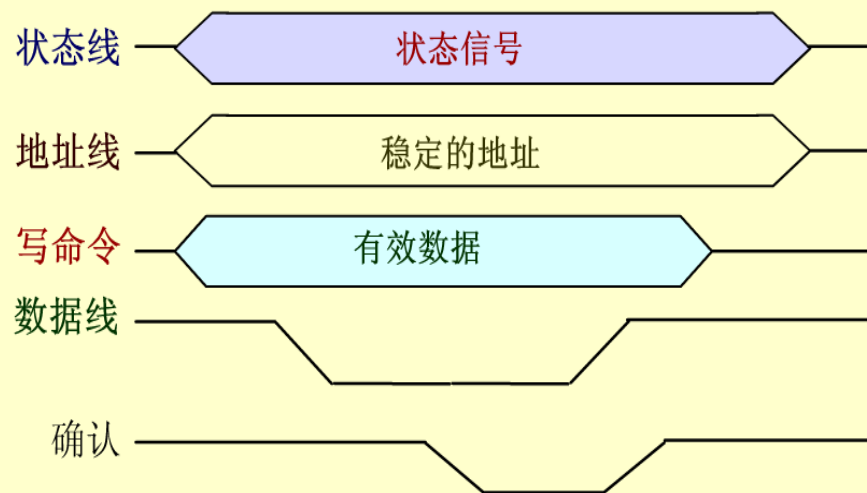
## 异步总线操作时序:

- 读周期/写周期: 后1事件出现在总线上的时刻取决于前1事件的出现, 是一种应答式/互锁式机制, 不需要统一的时钟信号, 总线周期可变。

(a) 系统总线读周期



(b) 系统总线写周期



## 6.4.2 总线数据传送模式

### ● 四类模式的数据传送

#### ● 读写操作

- 读数据传送：数据由从设备到主设备
- 写数据传送：数据由主设备到从设备

#### ● 块传送操作（猝发式传送）

- 给出块起始地址，将固定块长的数据一个接一个地从相邻地址读出或写入

#### ● 写后读、读修改写操作

- 写后读：先写后读同一个地址单元，适用于校验
- 读修改写：先读后写同一个地址单元，适用于共享数据保护

#### ● 广播、广集操作

- 广播：一个主设备对多个从设备的写入操作
- 广集：将选定的多个从方数据在总线上完成AND或OR操作，用以检测多个中断源。

## 6.5 HOST总线和PCI总线

- **6.5.1 多总线结构：**PC机和服务器主板总线框图
  - **3级总线：**HOST总线，PCI总线，LEGACY总线；

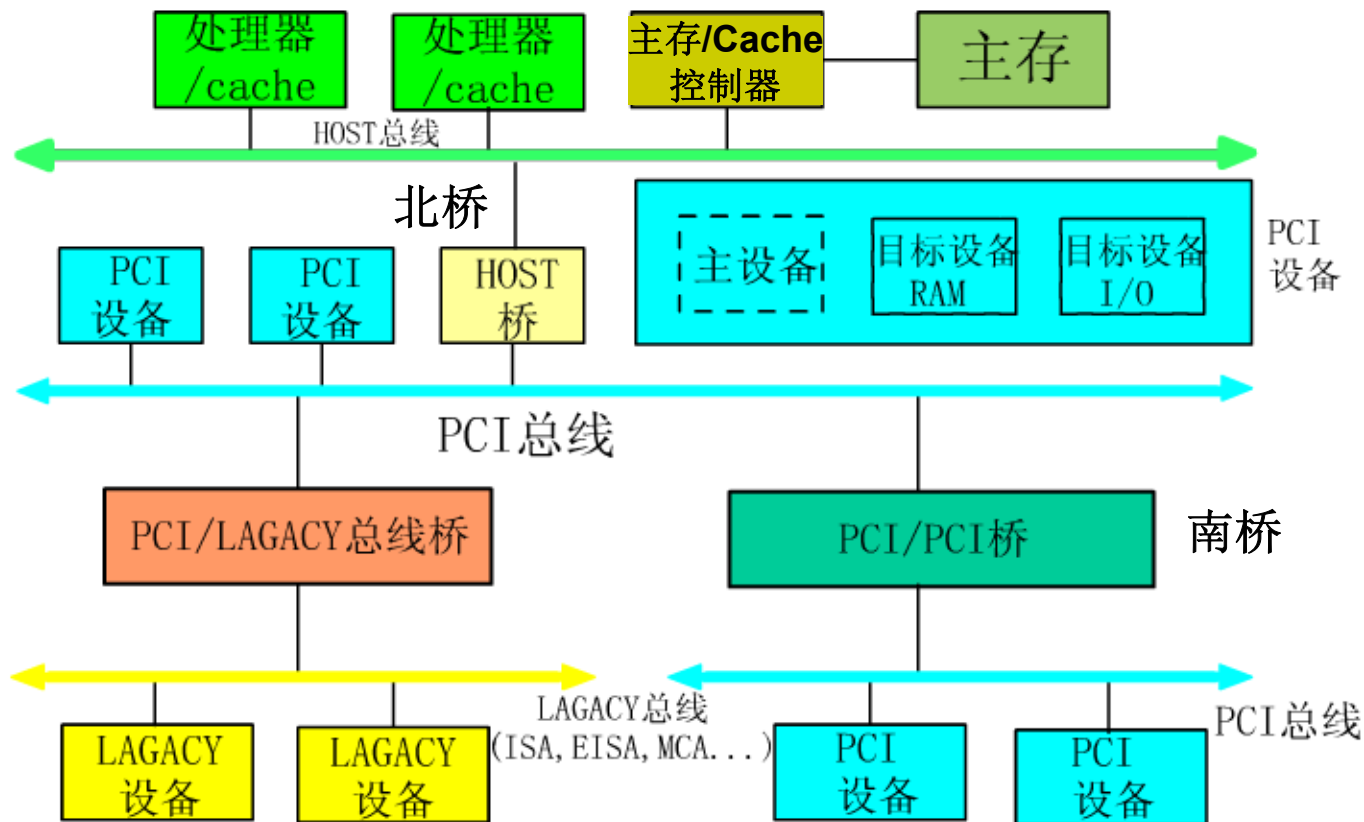


图6.16 PCI总线结构框图



# 6.5.1 多总线结构

## ● HOST总线

- 有CPU总线、系统总线、主存总线、前端总线等多种名称，各自反映了总线功能的一个方面。这里称“宿主”总线，也许更全面，因为HOST总线不仅连接主存，还可以连接多个CPU。
- HOST总线是连接“北桥”芯片与CPU之间的信息通路，它是一个64位数据线和32位地址线的同步总线。总线上还接有L2级cache，主存与cache控制器芯片。

## ● PCI总线

- 连接高速PCI设备，是与处理器无关高速外围总线，至关重要的层间总线；
- 集中式总线仲裁、同步时序协议，支持多处理器系统
- 通过桥电路兼容ISA/EISA总线
- 具有即插即用的自动配置能力。PCI设备可以是主设备，也可以是从设备，或兼而有之。

## ● LEGACY总线

- 可以是ISA、EISA、MCA总线。16位并行系统总线，用于IBM PC/AT及其兼容机，连接中低速设备。



## 6.5.1 多总线结构

### ● 桥

- 在多总线体系结构中桥起着重要的作用，它连接两条总线，使彼此间相互通信。桥又是一个总线转换部件，可以把一条总线的地址空间映射到另一条总线的地址空间上，从而使系统中任意一个总线主设备都能看到同样的一份地址表。
- 三种桥：
  - **HOST桥** 又是PCI总线控制器，含有中央仲裁器。连接HOST总线和PCI总线，使彼此间相互通信。
  - **PCI/LEGACY桥**，连接PCI总线和LEGACY总线，使彼此间相互通信。
  - **PCI/PCI桥**，连接PCI总线和PCI总线，使彼此间相互通信。



## 6.5.2 PCI总线信号

### ● PCI基本概念

- PCI总线的基本传输机制是猝发式传送，利用桥可以实现总线间的猝发式传送。
- 写操作时，桥把上层总线的写周期先缓存起来，以后的时间再在下层总线上生成写周期，即延迟写。
- 读操作时，桥可早于上层总线，直接在下层总线上进行预读。
- 无论延迟写和预读，桥的作用可使所有的存取都按CPU的需要出现在总线上。
- 必要引脚控设备49条
- 目标设备47条
- 可选引脚51条（主要用于64位扩展、中断请求、高速缓存支持等）
- 总引脚数120条（包含电源、地、保留引脚等）



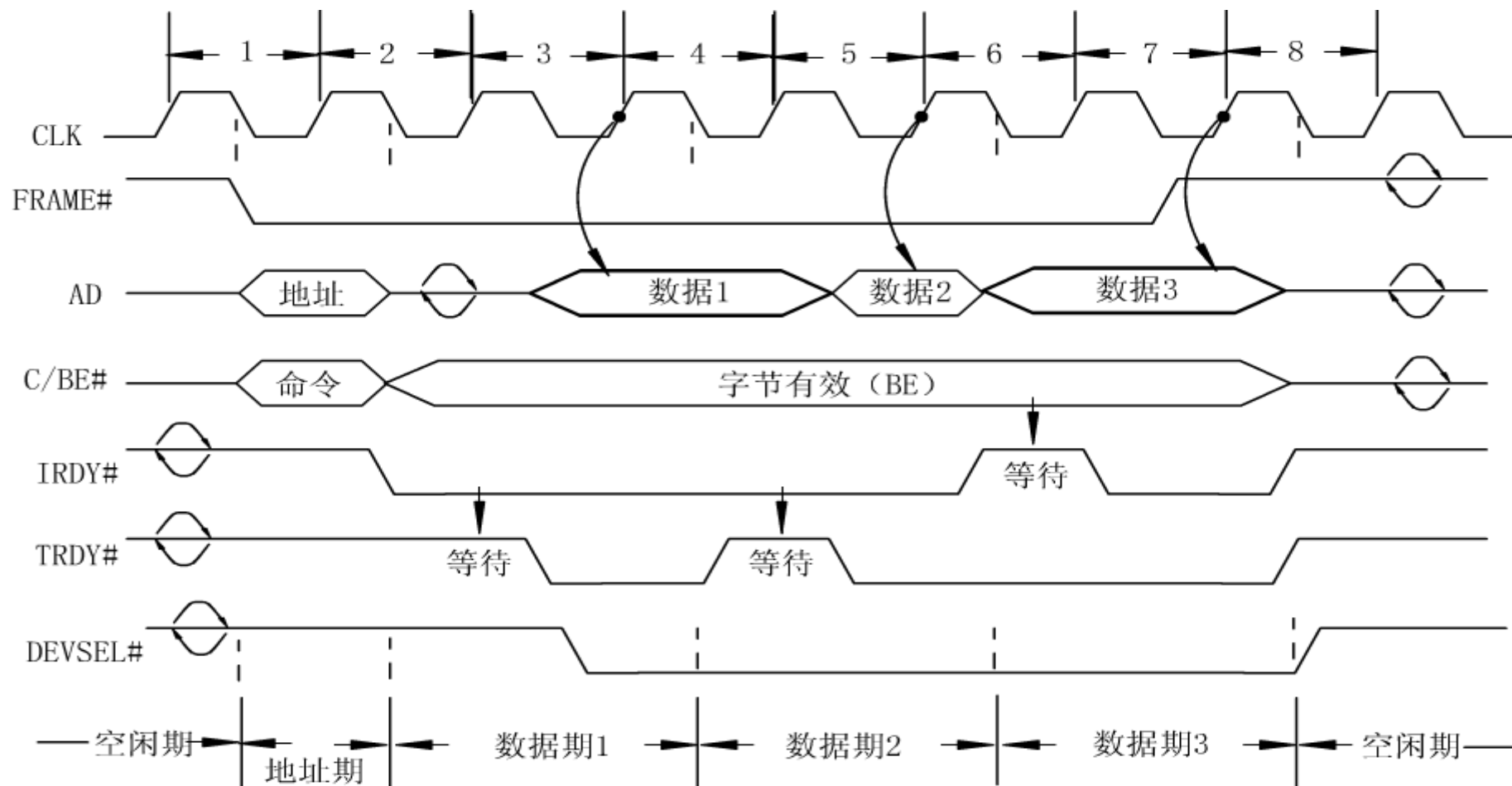
## 6.5.3 PCI总线周期类型

### ● PCI总线周期

- PCI总线周期由当前被授权的主设备发起。PCI支持任何主设备和从设备之间点到点的对等访问，也支持某些主设备的广播读写。
  - 存储器读/写总线周期
  - 存储器写和使无效周期
  - 特殊周期
  - 配置读/写周期

# 6.5.4 PCI总线周期操作

## • PCI总线周期操作





## 6.5.5 总线仲裁

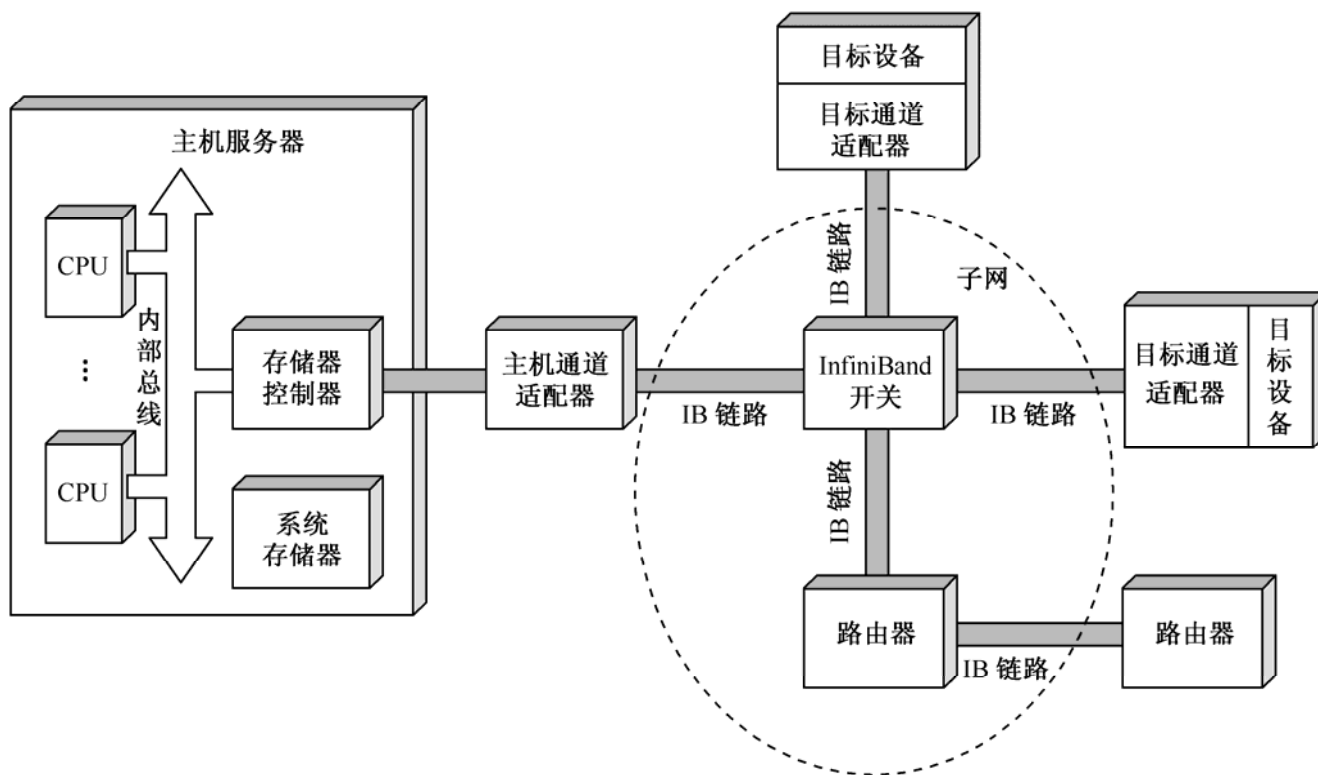
- **PCI总线仲裁方式:**

- PCI总线采用集中式仲裁方式，每个**PCI**主设备都有独立的**REQ#**（总线请求）和**GNT#**（总线授权）两条信号线与中央仲裁器相连。由中央仲裁器根据一定的算法对各主设备的申请进行仲裁，决定把总线使用权授予谁。但**PCI**标准并没有规定仲裁算法。

## 6.6 InfiniBand标准

### • InfiniBand体系结构:

- 它是一种基于开关的体系结构，可连接多达64000个服务器、存储系统、网络设备，能替代当前服务器中的PCI总线，数据传输率高达30GB/s。因此适合于高成本的较大规模计算机系统。



# 6.6 InfiniBand标准

## • InfiniBand通信协议:

