

同济大学课程考核试卷 (A 卷)

2021 — 2022 学年第二学期

命题教师签名:

审核教师签名:

课号: 10101601

课名: 计算机组成原理

考试:

此卷选为: 期中考试()、期终考试(√)、重考()试卷

年级_____专业_____学号_____姓名_____得分_____

一、选择题 (单选题, 每题 1 分) 25%

1. 至今为止, 计算机中的所有信息仍以二进制方式表示, 其理由是 ()。
A: 节约元件
B: 运算速度快
C: 物理器件性能决定
D: 信息处理方便
2. 能直接让计算机接受的语言是 ()。
A: 机器语言
B: BASIC
C: C 语言
D: 汇编语言
3. 下列关于冯·诺依曼结构计算机基本思想的叙述中, 错误的是 ()。
A: 程序的功能都通过中央处理器执行指令实现
B: 指令和数据都用二进制数表示, 形式上无差别
C: 指令按地址访问, 数据都在指令中直接给出
D: 程序执行前, 指令和数据需预先存放在存储器中
4. 在定点二进制运算中, 减法运算一般通过 () 来实现。
A: 原码运算的二进制减法器
B: 补码运算的二进制减法器
C: 补码运算的十进制加法器
D: 补码运算的二进制加法器
5. 已知带符号整数用补码表示, 变量 x 、 y 、 z 的机器数分别为 FFFDH、FFDFH、7FFCH, 下列结论中, 正确的是 ()。
A: 若 x 、 y 和 z 为无符号整数, 则 $z < x < y$
B: 若 x 、 y 和 z 为无符号整数, 则 $x < y < z$
C: 若 x 、 y 和 z 为带符号整数, 则 $x < y < z$
D: 若 x 、 y 和 z 为带符号整数, 则 $y < x < z$
6. 下列数值中, 不能用二进制格式精确表示的 ()。
A: 1.2
B: 1.25
C: 2.0
D: 2.5
7. 能发现两位错并能纠正一位错的编码为 ()。
A: CRC 码
B: 海明码
C: 奇校验码
D: 偶校验码

8. 某计算机的存储总线中有 24 位地址线和 32 位数据线,按字编址,字长为 32 位。 若 00 0000H—3F FFFFH 为 RAM 区,则需要 512K X 8 的 RAM 芯片数为 ()。

A: 8 B: 16 C: 32 D: 64

9. 下列存储器中,汇编语言程序员可见的是 ()。

I. 指令寄存器; II. 微指令寄存器; III. 基址寄存器; IV. 标志寄存器

A: 仅 I、II B: 仅 I、IV C: 仅 II、IV D: 仅 III、IV

10. 若计算机主存地址为 32 位,按字节编址,Cache 数据块大小为 32KB,主存块大小为 32B,采用 2 路组相联映射方式,则 Cache 的标志位至少是 ()。

A: 17 B: 18 C: 19 D: 20

11. 下列元件中存取速度最快的是 ()。

A: Cache B: 寄存器
C: 内存 D: 外存

12. 磁盘存储器的等待时间通常是指 ()。

A: 磁盘旋转半周所需要的时间 B: 磁盘旋转一周所需要的时间
C: 磁盘旋转 2/3 周所需要的时间 D: 磁盘旋转 1/3 周所需要的时间

13. 指令周期是指 ()。

A: CPU 从主存储器取出一条指令时间
B: CPU 执行一条指令时间
C: CPU 从主存储器取出一条指令时间加上执行一条指令时间
D: 时钟周期时间

14. 采用虚拟存储器的主要目的 ()。

A: 提高主存储器的存储速度 B: 扩大存储器空间,并能进行自动管理
C: 提高外存储器的存储速度 D: 扩大存储器空间

15. 下列关于数据通路的叙述中,错误的是 ()。

A: 数据通路包含 ALU 等组合逻辑(操作)元件
B: 数据通路包含寄存器等时序逻辑(状态)元件
C: 数据通路不包含用于异常事情检测及响应的电路
D: 数据通路中的数据流动路径由控制信号进行控制

16. 水平微指令和垂直微指令相比, ()。

A: 前者一次只能完成一个操作 B: 后者一次只能完成一个操作
C: 两者都是一次只能完成一个操作 D: 两者都能一次完成多个操作

17. 某计算机采用 16 位定长指令字格式, 操作码位数和寻址方式位数固定, 指令系统有 48 条指令, 支持直接、间接、立即、相对 4 种寻址方式, 单地址指令中直接寻址方式可寻址范围是 ()。

- A: 0—255; B: 0—1023; C: -128—127; D: -512—511

18. 下列关于 TLB 和 Cache 的叙述错误的是 ()。

- A: 命中率与程序局部性有关;
B: 缺失后都要去访问主存;
C: 缺失处理都可以由硬件实现;
D: 都由 DRAM 存储器组成。

19. 某指令功能为 $R[r2] \leftarrow R[r1] + M[R[r0]]$, 其两个源操作数分别采用寄存器、寄存器间接寻址方式。对于下列给定部件, 该指令在取数及执行过程中需要用到的是 ()。

- I. 通用寄存器组 (GPRs) II. 算术逻辑单元 (ALU)
III. 存储器 (Memory) IV. 指令译码器 (ID)
A: 仅 I、II B: 仅 I、II、III
C: 仅 II、III、IV D: 仅 I、III、IV

20. 下列寻址方式中, 最适合按下标顺序访问一维数组元素的是 ()。

- A: 相对寻址 B: 寄存器寻址 C: 直接寻址 D: 变址寻址

21. 某计算机按字节编址, 指令字长固定且只有两种指令格式, 其中三地址指令 29 条, 二地址指令 107 条, 每个地址字段为 6 位, 则指令字长至少应该是 ()。

- A: 24 位 B: 26 位 C: 28 位 D: 32 位

22. 下列关于主存储器 (MM) 和控制存储器 (CS) 的叙述中, 错误的是 ()

- A: MM 在 CPU 外, CS 在 CPU 内
B: MM 按地址访问, CS 按内容访问
C: MM 存储指令和数据, CS 存储微指令
D: MM 用 RAM 和 ROM 实现, CS 用 ROM 实现

23. 下列是关于多重中断系统中 CPU 响应中断的叙述, 其中错误的是 ()。

- A: 仅在用户态 (执行用户程序) 下, CPU 才能检测和响应中断
B: CPU 只有在检测到中断请求信号后, 才会进入中断响应周期
C: 进入中断响应周期时, CPU 一定处于中断允许 (开中断) 状态
D: 若 CPU 检测到中断请求信号, 则一定存在未被屏蔽的中断源请求信号

24. 下列选项中不属于 I/O 接口的是 ()。

- A: 磁盘驱动器 B: 打印机适配器
C: 网路控制器 D: 可编程中断控制器

25. 下列关于总线的叙述中, 错误的是 ()。

- A: 总线是在两个或多个部件之间进行数据交换的传输介质
- B: 同步总线由时钟信号定时, 时钟频率不一定等于工作频率
- C: 异步总线由握手信号定时, 一次握手过程完成一次数据交换
- D: 突发 (Burst) 传送总线事务可以在总线上连续传送多个数据

二、填空题 (每空 1 分) 15%

26. 设有两浮点数 X, Y 实现 $X \pm Y$ 运算, 其中: $X = M_X 2^{E_X}; Y = M_Y 2^{E_Y}$ 。均为规格化数。

执行 (1) _____; (2) _____; (3) _____;
(4) _____; (5) _____ 完成运算。

27. 假设数据位的个数为 k , 校验位的个数为 r , 如要能检测与自动校正一位错, k 和 r 要满足关系: _____。

28. 多体交叉存储器使用地址码的 _____ 经过译码选择不同的存储模块, 连续地址分布 _____。

29. 计算机指令系统分为: (1) _____; (2) _____。

30. 微指令控制字段的编译法主要有: (1) _____; (2) _____。

31. 磁盘存储器读写一块信息所需总的时间: _____。

32. CPU 对中断的响应是在 _____, DMA 的响应则可以在 _____。

三、简答题（每题 5 分） 30%

33. 在 4 位超前进位加法器中，得到的公式如下：

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

$$C_4 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

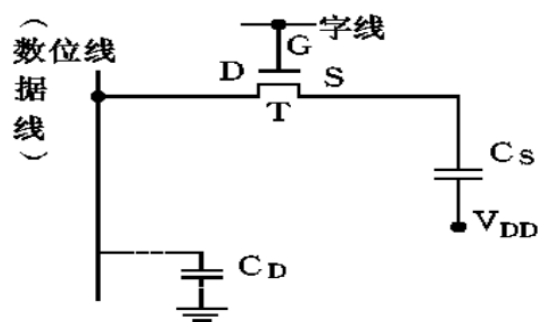
其中 $G_i = A_i B_i$ $P_i = A_i + B_i$ ， A 、 B 为相加两数， C_0 进位输入
如果改为 8 位超前进位加法器，按照上述思路，写出 C_5 的公式

34. 简述原码乘法的规则

$$[X]_{\text{原}} = X_0 X_1 X_2 \dots X_n$$

$$[Y]_{\text{原}} = Y_0 Y_1 Y_2 \dots Y_n$$

35. 写出一位动态存储器的读写过程，说明其主要刷新方式



36. 试比较主存、辅存、高速缓冲存储器、控存、虚存

37. 设某机器共能完成 78 种操作，若指令字长为 16 位，试问单地址格式的指令其地址码可取几位？若想使指令的寻址范围扩大到 2^{16} ，可采用什么方法？举出三种不同的例子加以说明。

38. 在单周期 CPU 和多周期 CPU 的数据通路设计上，它们最大区别是什么？

四、综合题 30%

39. 假设计算机 M 的主存地址为 24 位，按字节编址；采用分页存储管理方式，虚拟地址为 30 位，页的大小为 4KB；TLB 采用 2 路组相联方式和 LRU 替换策略，共 8 组。请回答下列问题。（15 分）

（1）虚拟地址中哪几位表示虚页号？哪几位表示页内地址？（4 分）

（2）已知访问 TLB 时虚页号高位部分用作 TLB 标志，低位部分用作 TLB 组号，M 的虚拟地址中哪几位是 TLB 标记？哪几位是 TLB 的组号？（4 分）

（3）假设 TLB 初始值为空，访问的虚页号依次为 10、12、16、7、26、4、12 和 20，在此过程中，哪一个虚页号对应的 TLB 表项被替换？说明理由（5 分）

（4）若将 M 中的虚拟地址位数增加到 32 位，则 TLB 表项的位数增加几位？（2 分）

40. 下图是 MIPS 指令集多周期 CPU 的数据通路，画出以下条指令的指令流程图并标出相应的控制信号（15 分）（ALUC2=0, ALUC1=0,ALUC0=0, ALU 完成+; ALUC2=0, ALUC1=0,ALUC0=1, 完成-）

SW Rt,offset (base); (memory[base+offset] ←Rt)

指令格式:

