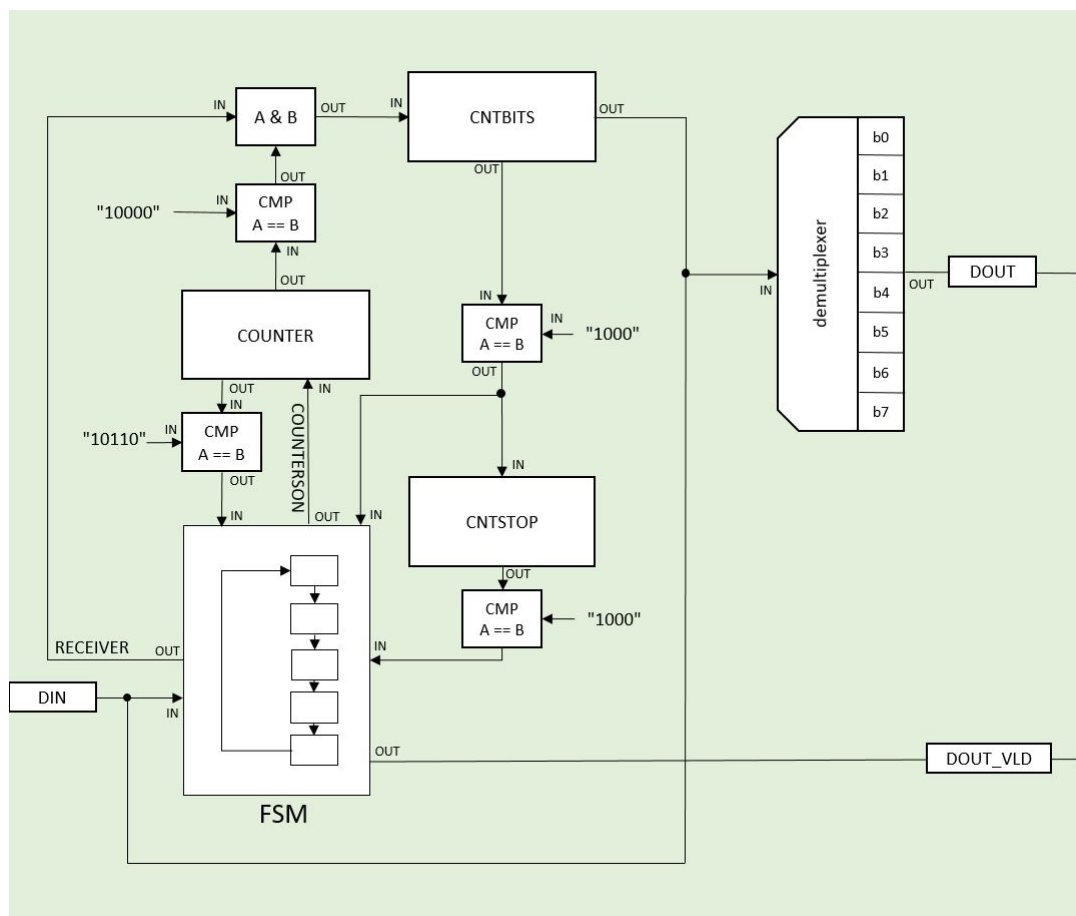


# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

## FAKULTA INFORMAČNÍCH TECHNOLOGIÍ

INC – Návrh číslicových systémů  
univerzální asynchronní přijímač–vysílač

## Architektura navrženého obvodu



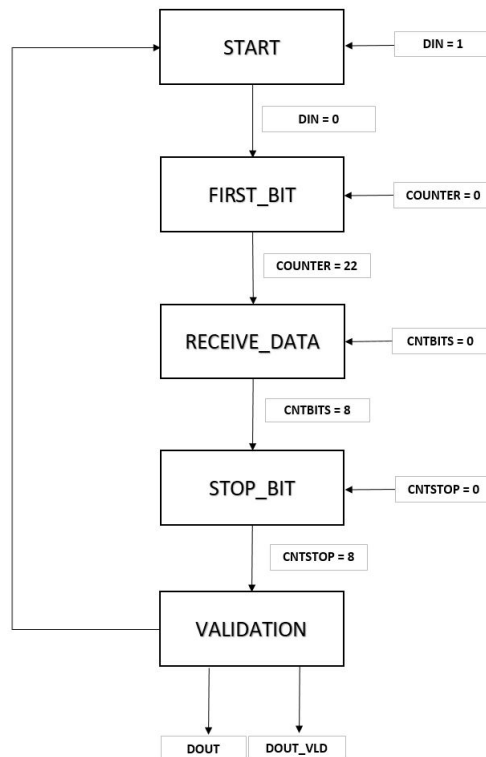
Obrázek 1: Navržený obvod - navrženo v programu MS Excel

Celý obvod se skládá z několika komponent –

- **FSM** - Finite state machine (stavový automat)
- *counter* **COUNTER** – počítá dobu mezi **start\_bitem** a **mid\_bitem** prvního bitu a mezi jednotlivými bity
- *counter* **CNTBITS** – počítá počet přenesných bitů
- *counter* **CNTSTOP** – počítá dobu než narazí na **stop\_bit**
- **DEMULTIPLEXOR** – přepínač výstupů

Obvod čeká na **start\_bit**, následně čeká 24 hodinových signálů **CLK** (pomocí **COUNTER**) na **mid\_bit** prvního bitu a poté přijímá jednotlivé bity na vstupním portu **DIN**, které zapisuje pomocí demultiplexoru na **DOUT**. Mezera mezi každým přijmutým bitem je 16 hodinových signálů **CLK** (měřeno pomocí **COUNTER**). Za posledním bitem (poslední bit hlídá **CNTBITS**) datového slova (LSB) následuje jeden nebo více tzv. **stop\_bit**ů, které jsou vždy nastaveny na úroveň log. 1. (narazení na **stop\_bit** hlídá **CNTSTOP**). Platnost datového slova na portu **DOUT** je posléze potvrzena signálem **DOUT\_VLD** na úroveň log. 1 po dobu jednoho taktu hodinového signálu **CLK**.

## Návrh automatu – Finite State Machine



Obrázek 2: Konečný automat - navrženo v programu MS Excel

Automat je složen ze pěti stavů:

– *START*, *FIRST\_BIT*, *RECEIVE\_DATA*, *STOP\_BIT*, *VALIDATION* –

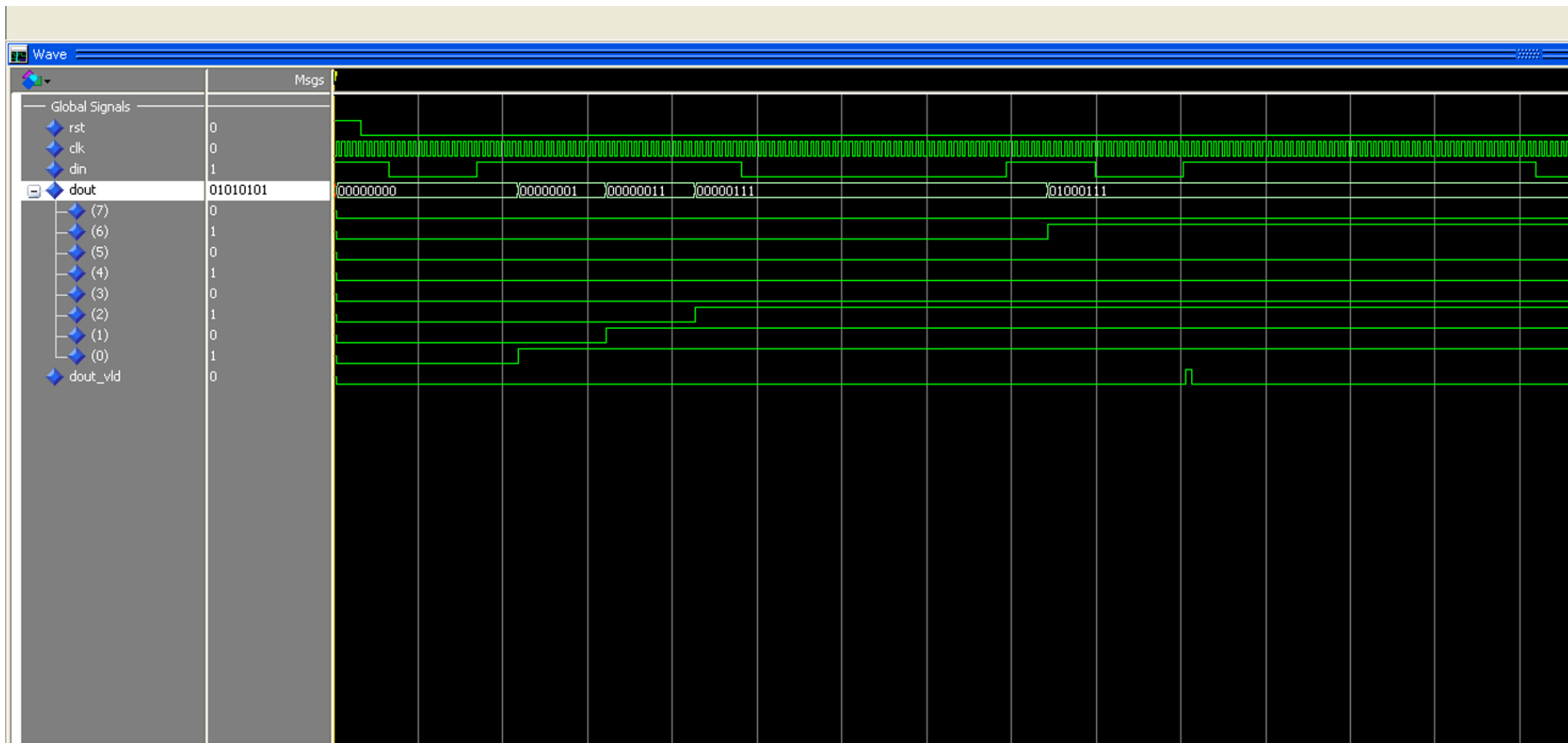
Tyto stavy mají několik vstupů:

- „DIN“ - reprezentuje datový tok
- „COUNTER“ - counter, defaultně inicializován na 0, počítá dobu mezi *start\_bit*em a *mid\_bit*em prvního bitu
- „CNTBITS“ - counter, defaultně inicializován na 0, počítá počet přenesných bitů
- „CNTSTOP“ - counter, defaultně inicializován na 0, počítá dobu než narazí na *stop\_bit*

a také několik výstupů:

- „DOUT“ - reprezentuje výstupní data
- „DOUT\_VLD“ - potvrzuje přenesení všech dat

Stavový automat je na počátku uveden do stavu *START* a čeká *start\_bit* (resp. kdy datový tok (DIN) = 0). Poté se přepne do stavu *FIRST\_BIT*, kdy čeká na snímání prvního bitu. Protože jsou data nejstabilnější uprostřed, tak je snímáme v tzv. *mid\_bit*u. To trvá přesně 24 CLK. Nato se snímá zbylých 7 bitů. Za *START* bitem jsou následně odvíšlané jednotlivé bity datového slova od významově nejnižšího bitu (LSB) po významově nejvyšší bit (MSB). Tuto činnost ohlídá counter „CNTBITS“. Následovně se automat přepne do stavu *STOP\_BIT*, kdy čekáme na tzv. *stop\_bit*, který je nastaven v log. 1. Za *stop\_bitem* a validací může začít přenos dalšího datového slova počínaje *start\_bitem*.



Obrázek 3: Screenshot ze simulace v programu ModelSim