

Міністерство освіти і науки України
Національний університет „Львівська політехніка”
Кафедра “Електронних обчислювальних машин”



Звіт з лабораторної роботи № 1

на тему:

“Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2-Spartan 3A FPGA”

Виконав:

ст. гр. КІ - 201

Курило А. О.

Перевірив:

Козак Н.Б.

Тема роботи: інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом Elbert V2-Spartan 3A FPGA”

Мета робота: Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом Elbert V2 –Spartan 3A FPGA.

Завдання:

Етапи роботи:

1. Створення облікового запису на www.xilinx.com.
2. Інсталяція Xilinx ISE та отримання ліцензії.
3. Побудова дешифратора 3->7 за допомогою ISE WebPACK™ Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
4. Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA

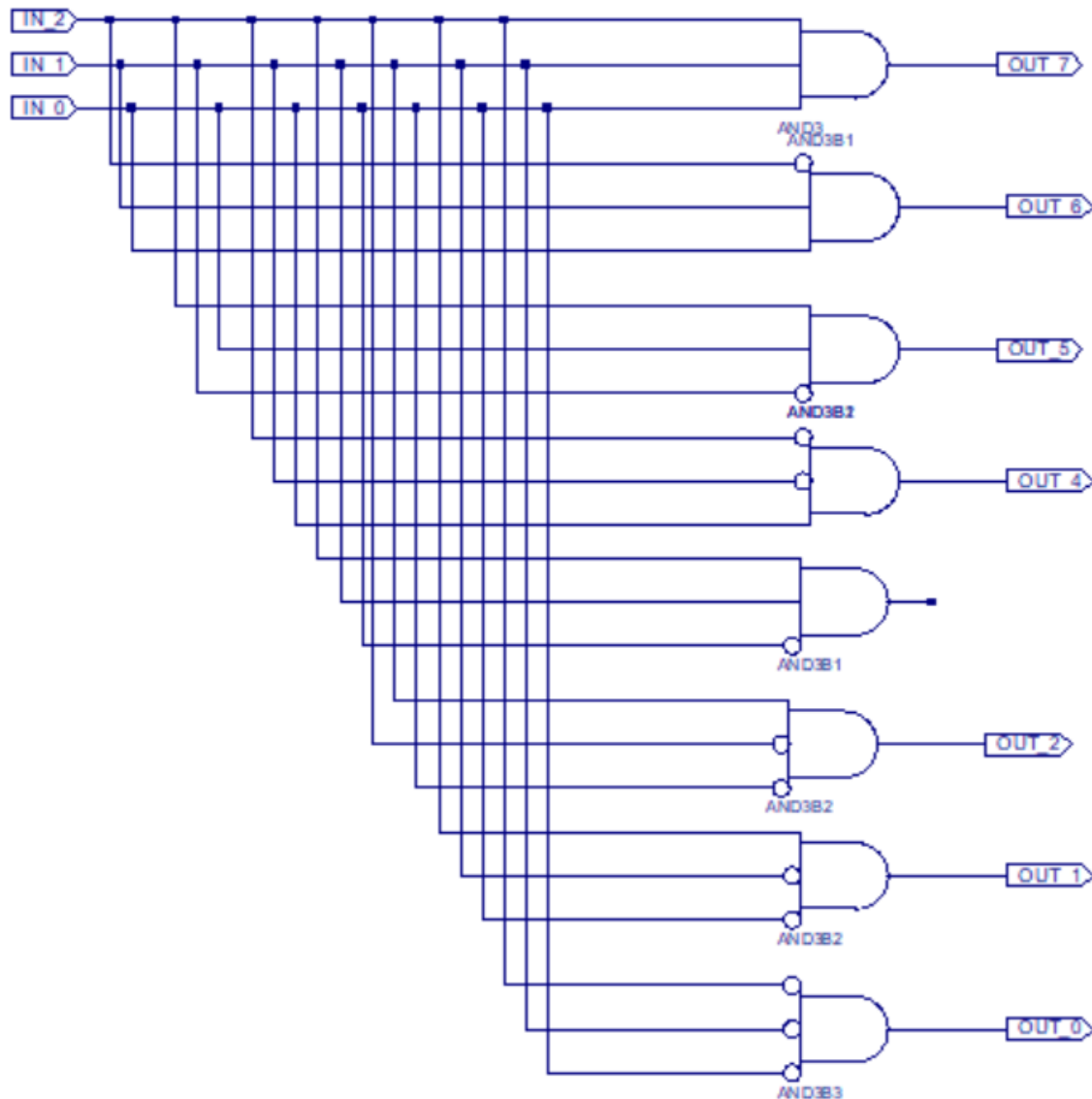


Рис. 1. схема дешифратора 3 --> 7.

```

#+++++
# This file is a .ucf for ElbertV2 Development Board
# To use it in your project :
# * Remove or comment the lines corresponding to unused pins in the project
# * Rename the used signals according to the your project
#+++++

#
# UCF for ElbertV2 Development Board
#
#+++++
CONFIG VCCAUX = "3.3" ;

# Clock 12 MHz
#NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;

#####
# LED
#####

NET "OUT_0" LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_1" LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_2" LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "OUT_3" LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_4" LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_5" LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_6" LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_7" LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#####
# DP Switches
#####

NET "IN_0" LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_1" LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_2" LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[3]" LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[4]" LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[5]" LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[6]" LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[7]" LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

```

Рис. 2. Конфігурація виводів ПЛІС.

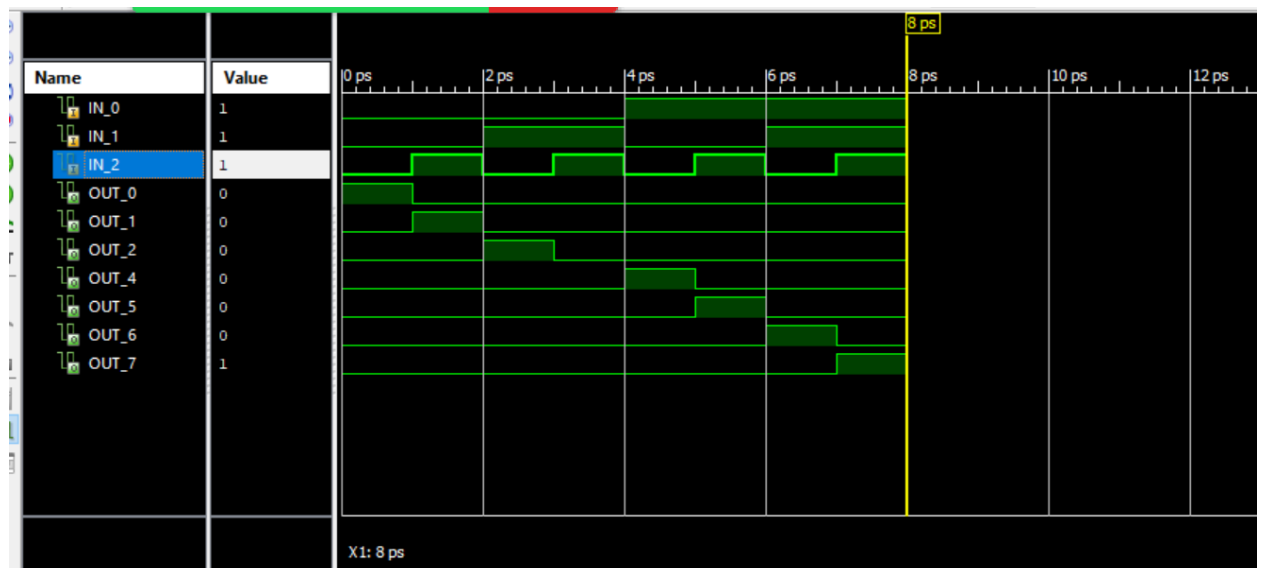


Рис. 3. Часова діаграма для наборів 000 - 111.

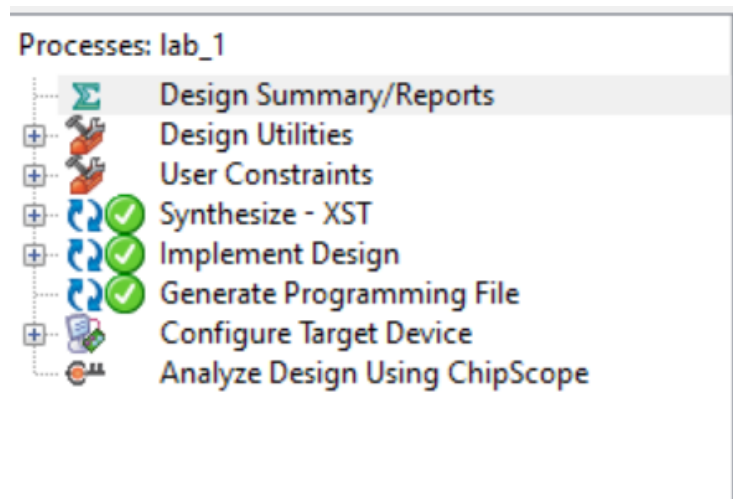


Рис. 4. Згенерував BIT файл.

Висновок:

Я інсталиював та ознайомився з середовищем розробки Xilinx ISE та ознайомився зі стендом Elbert V2-Spartan 3A FPGA.