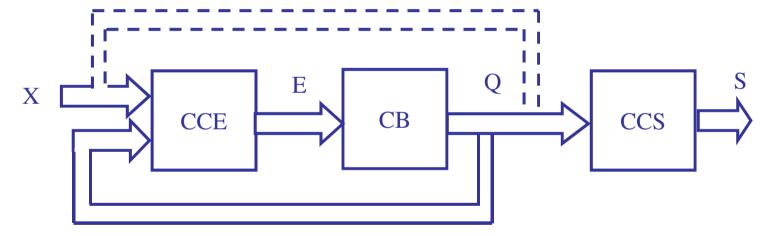
Chapitre 2 : Analyse asynchrone

Analyse asynchrone

Le but de l'analyse est de comprendre le fonctionnement d'une machine logique déjà existante. Cette analyse se déroule toujours de la manière suivante :

1. Identifier les différentes parties du schéma générale d'une machine logique :



- 2. Établir les équations des excitations : E = F(X,Q)
- 3. Écrire la table de Transition $Q^+=G(E)$ et la table de sortie
- 4. Coder les états et écrire la table des états
- 5. Écrire la table des sorties (si pas déjà fait en 3)
- 6. Dessiner le graphe de Transition



Analyse asynchrone

Définitions:

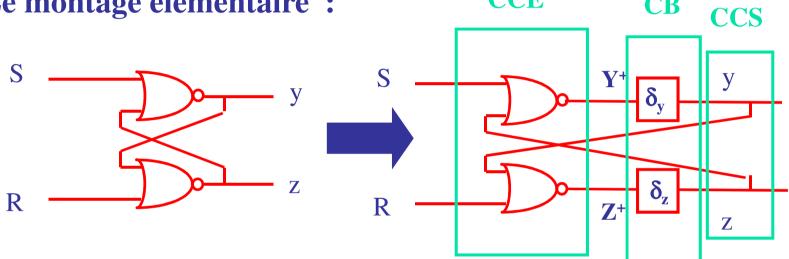
- La table de transition (tableau de Karnaugh) exprime la valeur de l'état suivant en fonction des excitations E. $Q^+=G(E)$
- La table des états (tableau de Karnaugh) indique l'état suivant en fonction des excitations E (codage symbolique des états).
- La table de sortie (tableau de Karnaugh) exprime la valeur des sorties en fonction de l'état présent et des entrées si il y a lieu.
- Le graphe de transition (des états) représente de manière graphique la table de transition (des états).



Exemple: la bascule SR à portes NOR

CCE

Le montage élémentaire :



Variables d'état :

Équation de transition:

Équation de sortie:

CB



2 variables

$$Y^{+} = \overline{S + z}$$
$$Z^{+} = \overline{R + y}$$

$$S = \begin{pmatrix} y \\ z \end{pmatrix}$$



Introduction

La table de vérité avec : $Y^+ = \overline{S + z}$

$$Y^+ = S + z$$

Z^{+}	=	\overline{R}	+	\overline{y}
				~

	S	R	y	Z	Y ⁺	\mathbf{Z}^{+}
	0	0	0	0	1	1*
	0	0	0	1	0	1
SR=00	0	0	1	0	1	0
	0	0	1	1	0	0*
	0	1	0	0	1	0
	0	1	0	1	0	0
SR=01	0	1	1	0	1	0
	0	1	1	1	0	0
	1	0	0	0	0	1
	1	0	0	1	0	1
SR=10	1	0	1	0	0	0
	1	0	1	1	0	0*
	1	1	0	0	0	0
	1	1	0	1	0	0
<u>SR=11</u>	1	1	1	0	0	0
	1	1	1	1	0	0*

$$Y = \overline{z}$$
 et $Z = \overline{y}$

État transitoire

$$Y = \overline{z}$$
 et $Z = 0$

$$Y = 0$$
 et $Z = y$

$$Y = 0$$
 et $Z = 0$

^{*} y et z changent de valeurs en même temps, ce qui est impossible physiquement, soit y ou z change de valeur. D'une manière générale, on considère qu'une seule variable peut changer de valeur à un moment donné. On appelle cela le mode fondamental.



Table de Transition/Sortie

$$Y^{+} = \overline{S + z}$$
 $Z^{+} = \overline{R + y}$ $Avec \ z = Q \ et \ y = \overline{Q}$

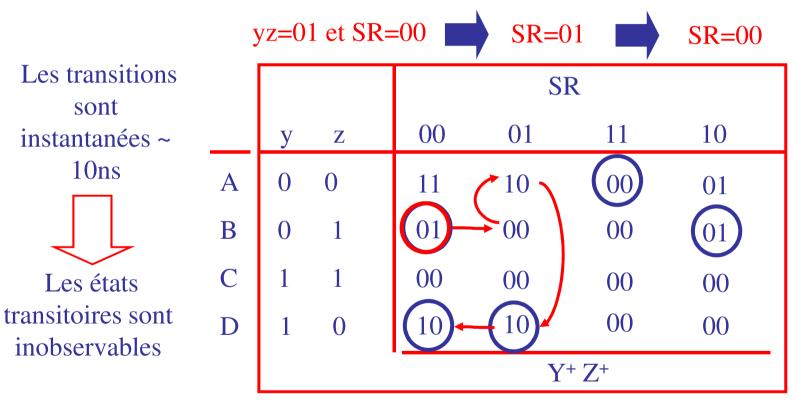
				SR							
	у	Z	00	01	11	10					
A	0	0	11	10	00	01					
В	0	1	01	00	00	01					
C	1	1	00	00	00	00					
D	1	0	10	10	00	00					
			Y+ Z+								

Avec des circuits asynchrones (seulement), les états stables sont encerclés



Table de Transition/Sortie

L'évolution d'un état stable vers un autre état stable se fait sur la variation d'une entrée :



Avec z = Q et $y = \overline{Q}$

R passe à 1, Q passe à 0 : action RESET



Table de Transition/Sortie

<u>Étude d'un cas fictif irréalisable en pratique</u>
Une transition yz=00 et SR=00 (état transitoire non observable)

					S	R	
		y	Z	00	01	11	10
$\delta_{y} > \delta_{z}$	A	0	0	11	10	00	01
Impossible car	В	0	1	01	00	00	01
δ_y différent de δ_z 2 cas possibles	C	1	1	00	00	00	00
	D	1	0	(10)	10	00	00
$\delta_{v} < \delta_{\sigma}$				-	Y	+ Z +	

On parle de course critique car l'état final n'est pas prévisible



Table de Transition

En respectant le mode fondamental, la table de transition devient :

				SR							
	у	Z	00	01	11	10					
A	0	0	-	10	00	01					
В	0	1	01	00	00	01					
C	1	1	-	_	-	-					
D	1	0	10	10	00	00					
				7	⟨+ Z +						



Analyse asynchrone

Règles à respecter pour éviter ce type de phénomène pour <u>des machines</u> <u>logiques asynchrones</u>:

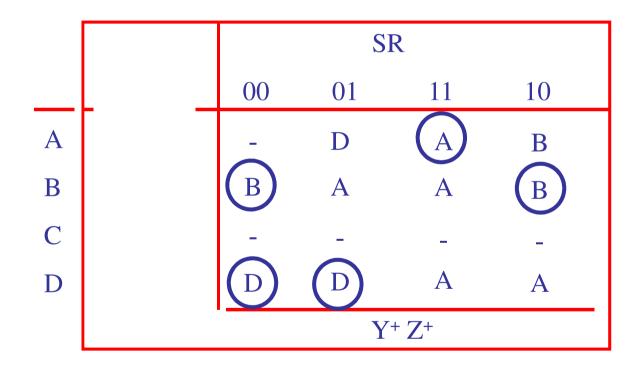
Fonctionnement en mode fondamental:

- Ne pas avoir plus d'une variable interne qui change à chaque transition.
- Ne pas changer simultanément 2 entrées. Une modification d'entrée n'arrive que si l'état interne est dans un état stable.



Table des États / Sortie

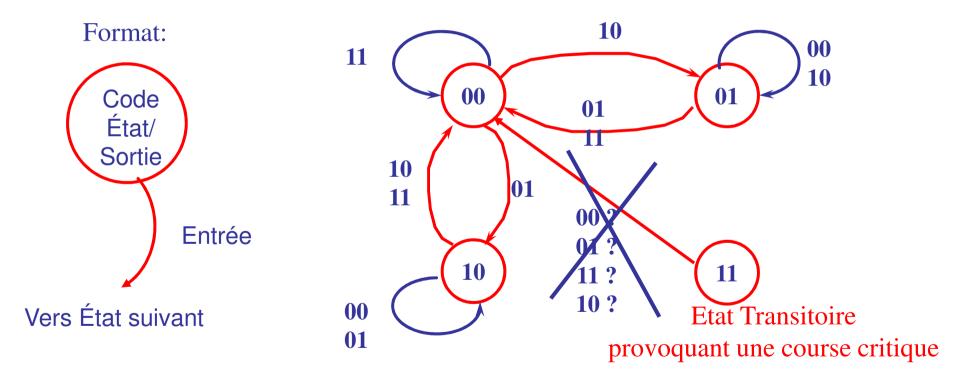
Codage symbolique des états





Graphe des états

<u>Graphe de transition</u>: états: yz, entrées: SR

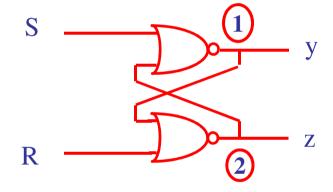


Le graphe de transition fournit aussi la sortie puisque la sortie du montage et l'état interne sont confondus (machine de Moore).



Détermination des variables internes

Le nombre minimal (optimal) de variables internes ne correspond pas toujours au nombre de boucles du circuit.



Reproduisons sous forme de graphe les différentes liaisons existant entre les portes logiques. La sortie de la porte est appelée sommet ou nœud et les connexions sont des arcs orientés. Les entrées n'apparaissent pas (ne génèrent pas de bouclage).



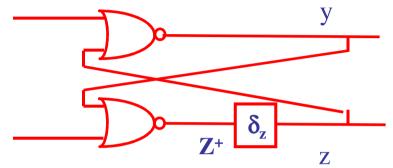
Il y a plus de boucle en supprimant un des sommets : 2



Etude simplifiée

En supprimant 2, on choisit de placer un retard à la sortie de cette porte logique et donc d'utiliser cette variable comme variable interne





L'équation de transition devient

$$Z^{+} = \overline{R + y}$$
 \longrightarrow $Z^{+} = \overline{R + \overline{S + z}}$ \longrightarrow $Z^{+} = \overline{R}(S + z)$

$$Z^+ = \overline{R + \overline{S} + z}$$



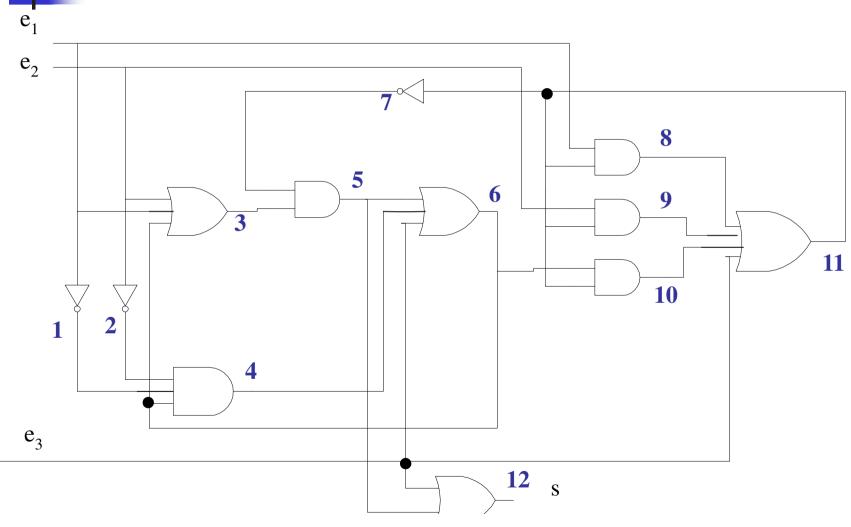
$$Z^+ = \overline{R}(S+z)$$

		ı	SR		
	Z	00	01	11	10
A	0	① ①	0	0	1
В	1	1	0	0	
			Z+=	Q ⁺	

S	R	Q ⁺
0	0	Q
0	1	0
1	0	1
1	1	0

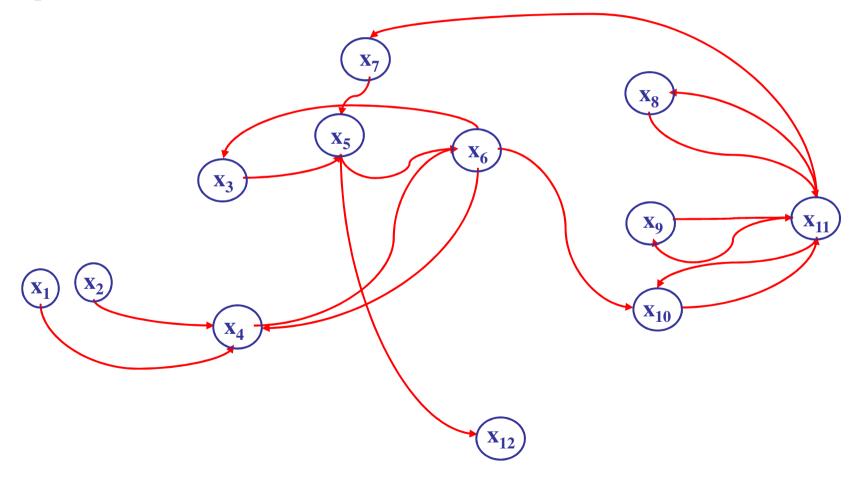
interdit







Graphe de connexion:





Objectif : recherche de l'ensemble des sommets qui permet l'ouverture de tous les circuits (circuit fermé) du graphe.

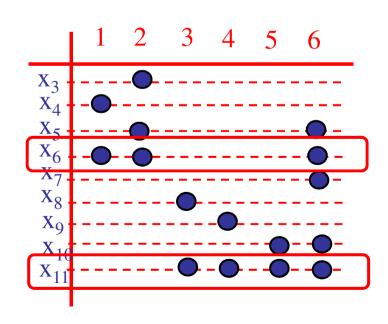
Méthodologie à appliquer :

- 1. Répertorier toutes les boucles du graphe
 - 1 $x_4 x_6 (x_4)$
 - $2 x_3 x_5 x_6 (x_3)$
 - $3 x_8 x_{11} (x_8)$
 - 4 $x_9 x_{11} (x_9)$
 - $5 \quad x_{10} \ x_{11} (x_{10})$
 - 6 $x_5 x_6 x_{10} x_{11} x_7 (x_5)$

Deux variables internes à la sortie des portes 6 et 11



2. Utiliser la méthode de la table de couverture pour déterminer le nombre minimale de sommet à couper





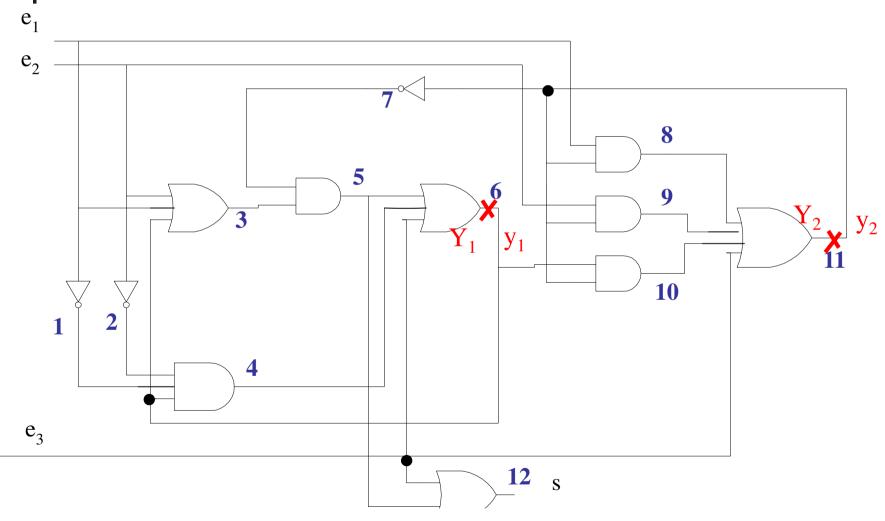




Table de Transition

$$Y_{1}^{+} = e_{3} + e_{1}e_{2}y_{1} + y_{2}(y_{1} + e_{2} + e_{1}) \qquad Y_{2}^{+} = e_{3} + y_{1}y_{2} + y_{2}(e_{1} + e_{2})$$

$$S = \overline{y_{2}}(e_{1} + e_{2} + y_{6}) + e_{3}$$

				$e_1e_2e_3$														
	y_1	y_2	0	00	(001	01	1	01	0	11	.0	111		10	1	1(00
A	0	0	0	0	1	1	1	1	1	0	1	0	1	1	1	1	1	0
В	0	1	0	0	1	1	1_	1	0	1	0	1)	1	1	1_	1 (0	1)
C	1	1	1	1	1	1	1	1)	0	1	0	1	1		1	1)	0	1
D	1	0	1	0	1	1	1	1	1	0	1	0	1	1	1	1	1	0
'								*	7 1 \$ 7									

$$Y_1^+ Y_2^+$$



Table de Transition

$$Y_{1}^{+} = e_{3} + \overline{e_{1}}\overline{e_{2}}y_{1} + \overline{y_{2}}(y_{1} + e_{2} + e_{1}) Y_{2}^{+} = e_{3} + (y_{1}y_{2} + y_{2}(e_{1} + e_{2}))$$

$$S = \overline{y_{2}}(e_{1} + e_{2} + y_{6}) + e_{3}$$

			$e_1e_2e_3$										
	y_1	y_2	000	001	011	010	110	111	101	100			
A	0	0	$\begin{pmatrix} 0 & 0 \end{pmatrix}$		 	1 0	1 0			1 0			
В	0	1	0 0	1 1	1 1	0 1	$\begin{pmatrix} 0 & 1 \end{pmatrix}$	1 1	1 1	0 1			
C	1	1	$\begin{pmatrix} 1 & 1 \end{pmatrix}$	$\begin{pmatrix} 1 & 1 \end{pmatrix}$	$\begin{pmatrix} 1 & 1 \end{pmatrix}$	0 1	0 1	$\begin{pmatrix} 1 & 1 \end{pmatrix}$		0 1			
D	1	0	1 0	1 1	1 1			1 1	1 1	$\begin{pmatrix} 1 & 0 \end{pmatrix}$			
'					_	7 + V +							

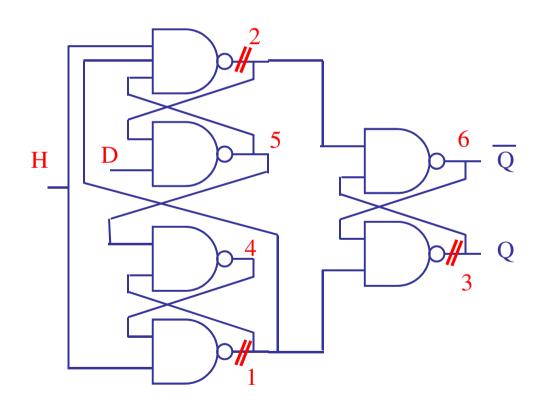
$$Y_1 + Y_2 +$$



- Cette méthode cherche à minimiser le nombre de variables internes, mais ne tient pas compte des caractéristiques des dynamiques des circuits puisque chaque opérateur a été indifféremment considérée comme un sommet.
- Lorsqu'il n'y a pas de bascule, cela revient à considérer que l'ensemble des retards peut se concentrer en un point du circuit (théorique). L'utilisation de bascules permet de simplifier cette étape puisque cela fixe la position des retards.
- De plus, le concepteur, lors de la synthèse du circuit, a très bien pu (certainement) choisir un autre ensemble.
- A noter que



Exemple



$$Y_{1}^{+} = \overline{HY_{4}} = \overline{H \cdot Y_{5} \cdot Y_{1}} = \overline{H \cdot Y_{1} \cdot Y_{2} \cdot D}$$

$$= \overline{H + Y_{1} \cdot Y_{2} \cdot D}$$

$$Y_{1}^{+} = \overline{H + Y_{1} \cdot Y_{2} + Y_{1} \cdot D}$$

$$Y_2^+ = H \cdot Y_1 \cdot \overline{Y_2 \cdot D} = \overline{H} + \overline{Y_1} + Y_2 \cdot D$$

$$Y_3^+ = \overline{Y_1} + Y_2 \cdot Y_3$$

Avec $Q=Y_3$



Exemple

Avec Q=Y₃

$$Y_1^+ Y_2^+ Y_3^+$$

$$Y_1^+ = \overline{H} + \underline{Y_1} Y_2 + Y_1 \overline{D}$$

$$Y_2^+ = \overline{H} + \overline{Y_1} + Y_2 \cdot D$$

$$Y_3^+ = \overline{Y_1} + \overline{Y_2} \cdot Y_3$$

$Y_1Y_2Y_3=111; HD=00$
H / Q \
$H \searrow Q \longrightarrow$

HD $Y_1 Y_2 Y_3$	0 0	0 1	11	10
0 0 0	111	111	0 1 1	0 1 1
0 0 1	111	111	0 1 1	0 1 1
0 1 1	111	1 1 1	011	011
010	111	1 1 1	0 1 1	0 1 1
110		110	010	100
111				- 101
101	1 0	1 1 0	100	10
100	110			100

Exemple

Refaire avec $Y_1Y_2Y_3=110$; HD=0

Tracer les chronogrammes

Mémorisation de D sur front montant de H



Bascule D synchrone sur front montant

Que se passe t'il si une entrée varie avant que la machine n'atteigne un état stable ?

Apparition de courses critiques car on respecte pas le mode fondamental



Nécessité de respecter les temps T_{p hold} et T_{p setup}