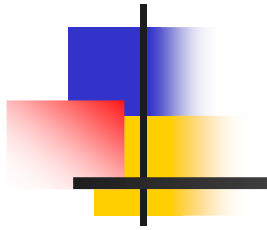


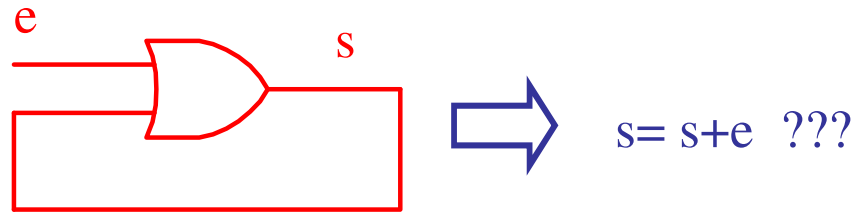
# Chapitre 1 : La logique séquentielle





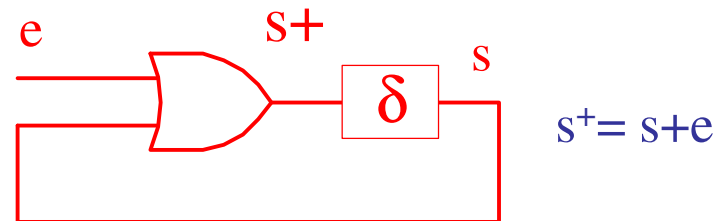
# Introduction

Un circuit particulier :



On définit un **état** présent  $s$  et un **état** suivant  $s^+$

$S$  est une variable d'état car elle intervient des deux cotés de l'équation



$S$	$e$	$s^+ = s + e$
0	0	0
0	1	1
1	0	1
1	1	1



Si  $s=0$  et  $e=0$  alors  $s^+=0$  **état stable**

Si  $s=1$  et  $e=1$  alors  $s^+=1$  **état stable**

Si  $s=1$  et  $e=0$  alors  $s^+=1$  **état stable**

Si  $s=0$  et  $e=1$  alors  $s^+=1$  **état instable**

Détecteur de 1 sur  $e$  (impossible en combinatoire)



# Introduction

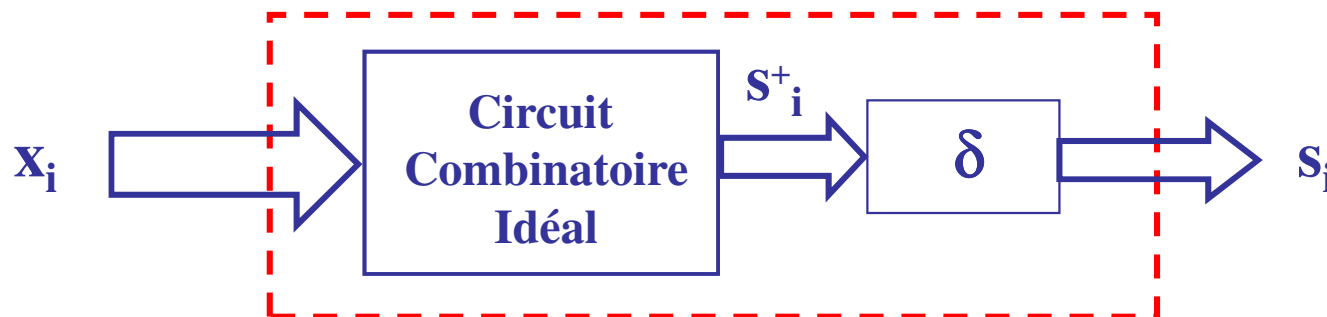
Dans l'exemple précédent, la sortie de la machine logique dépend de l'entrée et de la valeur de la sortie aux instants précédents.



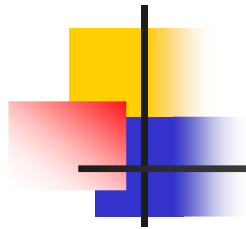
## Système séquentiel

$$s^+ = s(t+\delta) = F(x, s(t))$$

La notion d'état présent et suivant provient des imperfections des composants utilisés. Dans ce cas, on peut faire la modélisation suivante :

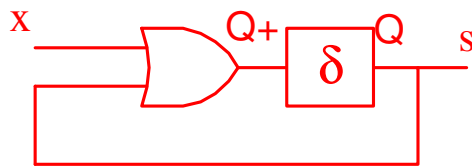


Seul  $s_i$  est accessible à la mesure et  $s_i^+ = F(x_i)$ .  $s_i^+$  état suivant qui correspond à  $s_i$  après un retard  $\delta$ .



# Introduction

En reprenant l'exemple précédent, on voit apparaître :



X : le vecteur d'entrée

$Q^+$  : le vecteur d'état suivant

Q : le vecteur d'état présent

(variables d'excitation secondaire)

S : le vecteur de sortie

- Une équation de transition sur l'état :

$$Q^+(t) = Q(t+\delta) = F(X, Q(t))$$

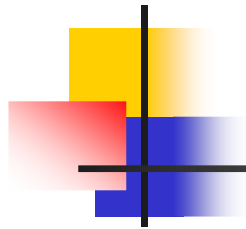
- Une équation de sortie de la machine logique :

$$S(t) = G(Q)$$

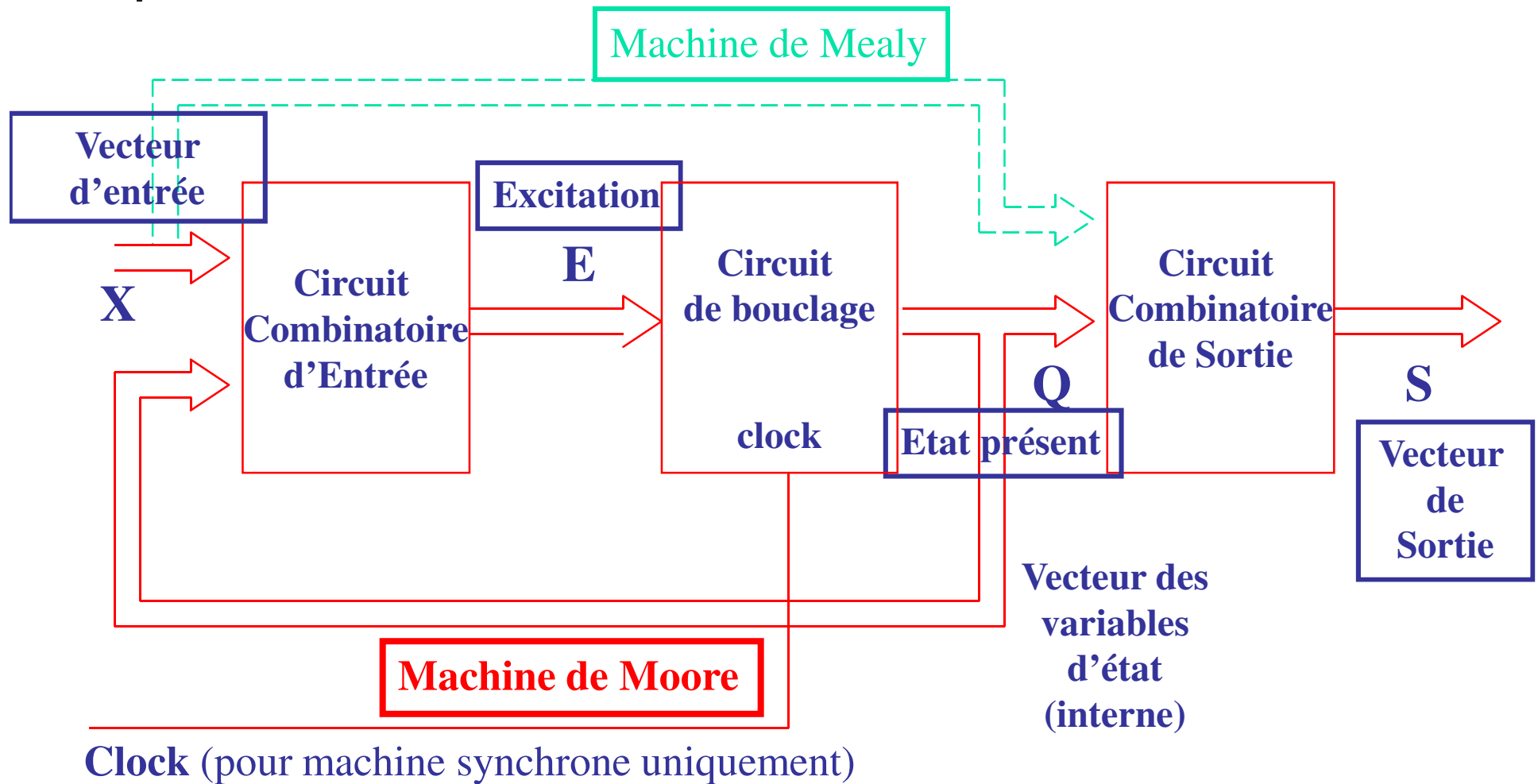
**Machine de Moore**

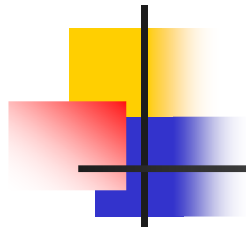
$$S(t) = G(X, Q)$$

**Machine de Mealy**



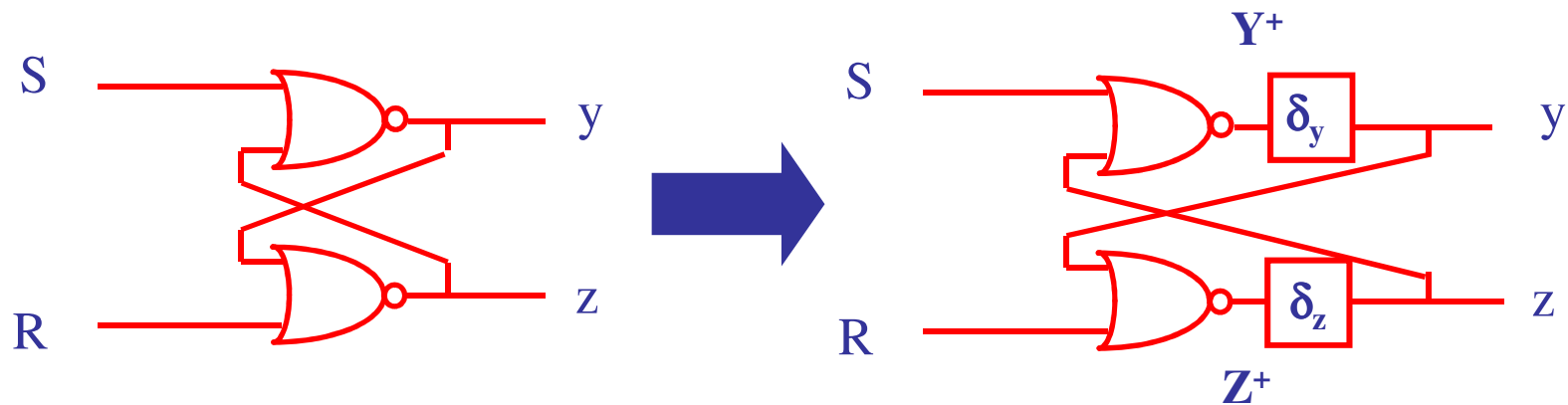
# Introduction





# Introduction

Le montage élémentaire :



Variables d'état :

2 bouclages



2 variables

Équation de transition :

$$\begin{aligned} Y^+ &= \overline{S + z} \\ Z^+ &= \overline{R + y} \end{aligned}$$

Équation de sortie :

$$S = \begin{pmatrix} y \\ z \end{pmatrix}$$



# Introduction

La table de vérité avec :  $Y^+ = \overline{S + z}$      $Z^+ = \overline{R + y}$

	S	R	y	z	Y <sup>+</sup>	Z <sup>+</sup>
<u>SR=00</u>	0	0	0	0	1	1*
	0	0	0	1	0	1
	0	0	1	0	1	0
	0	0	1	1	0	0*
<u>SR=01</u>	0	1	0	0	1	0
	0	1	0	1	0	0
	0	1	1	0	1	0
	0	1	1	1	0	0*
<u>SR=10</u>	1	0	0	0	0	1
	1	0	0	1	0	1
	1	0	1	0	0	0
	1	0	1	1	0	0*
<u>SR=11</u>	1	1	0	0	0	0
	1	1	0	1	0	0
	1	1	1	0	0	0
	1	1	1	1	0	0*

État stable

$$Y^+ = \bar{z} \text{ et } Z^+ = \bar{y}$$

État transitoire

$$Y^+ = \bar{z} \text{ et } Z^+ = 0$$

$$Y^+ = 0 \text{ et } Z^+ = \bar{y}$$

$$Y^+ = 0 \text{ et } Z^+ = 0$$

\* y et z changent de valeurs en même temps, ce qui est impossible statistiquement, soit y ou z change de valeur en premier. D'une manière générale, on considère qu'une seule variable peut changer de valeur à un moment donné. On appelle cela **le mode fondamental**.



# Introduction

En résumé :

- si  $SR=00$  ➡ état stable (effet mémoire)
- si  $SR=01$  ➡ état stable ( $z=0, y=1$ )
- si  $SR=10$  ➡ état stable ( $z=1, y=0$ )
- si  $SR=11$  ➡ état stable ( $z=0, y=0$ )

Table de vérité à variable introduite (état stable)

$S$	$R$	$Z^+$	$Y^+$
0	0	$Z$	$Y$
0	1	0	1
1	0	1	0
1	1	0	0

↖ Pas de Circuit Combinatoire de Sortie

Si  $Z$  est la sortie  $Q$  alors :

- $S = 1$  entraîne  $Q = 1$  d'ou  $S = \text{set}$
- $R = 1$  entraîne  $Q = 0$  d'ou  $R = \text{reset}$

On peut remarquer que  $Y = \overline{Z}$  sauf dans le cas  $SR=11$ .  
Afin de garder cette symétrie on interdit ce cas alors :

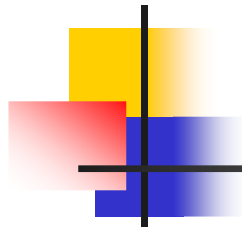
- $Z = Q$
- $Y = \overline{Q}$





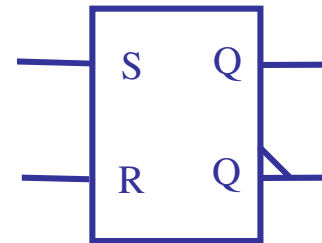
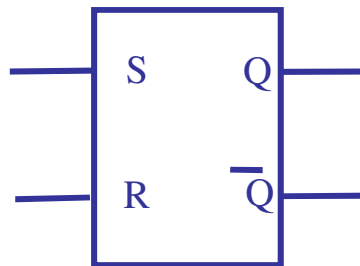
$T_{pw_{\min}}$  : temps minimal pour que l'écriture en entrée soit validée





# Aspects technologiques

Ce montage permet de garder en mémoire des entrées impulsionnelles. On appelle celui-ci une bascule (flip-flop ou latch). Sa représentation est celle-ci :



Il est possible de réaliser une bascule RS avec des portes NAND : le résultat est identique à ceci près que la combinaison interdite est la combinaison 00 et 11 correspond à la mémorisation.

# Exemple : un dispositif anti-rebond

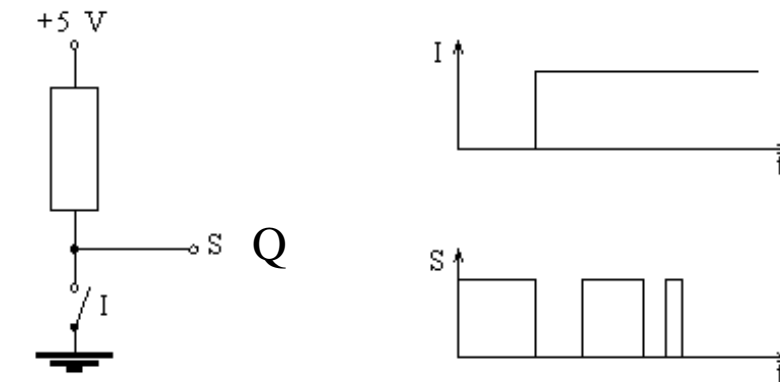
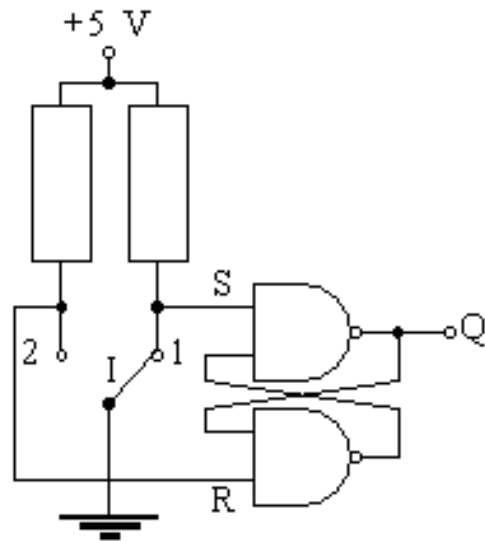
## Bascule RS à base de NAND

si  $SR=11$  : effet mémoire

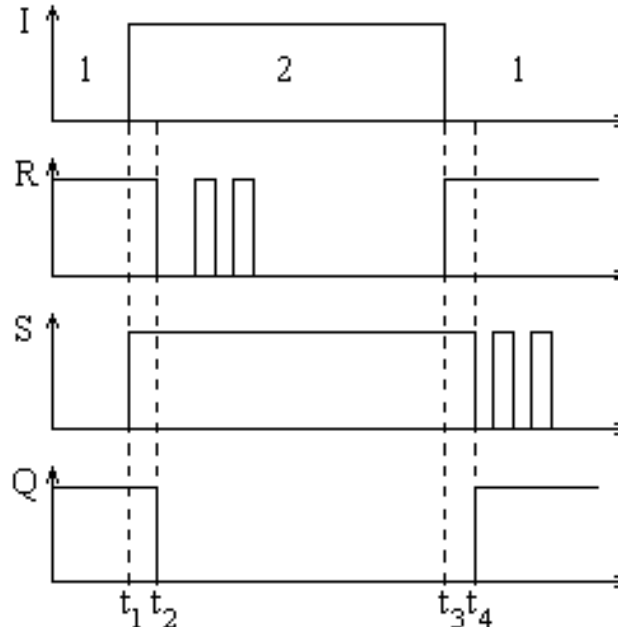
si  $SR=01$  :  $Q=1, \overline{Q}=0$

si  $SR=10$  :  $Q=0, \overline{Q}=1$

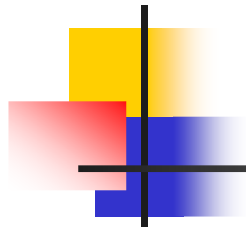
si  $SR=00$  :  $Q=0, \overline{Q}=0$



aléas

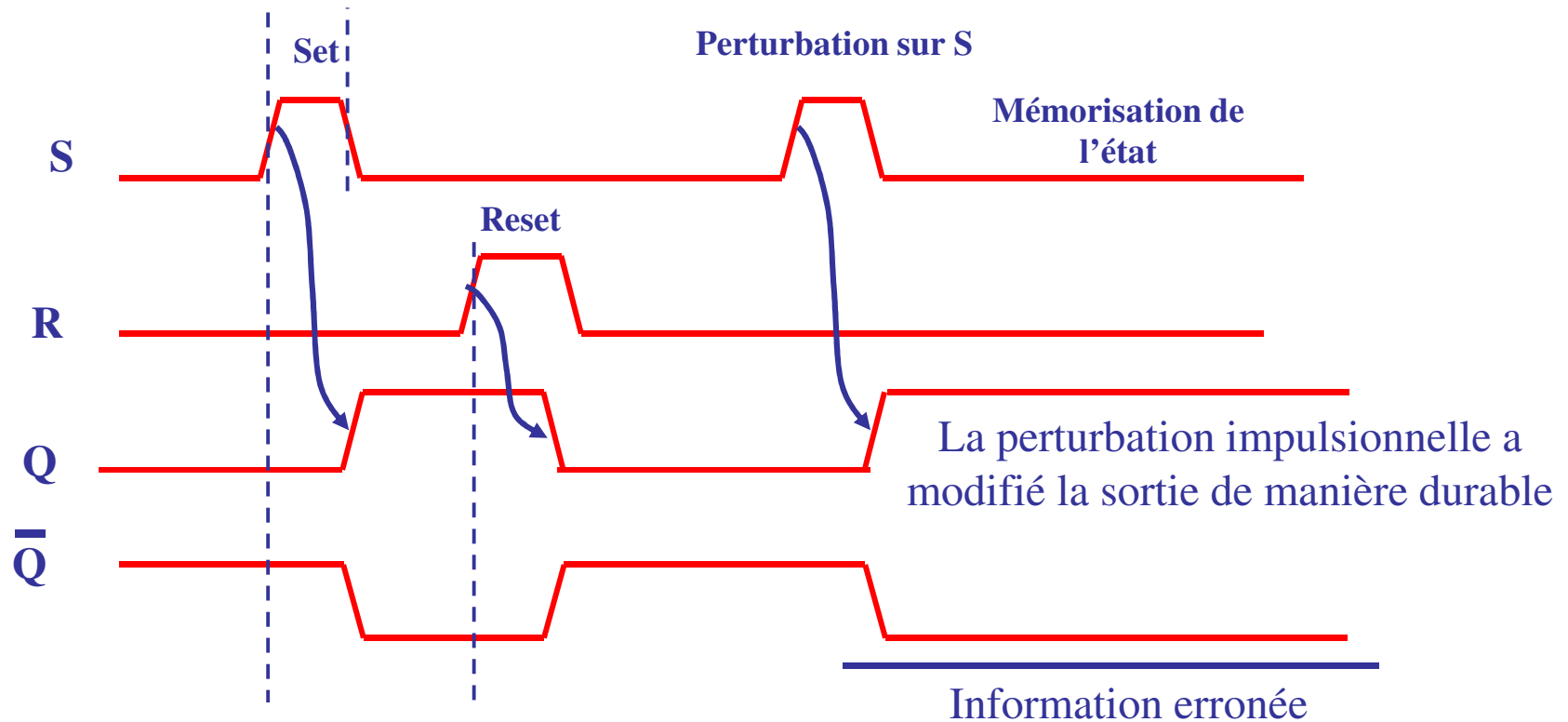


Disparition des aléas



# Aspects technologiques

Prise en compte des perturbations sur les entrées :

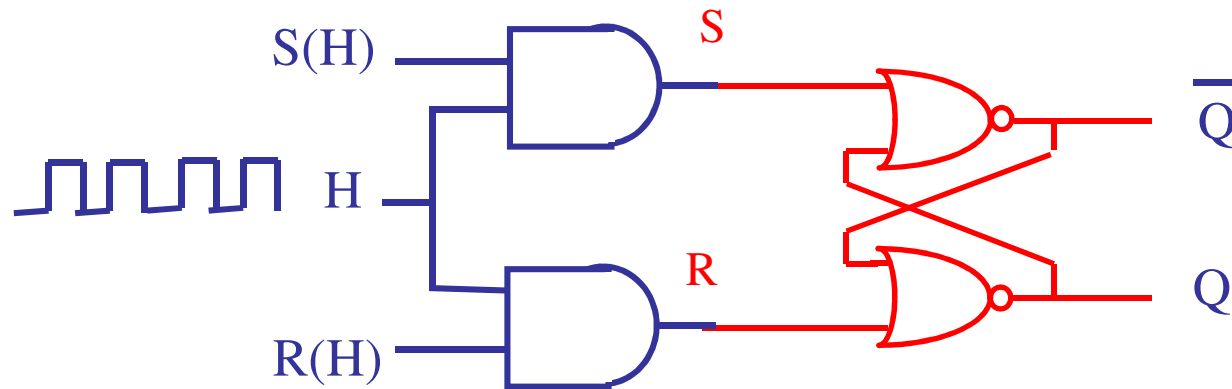


**Elimination des intervalles ou la machine est sensible aux perturbations**

# Introduction

Avec le montage initial, la sensibilité aux perturbations est importante aussi on utilise un signal de validation des entrées (anti glitch) :

- Validation sur niveau : LATCH



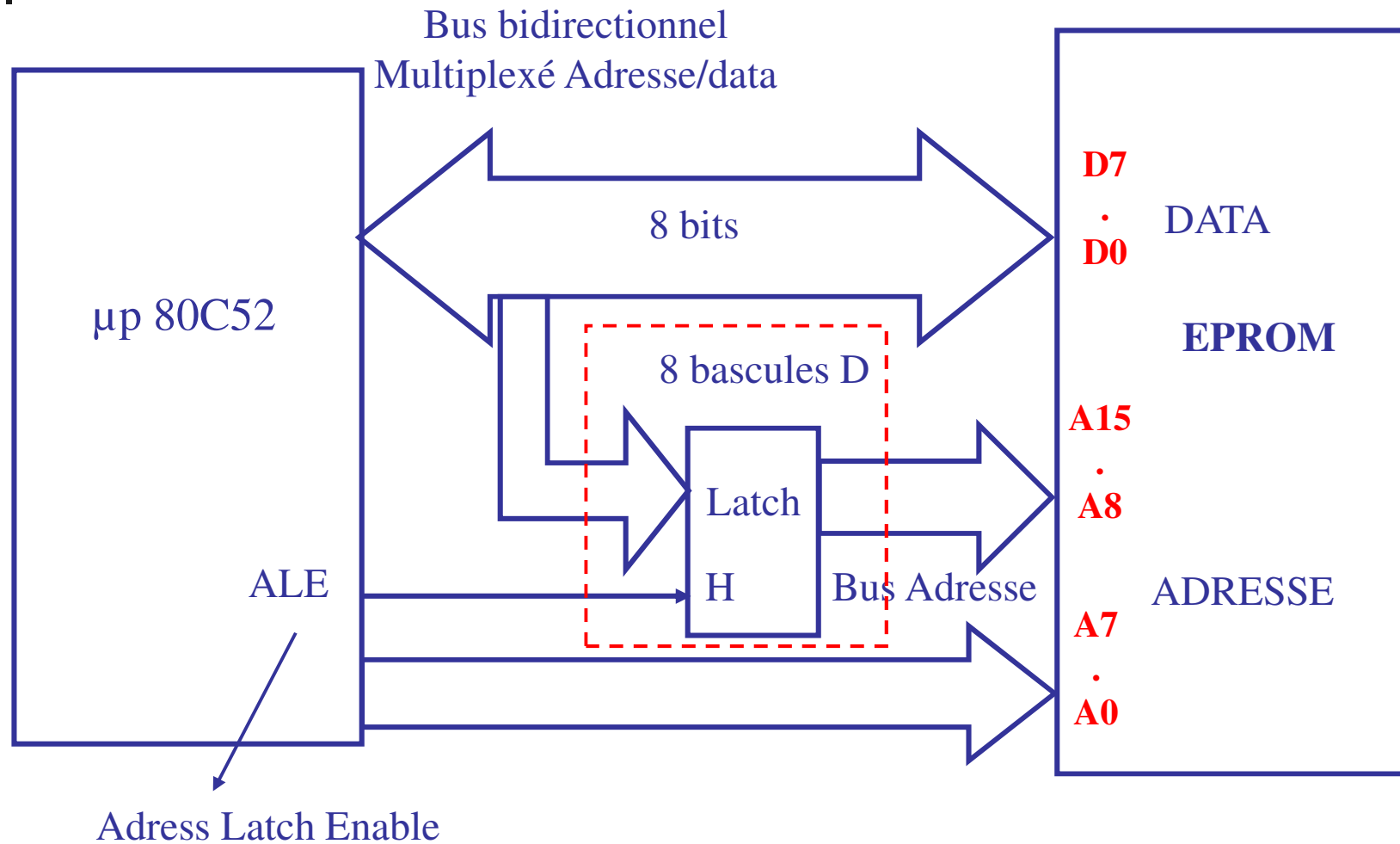
H=0  SR=00 : mémoire

H=1  Bascule SR

Si S(H) et R(H) subissent une perturbation pendant le niveau actif de H, le résultat devient erroné. Si la perturbation arrive pendant le niveau bas pas de conséquence.

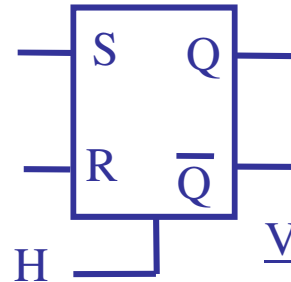
Mais si H subit une perturbation ...

# Exemple : décodage d'adresse du 8052



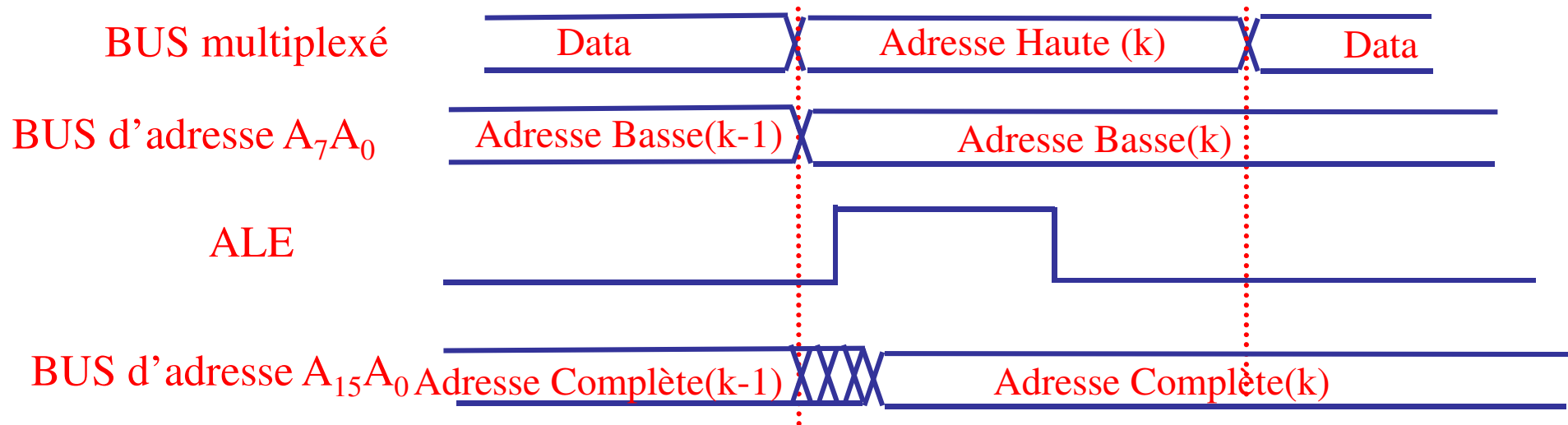
# Exemple : décodage d'adresse du 8052

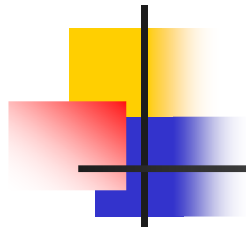
Schéma équivalent :



Validation sur niveau

Chronogramme :

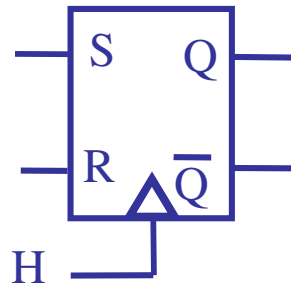




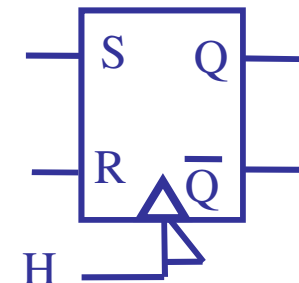
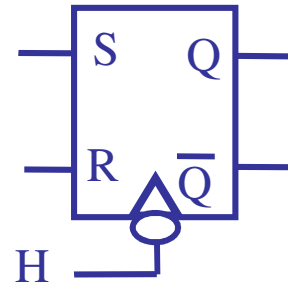
# Introduction

- Validation sur front (edge triggered) :

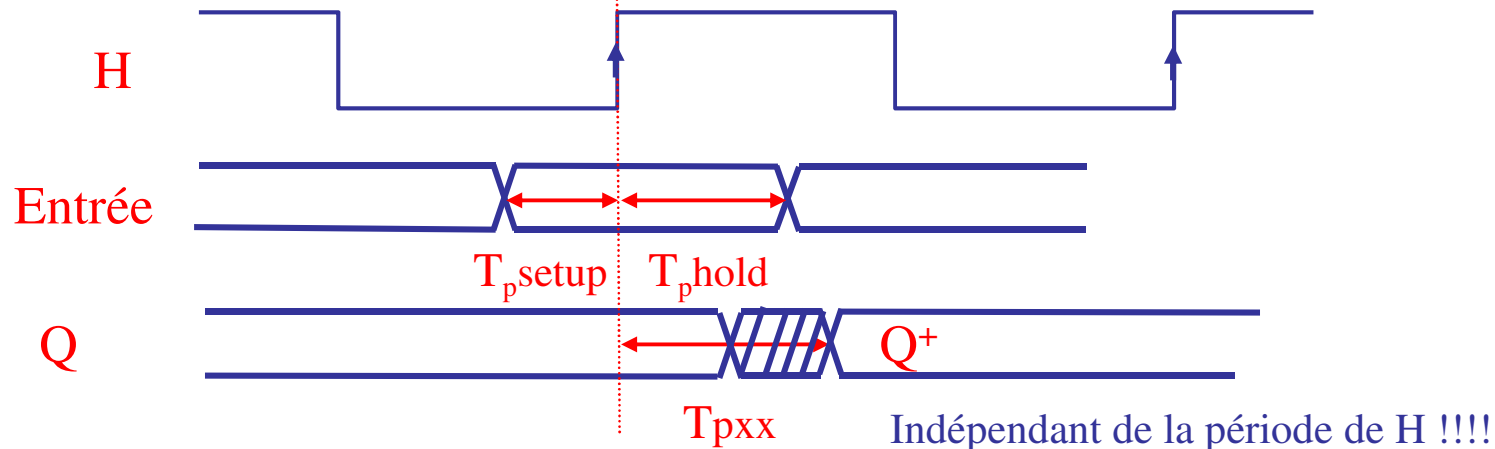
Sur front montant



Sur front descendant

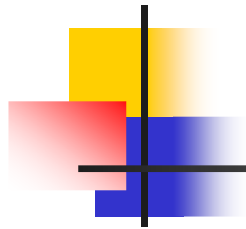


Chronogramme : actif sur front montant



Le montage est sensible aux perturbations uniquement pendant  $T_{psetup}$  et  $T_{phold}$  soit quelques ns.





# Introduction

---

Si l'évolution des sorties d'une machine logique se fait en fonction d'un signal exogène, on parle de machine

**SYNCHRONE**

Si par contre les sorties d'une machine logique ne dépendent que de l'évolution de ces entrées et sorties alors il s'agit d'une machine

**ASYNCHRONE**



# Différents types de bascules synchrones

La bascule SR synchrone

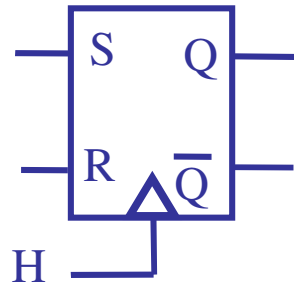


Table de transition réduite

S	R	$Q^{+}$
0	0	Q
0	1	0
1	0	1
1	1	$\phi$

Combinaison interdite

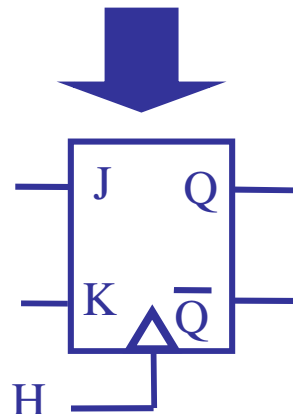
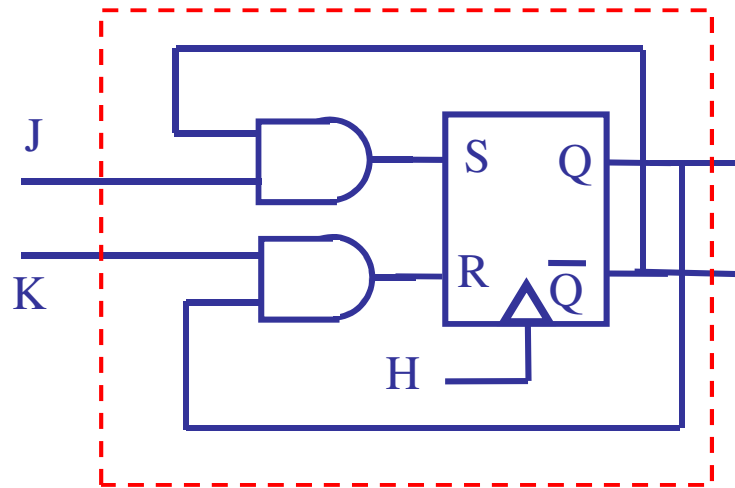


Équation de transition de la bascule

$$Q^{+} = S + \overline{R}Q$$

# Différents types de bascules synchrones

La bascule JK synchrone : première bascule synchrone conçue à partir de la SR et qui permet d'utiliser la combinaison 11.



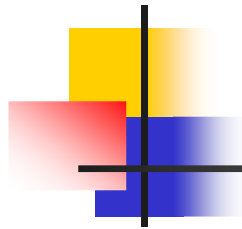
$$\begin{aligned} S &= J\bar{Q} \\ R &= KQ \end{aligned} \Rightarrow \begin{aligned} Q^+ &= J\bar{Q} + \bar{K}Q \cdot Q \\ Q^+ &= J\bar{Q} + \bar{K}Q \end{aligned}$$

SR=11 impossible

Table de transition réduite

J	K	$Q^+$
0	0	Q
0	1	0
1	0	1
1	1	$\bar{Q}$

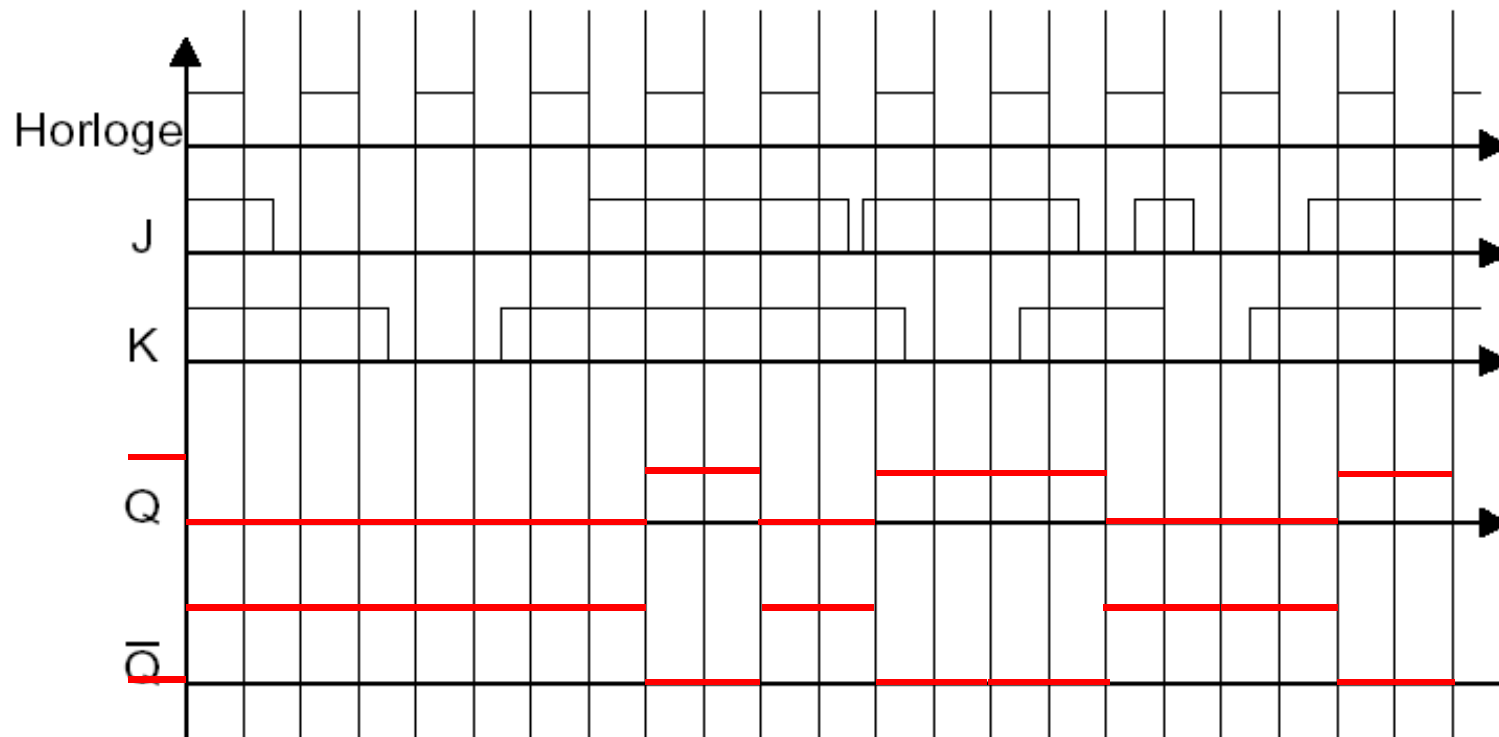
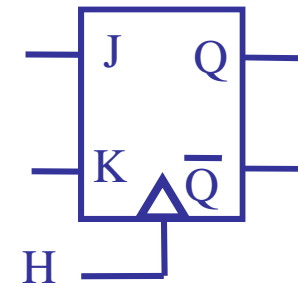
JK=11 possible



# Différents types de bascules synchrones

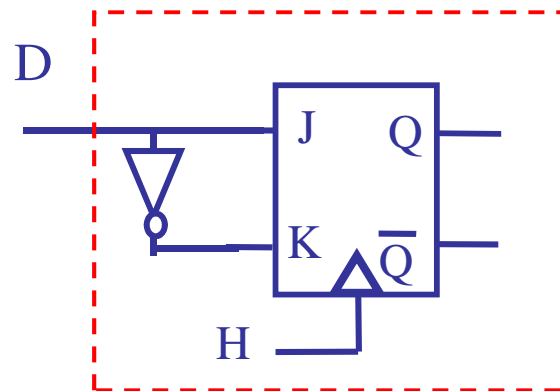
Compléter : CI :  $Q=1, \bar{Q}=0$

$$Q^+ = J\bar{Q} + \bar{K}Q$$



# Différents types de bascules synchrones

La bascule D synchrone : la plus utilisée actuellement.



$$J = D$$
$$K = \bar{D}$$



$$Q^+ = J\bar{Q} + \bar{K}Q$$

$$Q^+ = D\bar{Q} + DQ = D$$

$$Q^+ = D$$

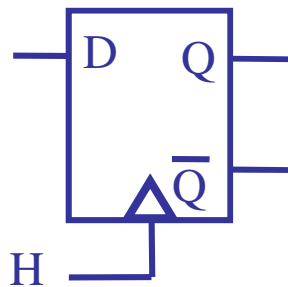


Table de transition

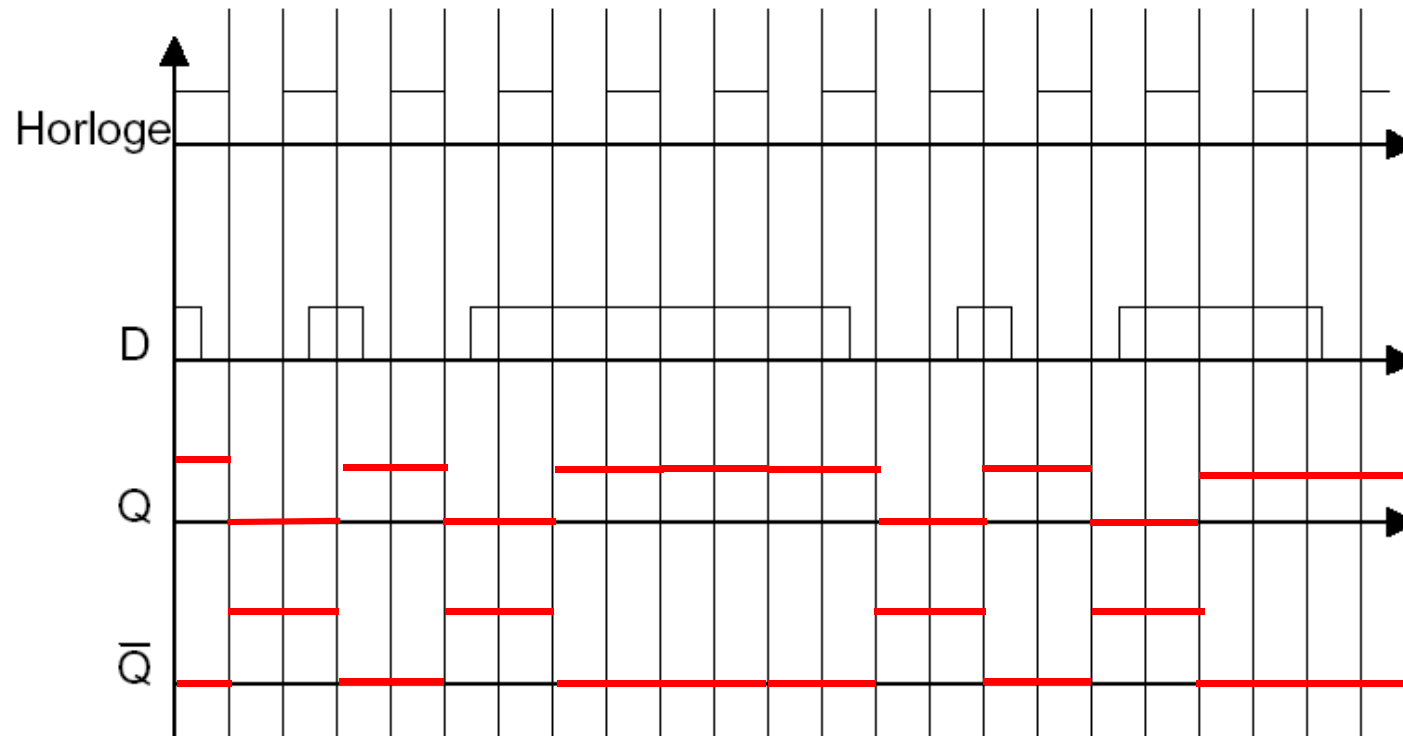
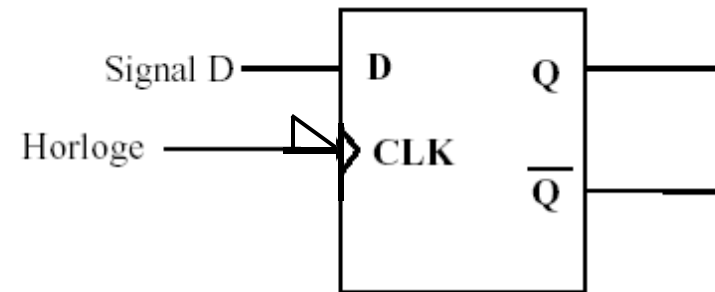
D	$Q^+$
0	0
1	1



# Différents types de bascules synchrones

Compléter : CI :  $Q=1, \overline{Q}=0$

$$Q^+ = D$$



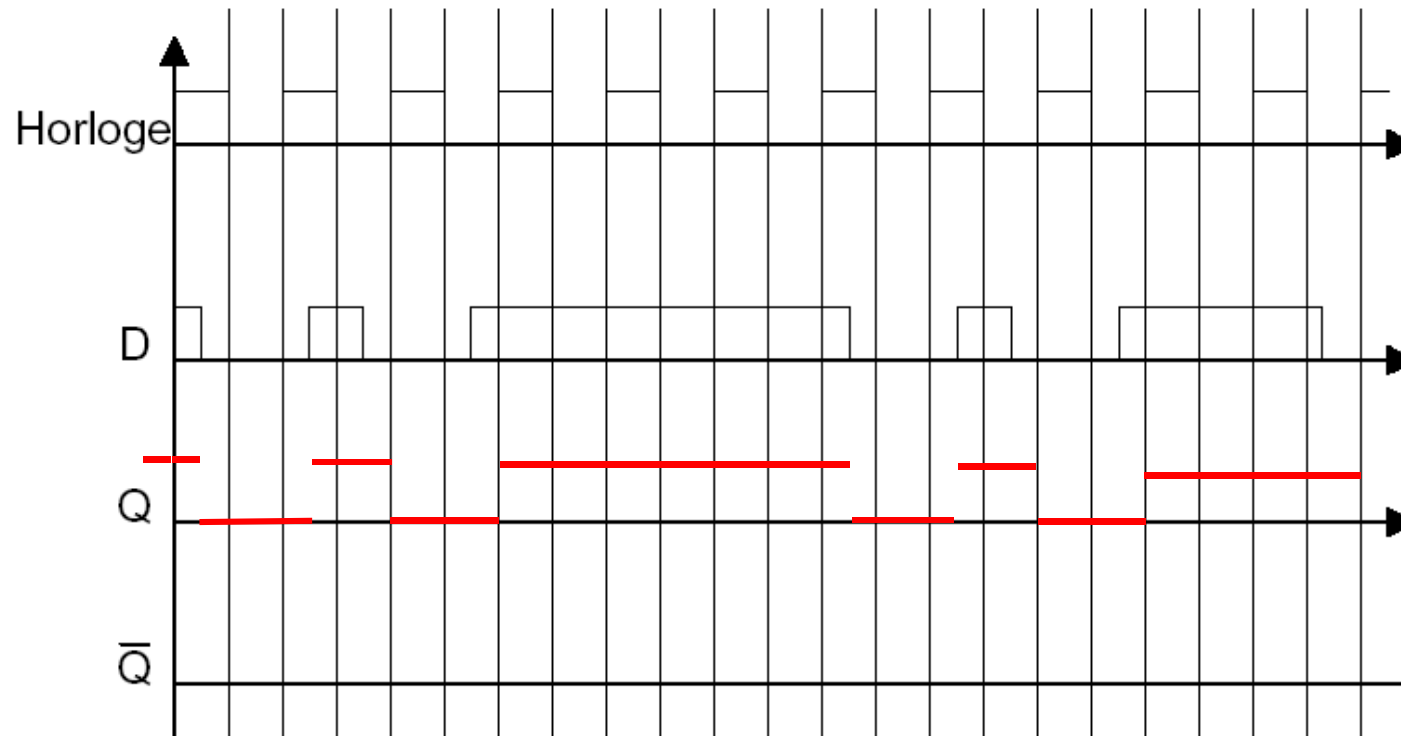
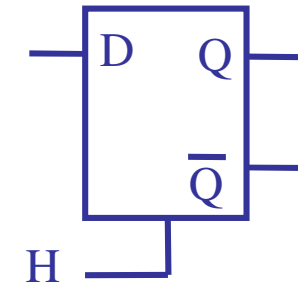


# Différents types de bascules synchrones

## Le latch D

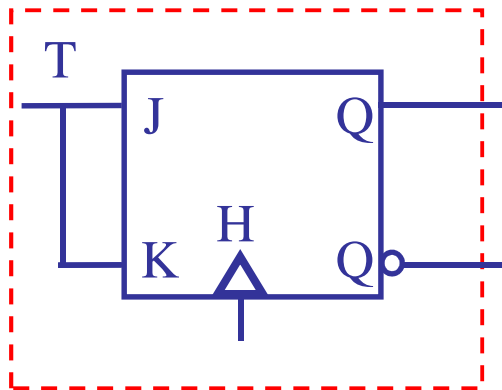
Compléter : CI :  $Q=1, \bar{Q}=0$

$$Q^+ = D$$



# Différents types de bascules synchrones

La bascule T synchrone : T (Toggle) est une commande plutôt qu'une entrée.



$$J=T$$

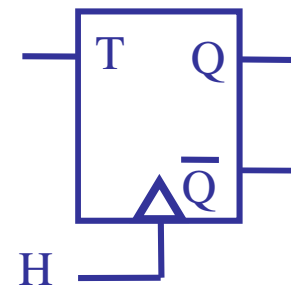
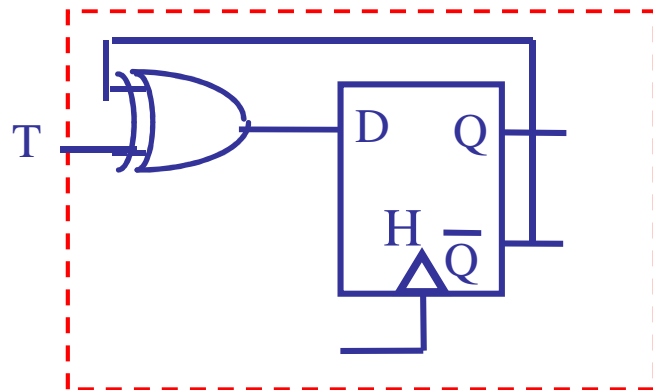
$$K=T$$



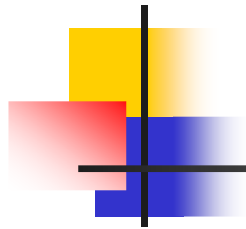
$$Q^+ = J\bar{Q} + \bar{K}Q$$

$$Q^+ = T\bar{Q} + \bar{T}Q$$

T agit comme une commande en autorisant (T=1) ou pas (T=0) le changement de valeur de la bascule à chaque front actif de H

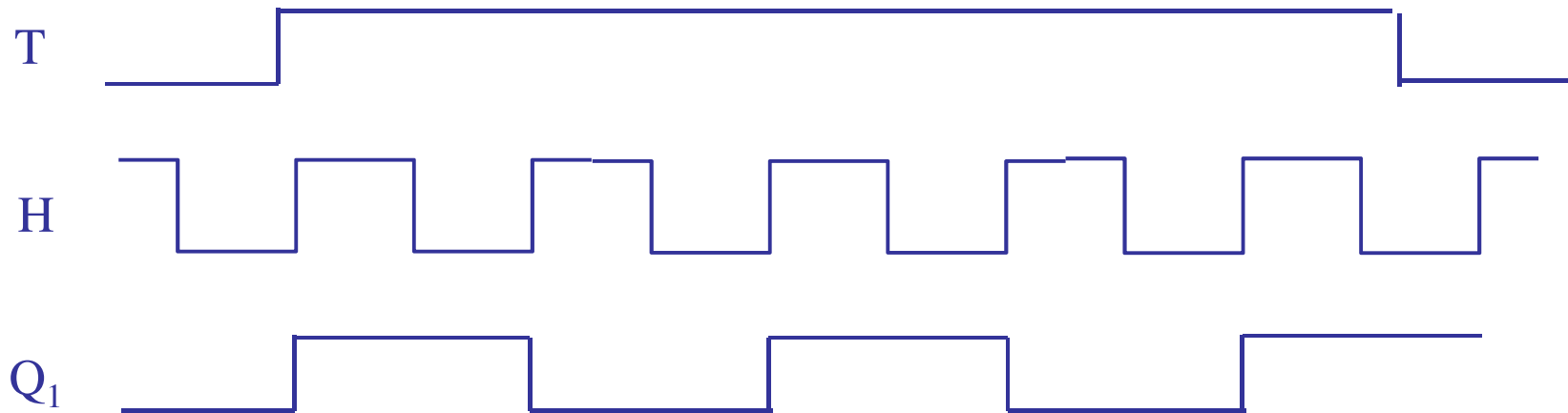






# Différents types de bascules synchrones

Chronogramme : (H actif sur front montant)



Fréquence de  $Q_1 = (\text{fréquence de H}) / 2$



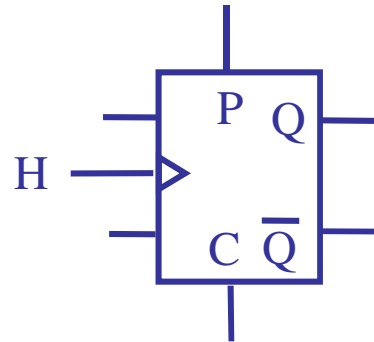
Diviseur de fréquence



# Les entrées de forçage

Utilisation d'entrées supplémentaires :

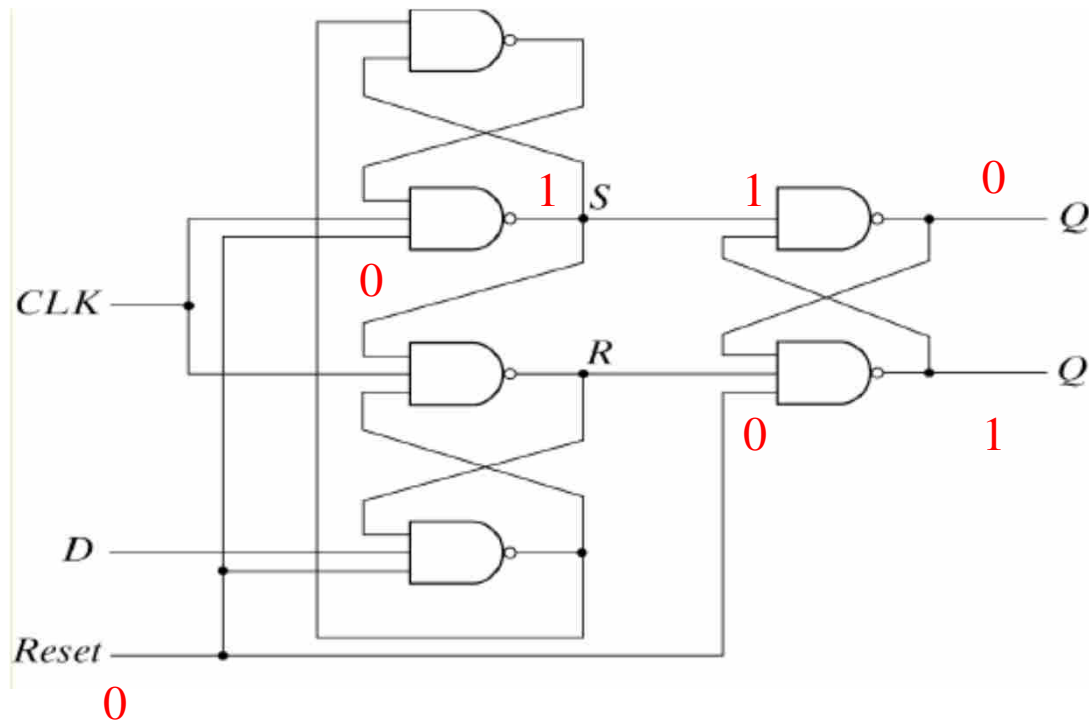
Preset ou Set : mise à 1 de Q et à 0 de  $\bar{Q}$



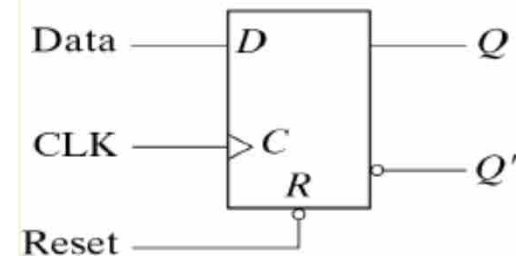
Clear, Reset ou RAZ : mise à 0 de Q et à 1 de  $\bar{Q}$

Ces entrées dite **de forçage** sont asynchrones et prioritaires sur les autres entrées. Elles sont à utiliser lors de l'initialisation d'une machine logique ou en cas de dysfonctionnement.

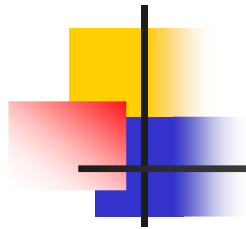
# Les entrées de forçage



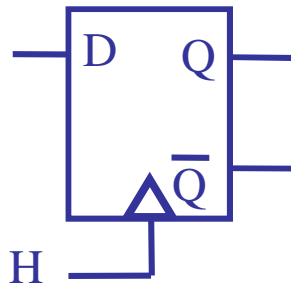
$R$	$C$	$D$	$Q$	$Q'$
0	X	X	0	1
1	$\uparrow$	0	0	1
1	$\uparrow$	1	1	0



**Mise à 0 de la bascule  
indépendante du signal d'horloge  
(asynchrone) et donc instantanée**

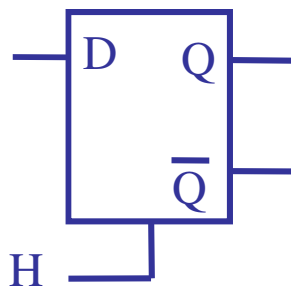


# Timing : un ordre d'idée



7474

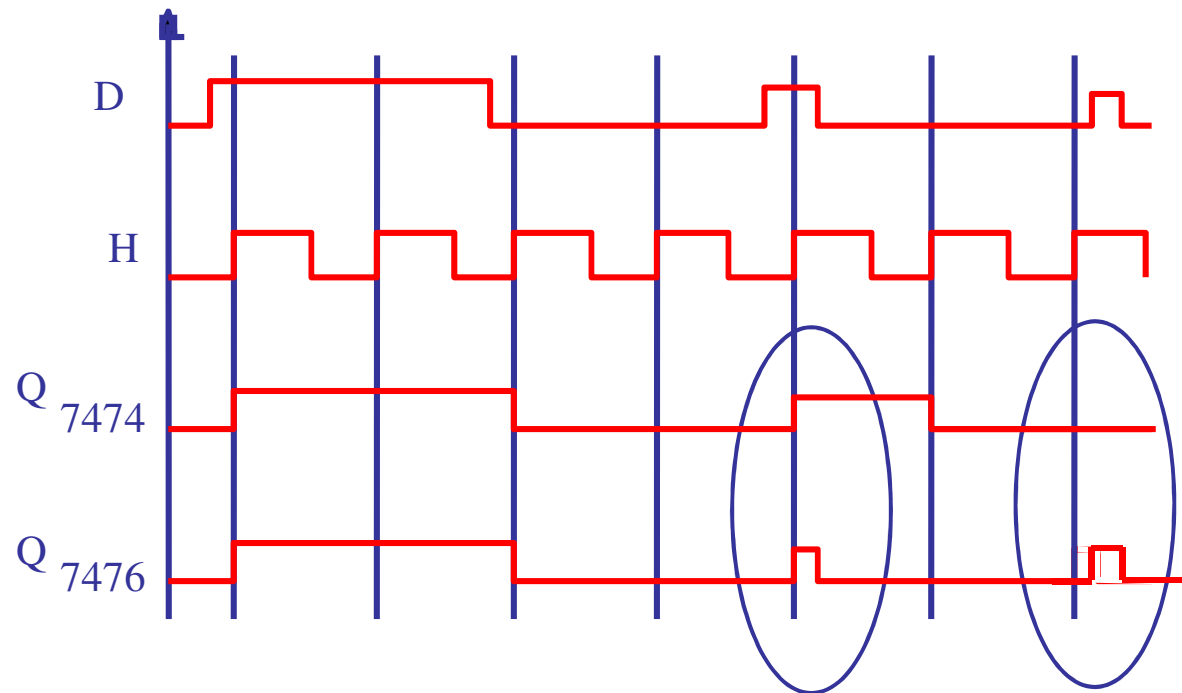
Positive edge-triggered  
flip-flop



7476

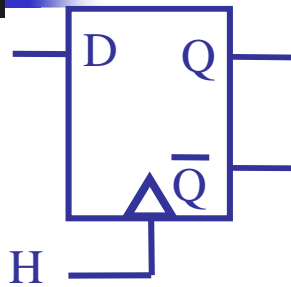
Level sensitive Latch

## Chronogramme



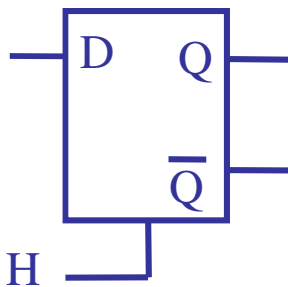
Même comportement sauf lorsque  $H = 1$

# Timing : un ordre d'idée



7474

Positive edge-triggered  
flip-flop



7476

Level sensitive Latch

