

### **FPGA Verilog Reloj 24 horas por 1 BUS (Quartus)**

▶ Verilog Reloj 24 horas por 1 BUS

### **FPGA Sistema de Intermittencia (Moore) Verilog FSM**

▶ FPGA\_Sistema de Intermittencia (Moore)\_Verilog\_FSM

### **FPGA Máquina de Estados (Moore) Secuencia de "1" par y "0 impar"(Verilog)**

▶ Sistemas Embebidos\_Maquina de Estados (Moore)\_Secuencia de "1" par y "0 impar...

### **FPGA Maquina de Estados (Moore) Cruce de Trenes (Verilog)**

▶ Sistemas Embebidos\_Maquina de Estados (Moore)\_Cruce de Trenes(Verilog)

### **Sistemas Embebidos Simulación Restador Lógico**

<https://youtu.be/NkXybs1FPFE>