



PRÁCTICA NO. 1

“RESTADOR LÓGICO”

Sistemas Embebidos
Jorge Cisneros Ortega
Axel Arriola Fonseca

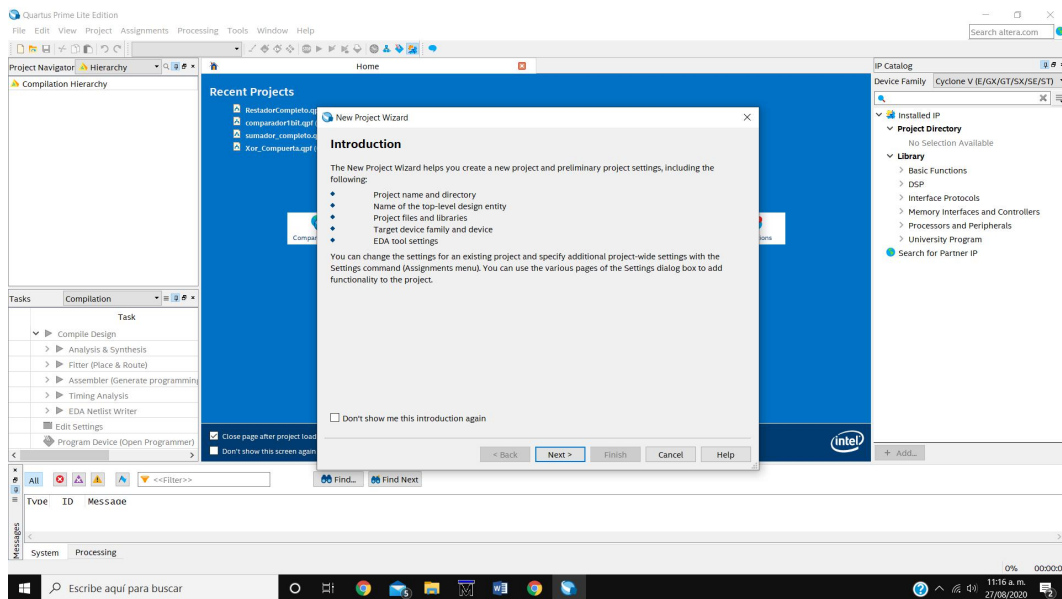
Restador completo

Objetivo: Crear por medio de Quartus de Intel (FPGAs) un restador lógico completo y simularlo por medio de modelsim para comprobar resultados.

Procedimiento

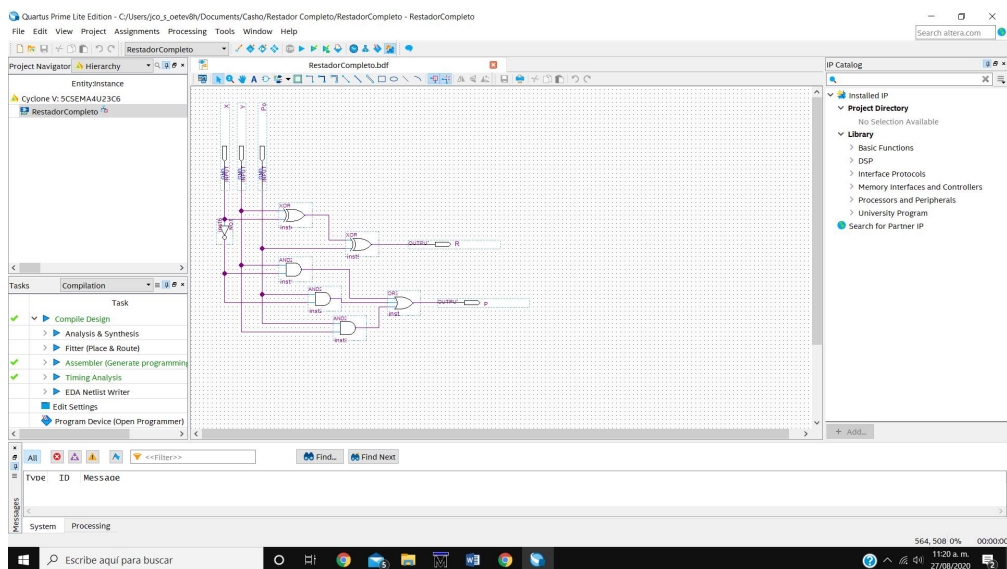
Paso 1

Se crea un nuevo proyecto (New Project Wizard) con el nombre de RestadorCompleto



Paso 2

Se genera un nuevo archivo (File/New/Block Diagram) y se ocupa el archivo brindado por el profesor para crear el diagrama por compuertas lógicas (Simbol Tool/Primitives/Logic)



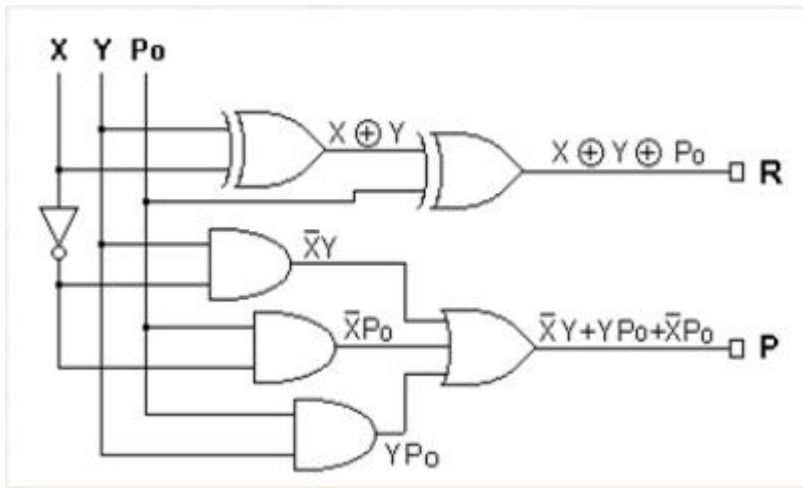
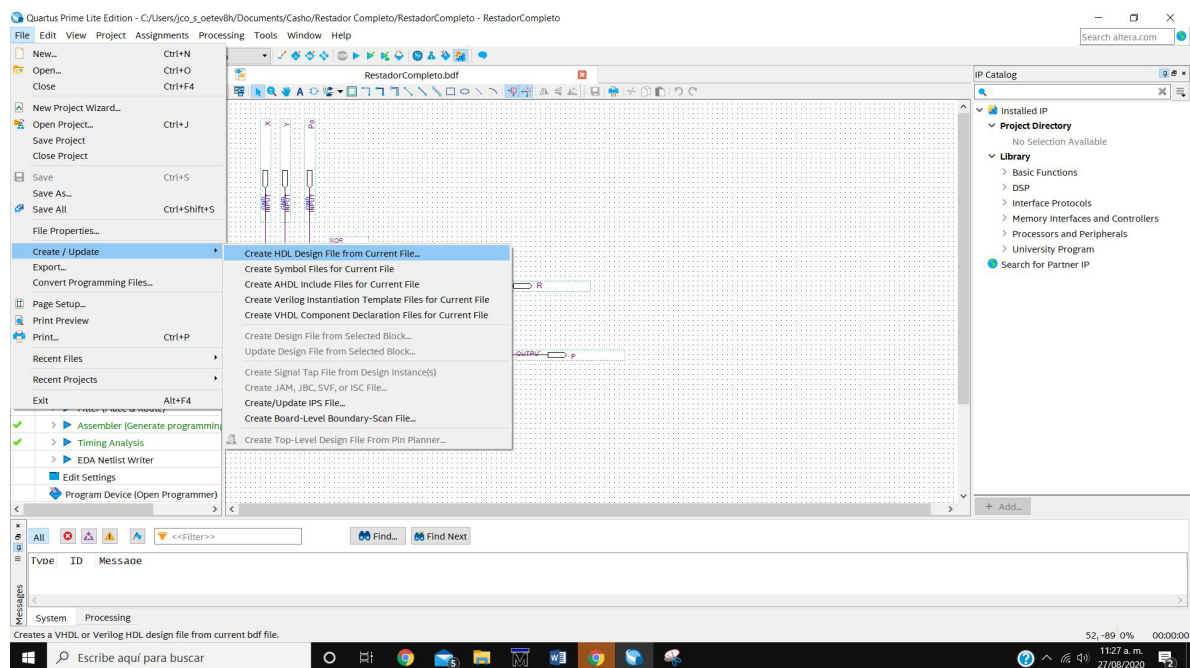
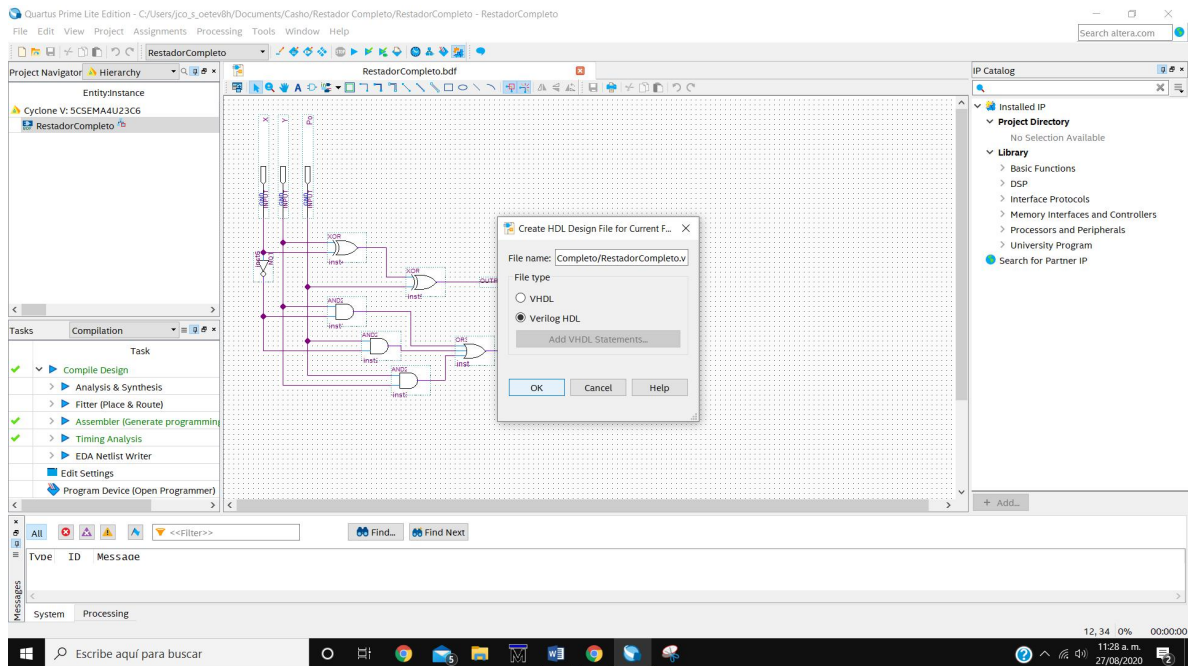


Fig . Diagrama de referencia "Restador Lógico Completo"

Paso 3

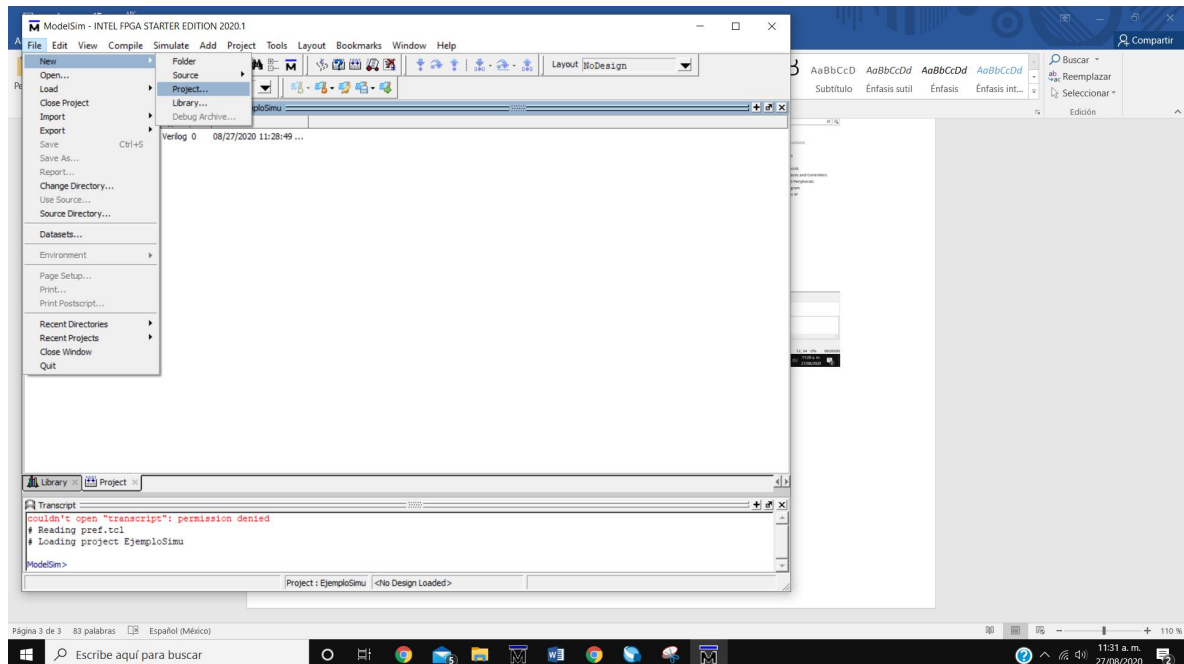
Se compila (Start Compilation CTRL+L) y luego se genera el código en Verilog (Siguiendo imágenes)





Paso4

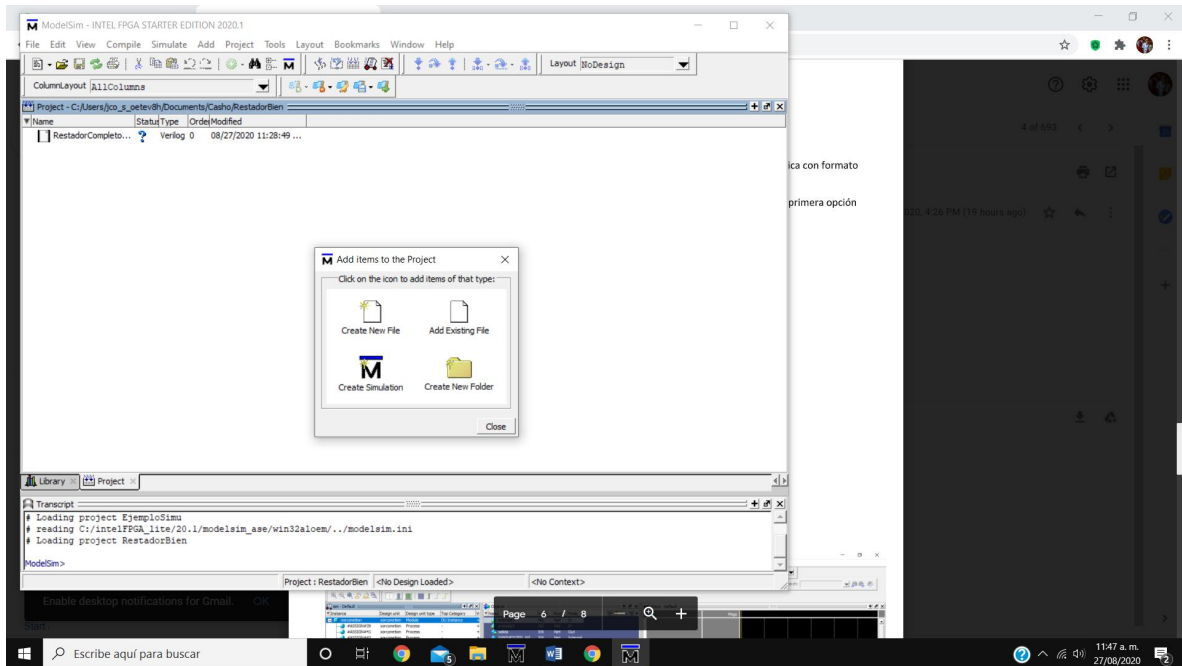
Se guarda y se cierra Quartus, se procede a abrir Modelsim para crear un nuevo proyecto.



Paso 5

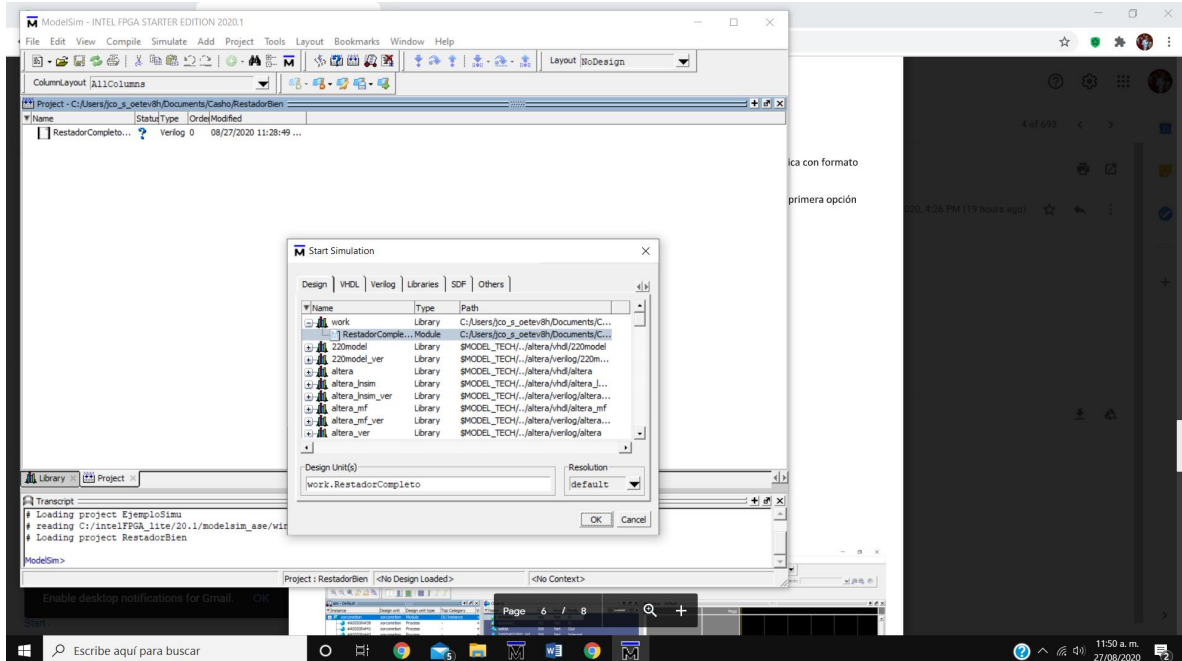
Una vez creado el nuevo proyecto Add Existing File para buscar el código que se creó en la carpeta donde se guardó el ejercicio con una extensión .v

Antes se debe crear una carpeta en la carpeta del proyecto de Quartus, llamada "Simulacion" y se elige esta dirección al crear el proyecto de Modelsim.



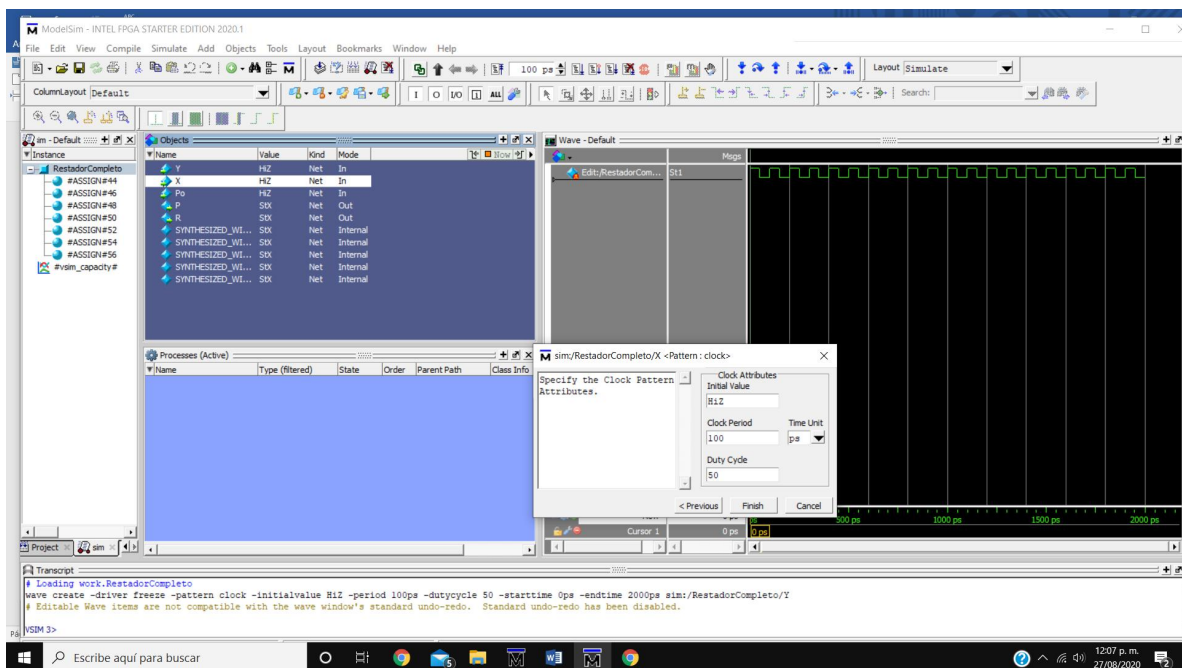
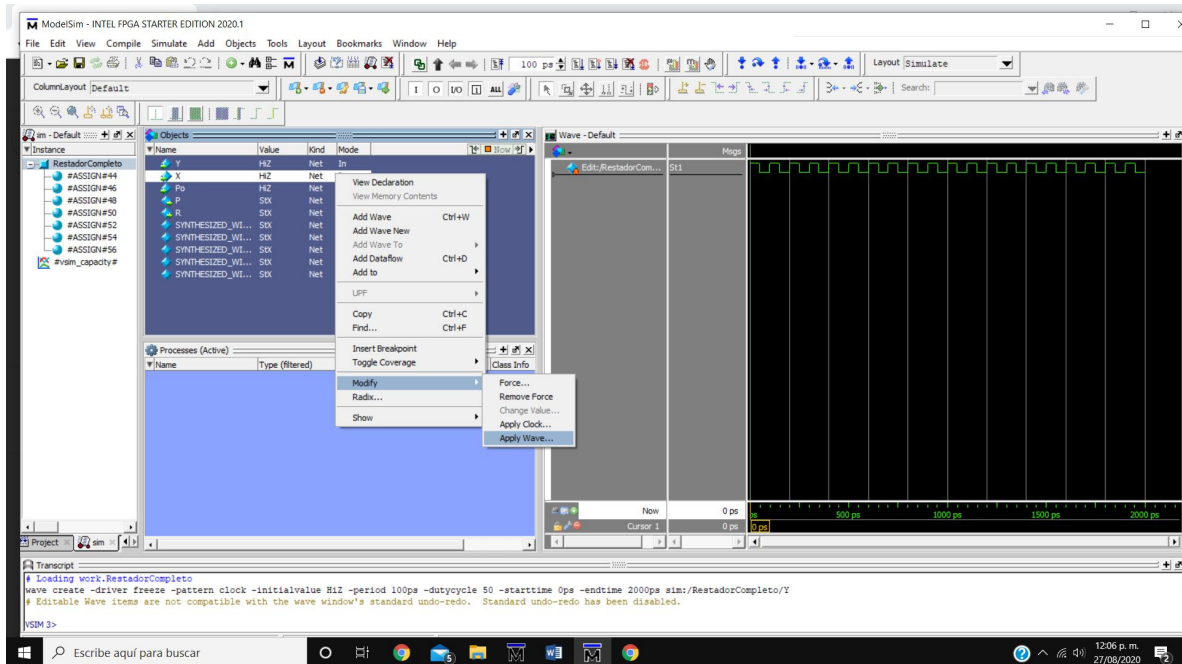
Paso 6

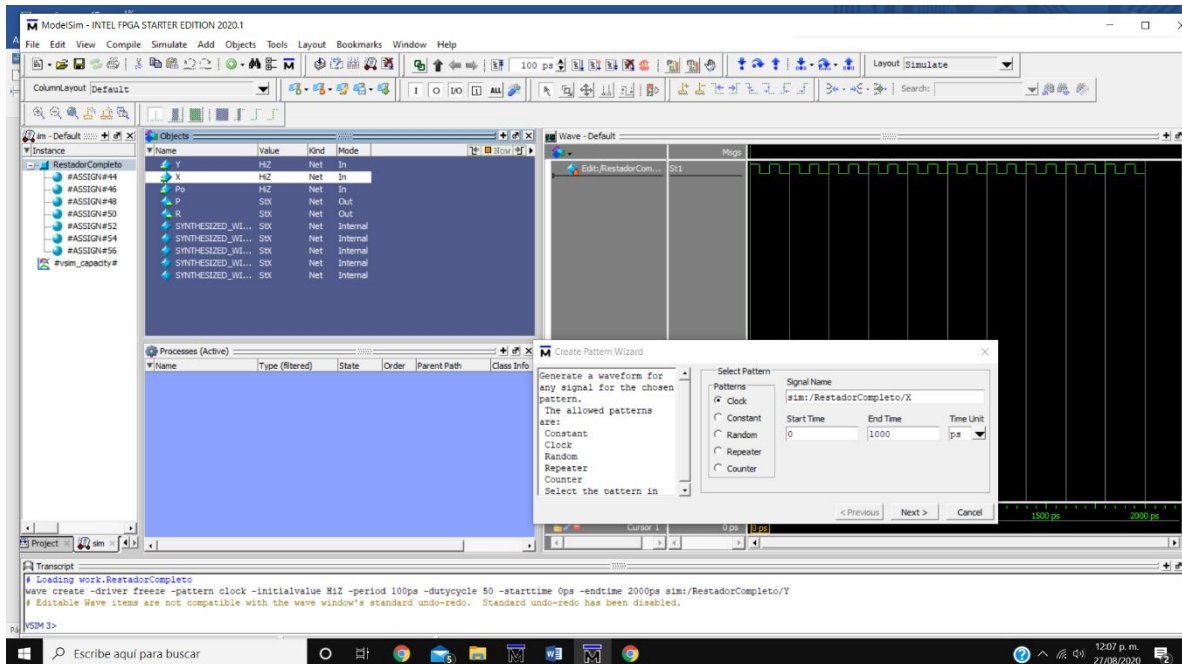
Una vez que el archivo se encuentre en la pantalla se cierra, después en la parte de arriba Compile/Compile-All, luego Simulation/ Start simulation y aparecerá una ventana como la imagen, se ocupa la imagen guía y damos ok



Paso 7

Se agregan las señales con click derecho sobre la entrada, como se muestra a continuación.





Paso 8

Click derecho sobre las salidas y escogemos la opción addwave

Paso 9

Finalmente en la parte superior Simulate/Simulate-All y comprobamos que esté funcionando correctamente moviendo el cursor. Se puede cambiar la interpretación de los resultados a modo binario, pulsando click secundario sobre la señal.

Y efectivamente el programa funciona con la tabla de verdad del restador lógico completa que se muestra a continuación al igual que el video de la simulación realizada.

X Y Po P R

x	y	z	B	D
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Fig. "Tabla de Verdad Restador Completo"

Enlace video de Simulacion por Modelsim: <https://youtu.be/NkXybs1FPFE>