

USB2.0 控制器 CY7C68013 与 FPGA 接口的 Verilog HDL 实现

谭安菊, 龚 彬

(中国工程物理研究院电子工程研究所, 四川省绵阳市 621900)

摘 要: USB(通用串行总线)控制器 CY7C68013 因其数据传输速率快和多样的接口方式为 ATA、FPGA(现场可编程门阵列)和 DSP(数字信号处理器)等提供了简单和无缝连接接口而得到广泛使用, 介绍了此控制器与 FPGA 接口的控制和 HDL(硬件描述语言)实现方法。利用 CY7C68013 控制器的 Slave FIFO 从机方式, 用 Verilog HDL 在 FPGA 中产生相应的控制信号, 实现对数据的快速读写。试验结果表明此方案传输速度快、数据准确, 可扩展到其他需要通过 USB 进行快速数据传输的系统中。

关键词: USB; CY7C68013 芯片; 接口; FPGA; Verilog HDL

中图分类号: TP334.7

0 引言

USB(通用串行总线)是英特尔、微软、IBM、康柏等公司 1994 年联合制定的一种通用串行总线规范, 它解决了与网络通信问题, 而且端口扩展性能好、容易使用。最新的 USB2.0 支持 3 种速率: 低速 1.5 Mbit/s, 全速 12 Mbit/s, 高速 480 Mbit/s。这 3 种速率可以满足目前大部分外设接口的需要。

本文介绍了目前使用较多的 USB2.0 控制器 CY7C68013 芯片与 FPGA(现场可编程门阵列)芯片接口的 Verilog HDL(硬件描述语言)实现。本系统可扩展, 完全可用于其他高速数据采集系统中。

1 系统构成

本系统主要是由 FPGA 和 USB2.0 控制器 CY7C68013 组成, 系统框图及其信号连接关系如图 1 所示。可以根据实际系统的需要, 用 FPGA 实现预定功能, 如数据采集卡、控制硬盘读写等。

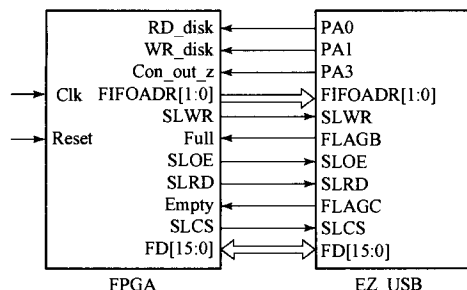


图1 系统连接框图

1.1 控制器 CY7C68013

Cypress 公司的 EZ-USB FX2 是第一个包含 USB2.0 的集成微控制器, 它内部集成了 1 个增强型的 8051、1 个智能 USB 串行接口引擎、1 个 USB 数据收发器、3 个 8 位 I/O 口、16 位地址线、8.5 kB RAM 和 4 kB FIFO 等。增强性 8051 内核完全与标准 8051 兼容, 而性能可达到标准 8051 的 3 倍以上。其框图如图 2 所示。

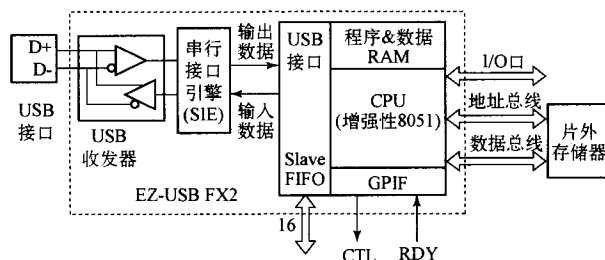


图2 128脚FX2框图

1.1.1 CY7C68013 结构特点

EZ-USB FX2 提供了一种独特架构, 使 USB 接口和应用环境直接共享 FIFO, 而微控制器可不参与数据传输, 但允许以 FIFO 或 RAM 的方式访问这些共享 FIFO, 这种被称之为“量子 FIFO”的处理架构, 较好地解决了 USB 高速模式的带宽问题。

FX2 芯片在数据传输时主要利用了 4 kB 的 FIFO, 分为 7 个端点: EP0IN&OUT、EP1IN、EP1OUT、EP2、EP4、EP6 和 EP8。其中 EP0、EP1IN 和 EP1OUT 是 3 个 64 B 的缓存, 只能被固件访问, EP0 是一个默认的数据输入输出端口缓存; EP1IN 和 EP1OUT 是单独的 64 B 缓存, 可以配置这些端点为块传输、中断传输或同步传输; 端点 2、4、6、8 是大容量高带宽的数据

传输端点,可以配置为各种带宽以满足实际需要,端点 2、4 是输出端点,端点 6、8 是输入端点。值得注意的是,端点 4、8 能配置为每帧 512 B,而端点 2、6 却能配置为每帧 512 B 或 1 024 B,并可配置为 2、3、4 级,这样 EP2 或 EP6 最大能配置为 4 kB 的缓存。

其在内部的传输控制是通过 full(满)和 empty(空)两个控制信号来完成的,当 full 为真时不能再写数据,当 empty 为真时不能再对 FIFO 进行读,其内部数据传输示意图如图 3 所示。

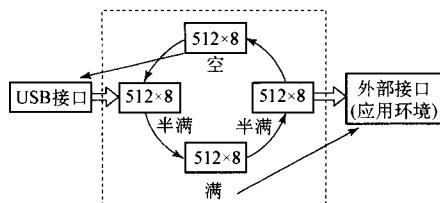


图3 FX 数据传输原理

如图 3 所示,USB 执行 OUT 传输,将 EP2 端点设成 512 B 四重 FIFO。在 USB 端和外部接口端都并不知道有四重 FIFO。USB 端只要有 1 个 FIFO 为“半满”,就可以继续发送数据。当操作的 FIFO 写“满”时,FX2 自动将其转换到外部接口端,排队等候读取;并将 USB 接口队列中下一个为“空”的 FIFO 转移到 USB 接口上,供其继续写数据。外部接口端与此类似,只要有 1 个 FIFO 为“半满”,就可以继续读取数据。当前操作的 FIFO 读“空”时,FX2 自动将其转换到 USB 接口端,排队等候写入;并将外部接口队列中下一个为“满”的 FIFO 转移到外部接口上,供其继续读取。

1.1.2 FX2 接口方式

FX2 有 Slave FIFO 和 GPIF 两种接口方式。

Slave FIFO 是从机方式,即 FX 的 CPU 不直接参与 USB 数据处理,而是简单地把 FX 作为 USB 和外部数据处理逻辑(如 ASIC、DSP 和 IDE(串行接口引擎)控制器)之间的通道,数据流并不经过 CPU,而是通过 FX 的 FIFO 直接传输。FIFO 通过外部主机控制,同时,FIFO 提供所需的时序信号、握手信号(满、空等)和输出使能等。

可编程接口 GPIF 是主机方式,GPIF 作为内部主机控制端点 FIFO,其 core 是一个可编程状态机,可以生成多达 6 个控制输出信号和 9 个地址输出信号,能外接 6 个外部 Ready 输入信号和 2 个内部 Ready 输入信号。通过用户自定义的波形描述符来控制状态机,使用软件编程读写控制波形,几乎可以对任何 8/16 bit 接口的控制器、存储器和总线进行数据的主动读写,非常灵活。

2 接口的 Verilog HDL 编程实现

在本设计中采用 Slave FIFO 从机方式实现 FPGA 对 FX 的控制,通过 Verilog HDL 编程实现。FPGA 可以根据实际情况选定。我们在设计时选用 Xilinx 公司的 Virtex-II 设备(XC2V1000-4FG456C)。

2.1 异步 FIFO 读数据

FX 读数据也就是数据从 FX 传到 FPGA 的过程,其过程如下:

- 反复检测控制线状态,当读事件发生时,即控制线 $con_out_z = 0$ 和 $RD_disk = 10$ 时,转到 b;
- 分配 $FIFOADR[1:0] = 00$,这时 FIFO 指针会指向输出端点,表明使用端点 EP2;
- 检查 FIFO 是否空,当 $empty = 1$ 时表示 FIFO 不空,转到状态 d,否则保持在状态 c;
- 赋值 $SLOE = 0$,使双向数据线 FD 在输出状态,采样 FD 数据线上的数据,并在 SLRD 的上升沿使 FIFO 指针自动加 1,跳转到 e;
- 假如有更多的数据需要读,转到状态 b,否则转到状态 a。

对读数据编程如下:

```
//create FIFOADR
always @(posedge CLK)
begin
    if (! RESET) FIFOADR_reg <= 2'b11; //本设计只需用 EP2 和 EP6
    else if ( RD_disk_buf2 == 1'b0 ) FIFOADR_reg <= 2'b10; //最好对控制线 RD-disk 锁存 2 拍
    else if ( WR_disk_buf2 == 1'b0 ) FIFOADR_reg <= 2'b00;
    else FIFOADR_reg <= 2'b11;
end

// create SLOE
always @(posedge CLK)
begin
    if (! RESET) SLOE_reg <= 1'b1; //SLOE 在无效状态
    else begin
        if ( WR_disk == 1'b0 )
        begin
            if ( empty == 1'b1 && FIFOADR_reg == 2'b00 ) SLOE_reg <= 1'b0;
            else SLOE_reg <= 1'b1;
        end
        else SLOE_reg <= 1'b1;
    end
end

end

//create SLRD
```

```

always @ ( negedge CLK )
begin
    if ( ! RESET ) SLRD_reg <= 1'b1;
    else if ( empty == 1'b1 && SLOE_reg == 1'b0 ) SLRD_reg <= ~SLRD_reg; //实际应用中信号间有时间约束,可以根据仿真结果进行调整
    else SLRD_reg <= 1'b1;
end
//读取数据
always @ ( posedge CLK )
begin
    if ( ! RESET ) outdata <= 16'h0088;
    else if ( FIFOADR_reg == 2'b00 && SLOE_reg == 1'b0 && SLRD_reg == 1'b0 && empty == 1'b1 )
        outdata <= FD_in;
end

```

用 Mentor 软件 Modelsim 进行仿真验证,其仿真波形如图 4 所示。在此过程中,SLRD 信号特别重要,在 SLRD 的下降沿把 FIFO 中的数据放到 FD 数据线上;在 SLRD 的上升沿把 FIFO 指针加 1,并指向下一个单元。



图 4 读数据仿真波形

2.2 异步 FIFO 写数据

向 FIFO 写数据是读数据的逆过程,也就是把 FPGA 数据写入 FX 的 FIFO,其编程过程如下:

a) 查询控制信号线 con_out_z 和 WR_disk,看是否有读事件发生,如果有,就转移到状态 b,否则保持在状态 a;

b) 分配 FIFOADR[1:0] = 10, FIFO 指针指向输入端点,转向状态 c;

c) 检查 FIFO 的满标志是否为 1,假如 full = 1,表示 FIFO 不满,转到状态 d,否则保持在状态 c;

d) 把外部数据 indata 放在 FD 上,同时把 SLWR 拉高,以使得 FIFO 指针自动加 1,然后转到状态 e;

e) 假如有更多的数据要传输,转到状态 b,否则转到状态 a。

其程序与写 FIFO 数据时一样,只是在生成 SLWR 信号时,需要注意控制信号之间的保持延时时间约束,这可以通过仿真结果进行适当修改。

```
assign SLWR = SLWR_reg;
```

```

//Create SLWR
always @ ( negedge CLK )
begin
    if ( ! RESET ) SLWR_reg <= 1'b1;
    else if ( FIFOADR_reg_buf2 == 2'b10 )
        begin
            if ( FIFOADR_reg_buf2 == 2'b10 && full == 1'b1 )
                SLWR_reg <= ~SLWR_reg;
        end
    else
        SLWR_reg <= 1'b1;
end
always @ ( negedge CLK )
begin
    if ( ! RESET ) FD_out <= 16'h0000;
    else
        begin
            if ( FIFOADR_reg == 2'b10 && full == 1'b1 && SLWR_reg == 1'b0 )
                FD_out <= indata;
        end
end
end

```

读数据信号仿真波形如图 5 所示。但必须注意的是,在 SLWR 的下降沿把 indata 数据线上的数据放到 FD 数据线上;在 SLWR 的上升沿把 FD 数据线上的数据放入 FIFO,并同时使 FIFO 指针加 1,指向下一个缓存单元。



图 5 写数据仿真波形

3 结束语

现在 USB2.0 控制器 CY7C68013 已经应用到许多数据传输领域,由于此芯片灵活的接口和可编程特性简化了外部硬件的设计,提高了系统可靠性,也利于 PCB(印制电路板)的制作与调试。本设计可扩展性好,因此可用于需要处理大容量的数据采集系统中。本设计已经用于对 IDE 硬盘的读写控制中,实现了对 IDE 硬盘的快速读写。

参考文献

- [1] 萧世文. USB2.0 硬件设计[M]. 北京:清华大学出版社, 2002.
- [2] 胡汉才. 单片机原理及其接口技术[M]. 北京:清华大学出版社, 2004.

- [3] 夏宇闻. 复杂数字电路与系统的 Verilog HDL 设计技术 [M]. 北京:北京航空航天大学出版社,1998.

谭安菊(1979-),女,研究实习员,硕士学位,主要研究方向是芯片测试验证。

Implementation of USB2.0 Controller CY7C68013 and FPGA's Interface in Verilog HDL

TAN Anju, GONG Bin

(Institute of Electronic Engineering, CAEP, Mianyang 621900, China)

Abstract: The USB controller CY7C68013 is used widely because it has quick speed and various interfaces such as ATA, FPGA and DSP and so on. The paper introduces how to implement the interface of CY7C68013 and FPGA by hardware description language (HDL). By means of CY7C68013's Slave FIFO, we create controllable signals in FPGA in Verilog HDL and realize to read and write data quickly. The result of examination indicates that the system is quick and exact, and it can be applied to those systems that need to transmit a lot of data quickly by USB interface.

Keywords: USB; CY7C68013 chip; interface; FPGA; Verilog HDL

(上接第10页)

参 考 文 献

3 结束语

基于单片机与 LCD 模块的数字显示角度测量装置在实际雷达天线座的角度零位调整应用中稳定、可靠、高效,使用结果表明,数字显示角度测量装置在角度调试中工作效率大幅度提高,显示数字一目了然。相比于传统的模拟指针式的角度测量装置,由单片机与 LCD 模块组成的新装置具有测量过程控制效果好、操作过程简单、数值显示性能稳定可靠、测量角度值精度高等一系列优点,大面积的推广使用将有利于雷达天线座零位调整及其他类似角度测量效率的大幅度提高,给企业带来良好的效益。

- [1] 肖海荣,安国建,刘文江,等. 用 AD2S80A 实现的高精度位置检测单元及其与 80C196KC 单片机的接口技术[J]. 微计算机信息,2001,17(3):62-64.
- [2] 郭新,冯汝鹏. 一种新型绝对式鉴幅型动态测角系统的研究[J]. 传感技术学报,2002,15(1):14-18.
- [3] 马瑞卿,芦刚. 三轴平台姿态角数字化测量系统[J]. 西北工业大学学报,1994,17(4):574-575.
- [4] 石成英,李进军,刘志强. 图形点阵液晶显示模块与单片机接口技术[J]. 国外电子测量技术,2004,23(4):50-53.

张凯军(1975-),男,工程师;硕士,主要从事专用设备电气电子控制系统设计研究工作。

Application of Single-chip Microcomputer and LCD in Digital Angle Measuring Instrument

ZHANG Kaijun¹, LÜ Li²

(1. Nanjing Research Institute of Electronics Technology, Nanjing 210013, China;

2. The Department of Electronic Engineering, Nanjing Institute of Communication Vocational Education, Nanjing 210046, China)

Abstract: The application of the single-chip microcomputer and LCD in the mechanical angle digital zero values measure and its modulation instrument used in the radar antenna pedestal is put forward based on their principle and characteristics. The principle and the method of the system software and its hardware realization are given, also the main program of the single-chip and the algorithm of the LCD module angle separation display. The result is good by using AT89C51 single-chip and LCD module in the digital angle measuring instrument. It has good real time property, dynamic display effect and system stability.

Keywords: angle measuring; single-chip microcomputer; LCD module; display