

术语词汇表

术语表

ABEL

ABEL 是在 CPLD 设计中曾被广泛使用的一种原始的硬件描述语言。ABEL 通常被认为在建立高级硬件描述方面不如 VHDL 或 Verilog 有效。

ADC

模数转换器。一个模拟信号在各个间隔采样，并被建模为数字信号。

AGP

高级图形接口。关于图形的电压接口标准。

Alliance

Alliance是Xilinx的与第三方供应商配合之协议的名称，在此协议下相互共享信息以在Xilinx的工具和其它EDA工具之间建立无缝的接口。Alliance软件包包含了Xilinx的实现工具，但是这个包没有包括仿真、综合和原理图抓取软件。如果你在使用Xilinx 的Alliance系列软件，这就假定了你在为这些应用使用了第三方EDA供应商的工具。

analyze

分析是用来描述在综合中的语法检查过程的术语。

ASIC

专用集成电路。此器件是用户为特定的应用设计的，而不是一个诸如微处理器的通用器件。

ASSP

专用标准部件（或产品）。ASIC 的别称。

ATPG

自动测试模式产生。测试向量生成并在电路中运行以测试这个部件。

behavioral

一个常用来描述 HDL 或仿真形式的术语。行为级 HDL 是一种未必可综合的系统模型。行为级仿真是对源代码（RTL 或行为级）的一种仿真。

BGA

球栅阵列。一种非常流行的表贴器件封装。它使用网格状的焊球作为它的连接器。可以有塑封和陶封两种形式。BGA 封装以其紧凑的尺寸、高的引线数目和较低的感抗（使得可以应用在较低的电压场合）而倍受关注。

BIST

内建自测试。存储器资源（特别是 RAM）的测试功能。

Bitgen

Bitgen 是 Xilinx 实现工具执行配置这一步的命令行名称。参见“Configuration”。

bitstream

位流（bitstream）被用来对 Xilinx 器件进行编程。它包含设计者建立的器件布线和逻辑资源内部配置的所有信息。

block SelectRAM

通常是指分块 RAM。Xilinx 的块 RAM 是基于 Virtex 架构器件中的专用的块 RAM。

Xilinx 的块 RAM 可以存储多达 16 千位的数据，数据宽度和深度可以变化。块 RAM 是全同步的，有适合双端口存取的不同端口。每个块可以有独立的时钟、使能、复位、数据输入、数据输出和端口宽度。

BLVDS

总线 LVDS。这个标准允许两个或多个器件之间双向 LVDS 通信。此标准的外部终端电阻与标准 LVDS 中的是不同的。

BSCAN

边界扫描。边界扫描逻辑在生产中被用来测试 PCB 的互连。

BSDL

边界扫描描述语言。BSDL 是在一个 IC 中如何实现边界扫描逻辑的软件描述。边界扫描测试软件接受 BSDL 描述。

BUFGCE

BUFGCE 是 Xilinx 的原语，是 Virtex-II 时钟管理的一部分。BUFGCE 被用来分布高扇出的带时钟使能的时钟信号。时钟信号用时钟使能信号来选通（无毛刺）。在当使能信号被禁止时，时钟也被禁止。

BUFGMUX

BUFGMUX 是 Xilinx 的原语，是 Virtex-II 器件中时钟管理的一部分。BUFGMUX 被用来在两个时钟间实现无毛刺切换。

BUFT

BUFT 是 Xilinx 的原语，表示一个三态缓冲器。

carry logic

进位逻辑存在于每个 slice 中，是（主要）用于实现算术逻辑功能的专用逻辑。进位逻辑（或称进位链）在 Xilinx 器件中垂直分布。

ChipScope ILA

ChipScope™集成逻辑分析器 (ILA)是 Xilinx 的附加软件，可以代替逻辑分析仪来测试和抓取 Xilinx 器件内部的数据。ChipScope ILA 包括两个基本部件：在计算机中的 ChipScope 软件和在芯片中的 ChipScope 核。软件被用来建立触发事件和抓取数据。在芯片中的核被用来连接到待测试设计的内部测试节点上。器件和软件间信息交互是通过连接到 PC 和器件上的 JTAG 口的 MultiLinx 电缆或并行电缆 III。

CLB

可配置逻辑块。Xilinx 的 CLB 是在 FPGA 内实现大部分逻辑的地方。CLB 是由 slice 组成的。

CMOS

互补 MOS。是实现数字处理器和存储器最为广泛使用的集成电路技术。CMOS 采用以某种方式连接在一起的 PMOS 和 NMOS 晶体管，这使得它的功耗比单用 PMOS 或单用 NMOS 的电路的功耗要低。

combinational

参见 combinatorial。Combinational 是 combinatorial 的另外一种措辞。

combinatorial

组合逻辑用需要持续驱动的门来实现。组合逻辑有别于不需要持续驱动的寄存逻辑。如果激励信号不保持，组合逻辑就不会保持它的值。

compile

一个设计的编译可以出现在不同的位置。当你综合 HDL 时，你是将代码编译为硬件网表。编译表示代码（或一个文件）到一个不同格式的转换。

configuration

配置是 Xilinx 实现过程中的一步。在配置这一步将生成用于对器件编程的位流。

core

核通常是指知识产权 (IP)。核的功能事先经过了测试，可以被很快使用而无需花费太多的工程时间和代价。核也可被认为是“即插即用”的设计。

CORE Generator system

核生成器 (CORE Generator™) 系统是 Xilinx 的软件，用于为你的设计生成核。这些已经制作好的功能块可以直接例化到你的设计中去。它们也可进行功能仿真。这些核按照复杂性和价格排列。大部分的简单的功能块是免费的也可以进行用户配置（块 RAM，FIR 滤波器，等等），而其它的一些核 (PCI，USB，等等) 需要一定的费用。

CPLD

复杂可编程逻辑器件。是一种包含了在逻辑块之间可编程互连的可编程器件。一个 CPLD 通常是由多个互连的 PAL 构成。

CPU

中央处理单元。.

CS

芯片比例封装。

CTT

中央抽头终端。电压接口标准。 3.3 伏的存储器总线标准。

DAC

数模转换器。将数字信号转换为模拟信号。

daisy chain

菊花链是多个 Xilinx 部件的串接，以便通过串行配置方式按次序对每个器件进行编程。

DCI

数字可控阻抗。Xilinx 的 Virtex™-II 中的 DCI 为单端 I/O 提供了可控阻抗驱动器和片上终端。这就可以省去片外的电阻并能提高信号的完整性。

DCM

数字时钟管理器。Xilinx 的 DCM 有四个时钟管理功能块：时钟数字延时锁定环（CLKDLL）；数字频率合成器 (DFS)；数字移相器（DPS）和数字扩谱（DSS）。

DDR

双数据速率使用时钟的两个沿来抓取数据。

Design Manager

设计管理器是一个管理某个 Xilinx 器件实现的软件。在设计管理器中，你可以设置实现选项，使用其它各种工具，管理你的设计实现的版本和子版本。.

die

小片硅晶元，以相邻的垂直方向上和水平方向上的划线为边界。它包含了制造好了的完整的芯片。也称为芯片和微芯片。

DFT

测试设计。设计中用于测试内部电路功能和/或集成的电路。目的是使器件可以进行自测。

DLL

延时锁定环。PLL 的数字版本。数字式时钟锁定电路。比较两个时钟信号并使它们相对齐。.

DSM

深亚微米。也被称做二阶效应或三阶效应。一个电路中在时延和噪声方面的布线效应。

EA

嵌入阵列 ASIC。是一种由门阵列和标准胞元组合而成的 ASIC。晶片包括已部分制作部分（门阵列）和空白部分。与标准的胞元 ASIC 一样，嵌入阵列也允许有用户定制的宏和存储器。

ECO

工程更改定单。一旦 ASIC 被掩膜，对掩膜进行修改需要“重整（re-spin）”，这需要付一定的费用。

EDA

电子设计自动化。就是利用计算机来设计和仿真芯片上的电子线路的性能。

EDIF

EDIF 是工业标准的网表格式。

equivalency checking

一致性检查，也被称为形式验证。形式验证被用来检查一个电路综合前后的一致性。

FG

微间距球栅阵列封装。

FIFO

先进先出器。FIFO 通常用一个 RAM 块来实现。一个 FIFO 被用来以一个速率（时钟速率）存储数据，而以另外一个不同的速率来读数据。

flash memory

一种存储器件，可以重新写入数据而且掉电后内容仍被保留。

Flow Engine

流程机制是 Xilinx 的软件，被用来实现（通常指布局布线）设计和生成配置 Xilinx 器件的位流文件。

Foundation

Foundation™ 是 Xilinx 的软件包，它包含了原理图抓取，仿真和针对 Xilinx 器件实现的一整套解决方案。

footprint

footprint 表示封装布局。footprint 也可指用作 IO，以及用作电源和地线的引脚的数目。

FPGA

现场可编程门阵列-现场可重编程 IC。

FPGA Compiler II

FPGA Compiler II 是由 Synopsys 公司制作的一个综合工具。

FPGA Express

FPGA Express 是 Synopsys 公司制作的一个综合工具。

FSM

有限状态机。一个使用需要解决特定问题的操作状态来设计的计算部件。这些电路对应应用而言是最小化的、特定的和优化的。状态机控制电路的操作。它提供了在合适的时间产生的输出，以控制其它的逻辑。

function generator

Xilinx 查找表（LUT）。Xilinx 的查找表由 SRAM 制成，但它的功能像一个 16x1 的 ROM。Xilinx 的查找表使用四个输入。查找表被置入了基于来自四输入逻辑函数的 16 个可能的输出的可能的逻辑值。查找表也被称为函数发生器。

gate array

门阵列。一种使用已部分制作好的圆片的 ASIC，它只使用布线层的掩膜来定制它的作。门阵列的特点是初期成本低，开发时间短，密度低，性能有限，在量少的情况下价格便宜。这种形式的 ASIC 正逐步被废弃，因为其它的技术在规模和低成本方面已超过它。

gating

门控通常是指门控一个时钟。当你门控一个时钟时，时钟信号与另外一个信号组合起来产生一个新的时钟信号。这是一个不好的设计实践。门控时钟会产生毛刺，会使你的设计不可靠。Xilinx 的 Virtex™-II 器件有无毛刺时钟管理资源，可以用它们来产生一个“门控时钟”。参见 BUFGMUX 和 BUFGCE。

GDSII

图形设计系统 II。在 ASIC 设计过程中使用的 Polygon 布局格式。

global clock buffer

全局时钟缓冲器被用来驱动 Xilinx 器件内部的专用时钟树。这些时钟网络被优化以传播贯穿整个芯片的低偏差的高频时钟信号。每个部件有四到十六个全局时钟缓冲器。全局时钟缓冲器也被称为 BUFG。

gray code

格雷编码是指这样的逻辑：当它的状态变化时只有一位会变化。这可以被用来降低二进制序列引起的毛刺。它通常也比二进制编码逻辑更快，这是因为它需要更多的寄存器来表示状态，但需要解码一个状态的逻辑时仅需要看较少的位就可对所在的状态进行解码。

GSR

全局置位复位。全局置位复位是一个专用的布线网络，在配置的最后的“启动”序列期间使用。它给出了器件上电时的状态。寄存器处于置位或复位状态下，这取决于代码。全局置位复位可以被用户用来在配置后置位/复位芯片内所有的同步元件。在基于 Virtex 的器件中不建议采用，因为它很慢。

GTL

注射收发逻辑终端。电压接口标准。

GTS

全局三态。全局三态网络是一个专用的布线网络，在配置期间被用来使器件所有的 IO 引脚（在配置期间未被使用的所有的 IO）处于三态。在配置的“启动”序列期间，这个网络被释放。然后，它可以被用来对处于工作状态下的器件的所有的输出进行三态控制。

GUI

图形用户界面。在这个界面中，用户可以设定选项以控制如何来优化或实现一个设计。

HDL

硬件描述语言。一种用来建模、设计和仿真硬件的语言。最常用的两种形式是 VHDL 和 Verilog。

HQ

高散热方型扁平封装。

HSTL

高速收发器逻辑。电压接口标准。是一种 1.5 伏的总线接口标准。

IBM

国际商用机器公司。世界上最大的计算机公司。标准胞元 ASIC 的供应商。

IBIS

输入输出缓冲器信息规范。IBIS 是通过 V/I 数据而无需揭示任何电路/工艺信息就可提供器件的输入/输出特性的一种方法。它可以被看作是一个适合数字系统传输线仿真的行为模型规范，并且它可应用于大部分的数字元件。Xilinx 之所以提供 IBIS 模型而不是 SPICE 模型是因为 SPICE 模型含有专利信息。

IC

集成电路。计算机芯片的正式名称。制作电路的硅片。

ICE

集成电路工程。

implementation

实现是 Xilinx 所指的包括布局布线进程在内的许多步骤。这些步骤包括：转换、映射、布局布线、静态时序分析和位流产生（用于编程）。

instantiate

例化是 HDL 中的一个术语，它表示在代码中放置一个层次块的行为。它与在一个原理图中放置一个逻辑符号是同义的。

Intellectual Property

参见 IP。

IO

输入和输出。是指器件的端口。

I/O

输入和输出。是指器件的端口。

IOB

输入输出块。Xilinx 的 IOB 被用来与外部信号接口。Xilinx 的 IOB 有一个引脚、输入输出缓冲器和寄存器。

IP

知识产权。是一大类被法律认定为属于某个组织的专利的无形材料。在计算机领域，硬件电路、软件和文本都是有版权的。在一些情况下，硬件电路和软件中所使用的算法也可以受专利保护，而且大部分的商标名称可以受商标权保护。

ISE

集成综合环境。ISE 是 Xilinx 公司提供的软件包，它包括了仿真、综合和针对 Xilinx 器件实现的一整套解决方案。ISE 常常被读成 “ice”。

JTAG

联合测试行动组。一种边界扫描技术的 IEEE 标准。

latency

延迟是处理信息所需要的时钟周期数目。

Leonard Spectrum

Leonardo Spectrum 是由 Exemplar 制作的一种综合工具。

LFSR

线性反馈移位寄存器。LFSR 使用了一个伪随机计数序列。LFSR 非常有用，因为它能在比二进制序列更高的时钟频率下运行，而且可以重复这个序列。LFSR 也可被称为伪随机位流生成器或 PRBS 生成器。

Libraries Guide

《库指南》是一个软件手册，它包含了关于所有的 Xilinx 宏和原语的一个列表。它按照字母顺序排列。对于每一个宏/原语，都有一个原理图用来显示用于 HDL 例化的端口名称，一个功能描述和一个根据输入而产生期望输出的真值表。

LM

分层金属。在集成电路中用于提供布线线路的金属层的数目。

LOC

位置约束。位置约束被用来锁定管脚位置或将逻辑放置在芯片的特定位置。

LogiBLOX

LogiBLOX™ 软件可以用来生成XC4000和Spartan系列器件的一些小规模的核心。

LUT

查找表。Xilinx的查找表由SRAM制成，但它的功能通常像一个16x1的ROM。Xilinx的查找表使用四个输入。查找表被置入了基于四输入逻辑函数的16个可能的输出的可能的逻辑值。查找表也被称为函数发生器。

LVCMOS

低电压CMOS。

LVDS

低电压差分信号。LVDS 是一种差分输入输出标准。它需要两个信号线来荷载一个数据位。与所有的差分信号标准一样，LVDS 具有优于单端 I/O 标准的固有的抗噪能力。两个信号线间的电压的摆率约为 350 毫伏。它不需要使用参考电压（V REF）或板级终端电压（V TT）。对每一个输入或输出，LVDS 需要两个管脚。LVDS 也需要外部的电阻终端。

LVPECL

低电压正射极耦合逻辑。

LVTTL

低电压 TTL。电压接口标准。

macro

术语宏常可以与核互用。参见 core。

map

map 是 Xilinx 器件实现过程中的一个步骤。特别地，在映射这一步将网表中的逻辑（如果输入网表来自于原理图工具）优化成 Xilinx 器件资源（如 LUT、寄存器、三态缓冲器，等等）。然后将 LUT、寄存器等打包到 slice 和 IOB 中。

MP

微处理器。

MHz

百万赫兹。

ModelSim

ModelSim 是 Model Technology 公司制作的一个行为仿真工具。

MTI

Model Technology 公司。参见 ModelSim。

NCF

网表约束文件。NCF 是由综合工具产生的。用来在综合工具和 Xilinx 的实现工具间传递约束。

Netlist

网表是组成电路的逻辑门及其互连的一个列表。通常是文本形式。Xilinx 使用的大部分网表采用 EDIF 或 XNF 格式。

NGDBuild

NGDBuild 是转换的命令行名称。参见 “translate”。

NRE

非重复性工程成本。开发 ASIC 时付给 ASIC 供应商的最开始的费用。

nW

纳瓦。

OFFSET IN

是一个覆盖从输入管脚到同步元件之间的路径的时序约束。

OFFSET OUT

是一个覆盖从同步元件到输出管脚之间的路径的时序约束。

one-hot

一位有效编码逻辑是指这样的逻辑：其中有一位有效（或为高电平）而所有的其它位无效（或为低电平）。

optimize

硬件优化是优化逻辑（布尔）的行为，使得可以有效地利用硬件资源。

pad-to-pad

是一个时序规范，覆盖从输入引脚经过组合逻辑到达输出引脚的路径。管脚-到-管脚约束不会穿过任何寄存器的边界。

PAL

可编程阵列逻辑。它是一类包含可编程的与门阵列和预先定义的或门阵列（只有与门连接可以被编程）的可编程逻辑器件（PLD）。PAL 通常被排列好以提供乘积和（sum-of-products (SOP)）逻辑的表达。

P&R

布局 and 布线。是将逻辑放到硅片中并对逻辑间的信号进行布线以满足时序要求的行为。

PAR

布局 and 布线。是将逻辑放到硅片中并对逻辑间的信号进行布线以满足时序要求的行为。

PCI

外设部件互连。是一个通常用于 PC 机，Macintosh 计算机和工作站中的外设总线。PCI 为 CPU 和外设部件（如视频、磁盘、网络，等等）之间提供一个高速的数据通路。

period

同步元件到同步元件的时序规范。

pipeline

流水化一个设计是将寄存器置于组合逻辑间的行为，它可以通过牺牲延迟来提高一个设计的吞吐量（时钟频率）。

PECL

正射极耦合逻辑。发送每个数据位需要两个信号线。对于每一个输入或输出，这个标准指定两个引脚。在这两个信号线间的电压摆率约为 850 毫伏。它不需要使用参考电压（V_{REF}）或板级终端电压（V_{TT}）。LVPECL 需要外部的电阻终端。

pin locking

管脚锁定是将输入输出信号放在部件中特定管脚上的行为。因为 FPGA 是完全可编程的，设计者可以将信号放在器件中的任意特定的管脚上。注意通常建议在器件中建立水平方向分布上的数据流。总线的最低位被放在芯片左右两侧较下部分。这常常是因为进位逻辑（进位链）在芯片中在垂直方向上自下而上分布。

PLA

可编程逻辑阵列。它是一类包含可编程的与门和或门阵列（与门和或门连接都可以被编程）的可编程逻辑器件（PLD）。PLA 通常被排列好以提供乘积和（sum-of-products (SOP)）逻辑的表达。

Place and Route

是将逻辑放到硅片中并对逻辑间的信号进行布线以满足时序要求的行为。是 Xilinx 实现进程中的一步。

pipelining

在组合逻辑间插入寄存器以提高电路的吞吐量（性能或时钟频率），但是以牺牲延迟为代价的。

PLD

可编程逻辑器件。包括 FPGA 和 CPLD。

PLL

锁相环。模拟式时钟锁定电路。比较两个时钟信号并将它们对齐。

PQ

塑料方型扁平封装。

PRBS generator

参见 LFSR。

priority encoded

是指一种逻辑结构。在这种结构中，逻辑被级联起来以实现一定逻辑功能。通常，级联的逻辑并不像用并行结构实现的逻辑那样有效。

Project Navigator

项目导航器是软件程序 ISE 的图形用户界面（GUI）。在这个图形用户界面（GUI）中，你能够指定综合、仿真和实现选项。另外，在图形用户界面中（GUI）你可以执行综合、仿真和实现的每一项功能。

RAM

随机存取存储器。可读写的存储器。

um

微米 (micron)。用来度量晶体管和布线线路的几何尺寸。

regression

是指两个或更多相关变量之间的功能关系，它常常从一些数据中来经验地确定。当其它变量的值被给定时，这个关系可以用来预测一个变量的值。在硬件系统中，回归测试被使用，使得不需利用所有可能的测试向量。例如，对一个两输入的与门，有四个可能的可以被应用的逻辑向量。回归测试可以只测试这些向量中的一个或两个，如果它能正常工作，就可以认为这个与门能正确工作。

revision

Xilinx工具的一个子版本，代表Xilinx实现选项的一个变化。子版本的建立由用户所控制。

RLOC

相对位置约束。RLOC被用来将一些逻辑元件成组放在一起以降低设计中的布线时延。通过将逻辑放得靠近在一起将不允许布局布线这一步将“属于”一起的任何逻辑分开。这样就建立起了RPM。也就是，一片逻辑被放置在与另一片逻辑相对的位置上。它不是被“硬”放置在芯片上的。

RPM

相对放置的宏。相对放置的宏利用RLOC约束来将相关的逻辑成组放在一起，以便降低与布线相关的数量和时延。

RTL

寄存器传输级。是一个通常被用来描述可综合的 HDL 代码的术语。

SC

标准胞元 ASIC。ASIC 使用标准的逻辑胞元以实现紧凑的封装。一个标准胞元 ASIC 使用空白的圆片，而不是已部分制作好的。一个标准胞元 ASIC 的特点是初期成本高，开发时间长，可以提供尽可能的最大的密度和最高的性能，在量大的时候是最便宜和最有效的。

scan

内部扫描链。建立用于测试部件功能的内部移位寄存器。

SDF

标准时延格式。SDF 文件被用来传递用于时序仿真的在硬件电路中与逻辑和布线相关的时延信息。SDF 文件通常与一个用来提供逻辑功能和连接的结构化的 HDL 文件一起使用。

SelectI/O

SelectI/O™ 是 Xilinx 的专有术语，它可以支持与外部器件接口的许多电压阈值电平。目前 Virtex-II 支持 19 种不同的 I/O 标准。

SelectRAM

SelectRAM™是指将内部的查找表用做 RAM 而不是函数发生器。SelectRAM 也被称作分布式 RAM 或查找表式 RAM。每个查找表可以被配置成一个深度为 16 宽度为 1 的 RAM。这个 RAM 的特点是可以同步写和异步读。SelectRAM 也可指双端口 RAM。

SelectROM

SelectROM 是指将内部的查找表用做 ROM 而不是函数发生器。SelectROM 也被称作分布式 ROM 或查找表式 ROM。每个查找表可以被配置成一个深度为 16 宽度为 1 的 ROM。这个 ROM 可以异步读。

Silicon

芯片中使用的基本材料。它的原子结构和易获性使得它可以作为一个理想的半导体材料。在芯片制作的时候，首先从白石英石中提取，然后在高温下通过一个化学过程来提纯。为了改变它的电学特性，在融化状态下，将其与其它化学物质相混合（掺杂）。

simulation

就是在计算机上执行一个概念（设计）来模拟实际的功能。在硬件系统中，在实现硬件之前，仿真通过用软件来建模和验证硬件概念的方法来实现。

simprims

仿真原语。这些仿真原语被用来为用 Xilinx 器件实现的一个设计进行时序仿真。

skew

偏差表示信号到达不同终点的时间上的差异。

slices

Slice 存在于 CLB 中。每个 slice 包含两个查找表和两个寄存器。在每个 slice 中还存在其它的逻辑，如：多路选择器（F5，F6，F7 和 F8 多路选择器），布线和进位逻辑。

SRAM

静态 RAM。是一种需要电源才能保持其内容的存储器。静态 RAM 不像动态 RAM 一样需要刷新电路。

SRL

移位寄存器查找表。SRL 将查找表用做移位寄存器。SRL16 是一个 SRL 宏。这个移位寄存器可以实现多达 16 个时钟周期的串行移位（对每个查找表而言）。SRL 可以实现不带任何复位功能的串行入串行出的单纯的移位寄存器功能。然而，SRL 可以在上电时用数

据来初始化（在 ucf 文件中使用 INIT 属性）。而且，在 SRL 中的每一个“寄存器”可以被动态地读取。在 Virtex-II 中，宏 SRLC16 有两个输出可用：一个动态可寻址输出和一个最终输出。

SSTL

短线串行收发器逻辑。电压接口标准。存储器总线接口标准。

ST

以前称为 SGS 汤姆生。

STA

静态时序分析。时序分析被用来确定一个电路的最差情况下的延时或性能。通常，这些时延被用来与以时序约束格式提供的时序目标相比较。

stamp

Stamp 模型是板级时序验证的工业标准格式。

startup

启动块在配置阶段被用来控制内部的复位，全局写使能和全局三态网络。启动块在 Virtex 器件中被称作 STARTUP_VIRTEX，而在 Virtex™-II 器件中被称为 STARTUP_VIRTEX2。

Static Timing Analysis

参见上面的 STA。

synchronous

同步设计是指这样一种设计，它只使用一个时钟、时钟的一个沿、D 触发器和层次的合适应用。

Synplify

Synplify 是 Synplicity 公司制作的一个综合工具。

synthesis

将 HDL 代码（Verilog 或 VHDL）编译为电路的硬件描述。综合工具通常会生成 edif 格式的网表。

synthesize

“synthesis”的动词形式。

TI

德州仪器公司。最大的 DSP 处理器制造商。也是标准胞元和嵌入式阵列 ASIC 的供应商。

timing constraints

时序约束被设计者用来向 Xilinx 实现工具传递一个设计的设计性能目标。Xilinx 的实现工具是时序驱动的，所以在实现过程中，实现工具试图对逻辑进行布局布线以满足时序约束。

translate

转换是 Xilinx 器件实现进程中的一个步骤。特别地，在转换这一步，将所有的输入网表进行合并，检查约束，以及查找输入网表中的常见问题。

TTL

晶体管传输逻辑。它是一个含有以一定方式连接的双极晶体管的数字电路。TTL逻辑从数字电路的早期就被广泛使用。TTL标识可以出现在不同器件的输入或输出端口上，它用来表明是数字电路而不是模拟电路。

TTM

上市时间。

TWR

TWR 文件是由 Xilinx 的静态时序分析工具——时序分析器生成的。这个文件包含了与加到设计中的时延约束有关的时序时延信息。

version

Xilinx 工具中的一个版本代表了输入网表的一个变化。这通常代表 HDL 源代码一个变化或网表的重新综合。

Verilog

一种硬件描述语言 (HDL)。

VHDL

超高速集成电路 HDL。

VITAL

通向 ASIC 库的 VHDL 初始库。VITAL 是用来建立与 VHDL 语言一起使用的时序仿真模型的工业标准。

UCF

用户约束文件。UCF 文件被用来与 Xilinx 的实现工具交互约束。UCF 文件是 Xilinx 所特有的。

UI

用户界面。参见 GUI。

Unisim

统一的仿真原语。这些仿真文件被用来仿真在 HDL 代码中例化的 Xilinx 原语。

uP

微处理器。

Xilinx CoreLib

由核生成系统为 IP 生成的 Xilinx 的仿真文件。

XNF

Xilinx 网表格式。特地为 Xilinx 制作的文本格式。

XST

Xilinx 综合技术。XST 是由 Xilinx 公司构建的一种综合工具。