

ISA(PC/104)
总线信号时序简介

SBS *Science & Technology Co., Ltd.*

目录

1.0 ISA概况

2.0 ISA文献

2.1 ISA规范

2.2 ISA书籍

3.0 ISA结构形式

4.0 PC/104结构形式

5.0 ISA信号描述

6.0 ISA时序图

7.0 ISA信号用法

8.0 ISA连接器引脚

9.0 PC/104总线连接引脚

1.0 ISA 概况

ISA总线，即工业标准结构（Industry Standard Architecture），最早起源于二十世纪八十年代早期IBM在佛罗里达州Boca Raton研发实验室。IBM于1981年推出的个人电脑，其中包括了8位ISA总线。1984年，IBM推出了PC-AT，这是第一个全面实现16位结构的ISA总线。

IBM最初命名的“AT总线”首先被记录于IBM出版的“*The PC-AT Technical Reference*”上。此书包括了图表和BIOS清单，这样类似于康柏的其它公司很容易就生产出了IBM兼容的产品。由于IBM将“AT总线”作为一项商标进行保护，其它生产兼容IBM产品的公司就不能使用“AT总线”这个名称。结果，人们在行业中创造了“ISA”，并将其作为这种总线的新名称。这个名称最后被包括IBM在内的所有公司采用。

尽管“*The PC-AT Technical Reference*”包含了详细的图表和BIOS清单，但其因未包含严格的时序、规范及其它必要条件而未成为一个很好的总线规范。结果，对ISA各种各样的实现造成了一些产品之间的兼容性问题。为了减轻因兼容造成的问题，渐渐形成了许多ISA总线规范，但是不幸的是，这些规范也不尽相同。

~~迄今为止，没有产生出一个完全统一的ISA总线规范。~~

2.0 ISA 文献

2.1 ISA 规范

有关ISA总线规范的文档有如下几篇：

- *EISA Specification, Version 3.12*——这篇文档包括ISA总线规范，并规定了“扩展工业标准结构”，定义了ISA总线上32位扩展。
- *IEEE Draft Standard P996*——这篇文档描写了标准PC类系统的机械和电子规范。通过<http://standards.ieee.org/>付费可以向IEEE订购。
- *PS/2 Technical Reference*——这篇来自IBM的文档内容包括在一些IBM计算机PS/2线上使用ISA总线的信号定义和时序图。

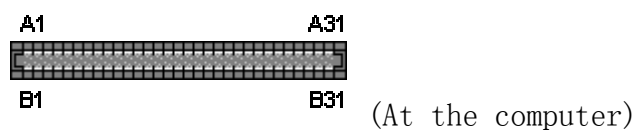
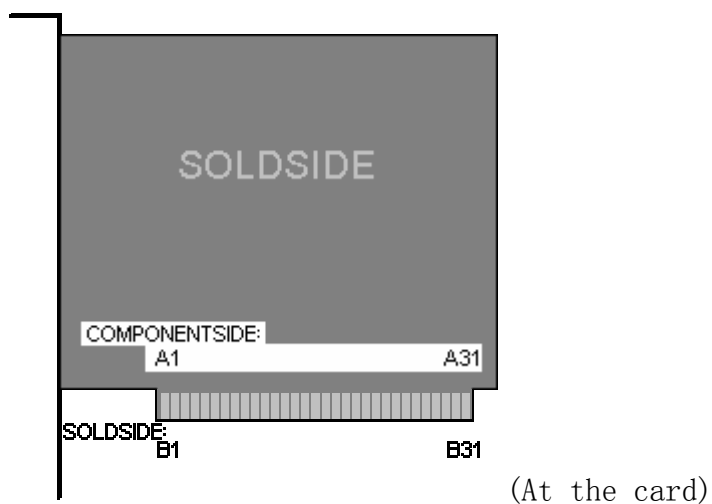
2.2 ISA书籍

两本对ISA总线进行了详细描述的书是：

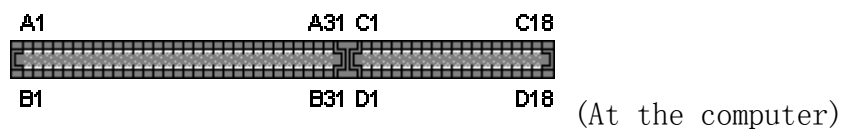
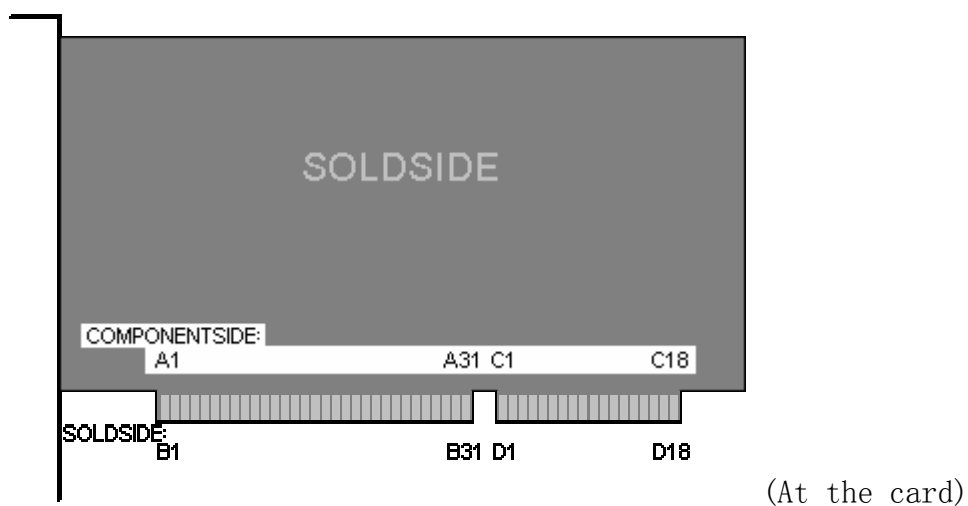
- *ISA & EISA Theory and Operation, by Edward Solari. (Annabooks) (ISBN 0-929392-15-9)*
- *ISA System Architecture, by Don Anderson and Tom Shanley. (MindShare) (ISBN 0-201-40996-8)*

3.0 ISA结构形式

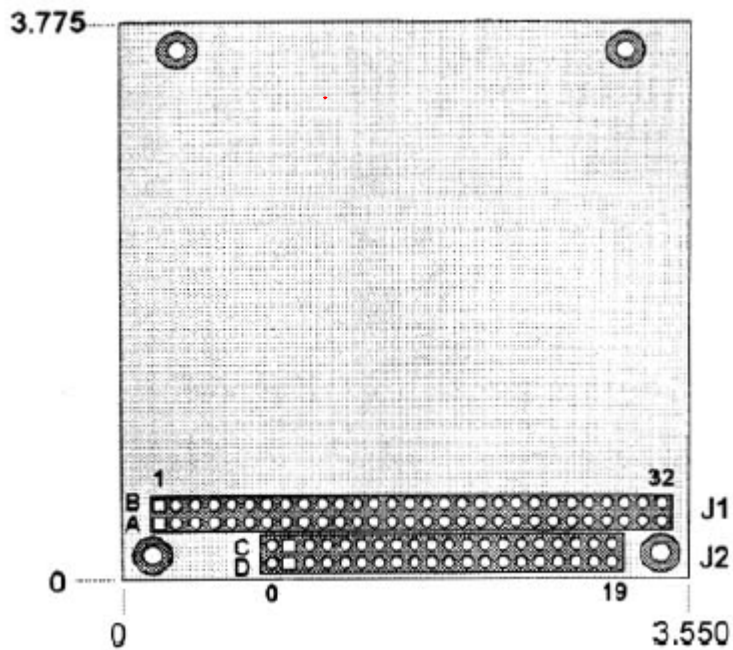
8 位卡:



16 位卡:



4.0 PC/104结构形式



与ISA板不同，PC/104 8位/16位总线模块具有同样尺寸；与ISA板总线信号定义相同，但多A32/B32;C0/D0;C19/D19引脚，全为地（Gnd）

5.0 ISA 信号描述

SA19-SA0

System Address 地址位19:0用于对系统中内存和I/O设备的寻址。内存寻址时使用SA19:SA0配合LA23:LA17 能寻址多达16兆的内存。I/O寻址中,只使用低16位,可以用来定位64K的I/O地址。SA19是最高位, SA0为最低位。地址信号在BALE为高时有效, 而由BALE的下降沿锁定。通过读或写命令使信号保持有效。这些信号通常由系统微处理器或DMA控制器驱动, 但也可以由ISA扩展板的Bus Master 来取得ISA总线的控制权。

LA23-LA17

Unlatched Address 23:17位是系统中内存地址。它们和SA19:SA0可以共同寻址多达16兆的内存。当BALE为高时这些信号才有效。由于它们是非锁存的, 故在整个总线周期中它们并不总是保持有效状态。用BALE下降沿锁存这些信号的译码。

AEN

Address Enable 用于DMA传送过程中关闭总线系统微处理器和其它设备的传送通道。当AEN有效时, 总线上的地址、数据和读写信号由DMA控制器控制。ISA扩展板的片选译码应包含AEN信号, 以防止DMA周期中出现不正确的片选。

BALE

Buffered Address Latch Enable 用来锁存LA23:LA17信号或者译码这些信号。BALE下降沿用于锁存LA23:LA17, 在DMA周期中BALE被强制为高。此信号与AEN并用时表明一个有效的微处理器或DMA地址。

CLK

System Clock 是一个自行运转的时钟, 它的频率一般在7MHz到10MHz之间, 该频率值在ISA标准中并未严格定义。系统时钟在一些ISA板的应用中保证与系统微处理器的同步工作。

SD15 - SD0

System Data SD15:SD0是ISA总线上的数据总线。其中SD15是最高位，SD0是最低位。8位设备的数据传送通过SD7:SD0来完成，SD15:SD0则用于传送16位设备的数据。当16位设备向8位设备传送数据时，需将16位信号转换成两个8位周期通过SD7:SD0来进行传送。

-DACK0 to -DACK3 and -DACK5 to -DACK7

DMA Acknowledge 0:3和5:7分别被用来确认DRQ0:DRQ3和DRQ5:DRQ7的DMA请求。

DRQ0 to DRQ3 and DRQ5 to DRQ7

DMA Requests 用于ISA板向DMA控制器提出服务请求，或者Bus Master设备申请总线控制权的请求。多个DMA请求可能同时断定有效，发出请求的设备必须保持请求信号有效直到系统板发出相应的DACK信号。

-I/O CH CK

I/O Channel Check I/O CH CK由ISA板生成进而引发非屏蔽中断。当它有效时表明发现了不可恢复的错误。

I/O CH RDY

I/O Channel Ready 允许较慢速ISA板通过插入等待状态，延长I/O或内存读写周期。I/O CH RDY通常处于高（就绪）。ISA板将I/O CH RDY拉低（未准备好）以插入等待状态。使用I/O CH RDY插入等待状态的设备需可以完成读写周期时，地址译码和读/写信号有效后立即使I/O CH RDY信号为低。当设备释放，I/O CH RDY回高。

-IOR

I/O Read 由总线控制设备驱动，并且指令所选的I/O设备将数据读到数据总线上。

-IOW

I/O Write 由总线控制设备驱动，指令所选的I/O设备从数据总线上获取数据。

IRQ3 to IRQ7 and IRQ9 to IRQ12 and IRQ14 to IRQ15

Interrupt Requests 向系统微处理器发出信号，提示来自ISA板的请求。当IRQ线由低向高跳变时产生中断请求。请求必须一直保持为高直到CPU通过其中断服务程序确认了这个请求。请求有不同的优先权。来自IRQ9:IRQ12、IRQ14:IRQ15的请求优先被处理，（IRQ9优先级最高），而来自IRQ3:IRQ7的请求较后处理（IRQ7优先级最低）

-SMEMR

System Memory Read 指令一个所选定的Memory设备将数据送到数据总线。该信号仅在对1M以内的Memory空间读时才有效。SMEMR来源于MEMR及低于1兆的存储译码。

-SMEMW

System Memory Write 指令将当前数据总线上的数据写入一个所选定的Memory设备。该信号仅在对1M以内的Memory空间写时才有效。SMEMR来源于MEMR及低于1兆的存储译码。

-MEMR

Memory Read 指令将一个所选定的Memory设备数据读出送到数据总线。它在整个Memory存储读周期中都有效。

-MEMW

Memory Write 指令将当前数据总线上的数据存储到一个所选定的Memory设备中。它在整个Memory存储写周期中都有效。

-REFRESH

Memory Refresh 该信号为低时表明正在进行内存刷新操作。

OSC

Oscillator 是一个时间段为70毫微秒的时钟(14.31818 MHz)。该信号与系统时钟不同步。

RESET DRV

*Reset Drive*在电源开启或系统复位时来复位或初始化系统逻辑，高电平有效。

TC

Terminal Count 在DMA通道操作中当计数完成时产生的终端计数信号。

-MASTER

Master 和DRQ线一起获得ISA板上ISA总线的控制权。当接收到一个DACK后，设备将MASTER信号拉低，使得其获得系统地址、数据和控制线的控制权。在此状态下，设备将在驱动地址和数据线之前等待一个时钟周期，在读/写命令之前等待两个时钟周期。

-MEM CS16

Memory Chip Select 16 ISA板将该信号拉低以指示这是一个16位的Memory读写操作。它由LA23:LA17地址线译码来驱动。

-I/O CS16

I/O Chip Select 16 I/O设备将该信号拉低以指示这是一个16位的Memory读写操作。它由SA15:SA0地址线译码来驱动。

-OWS

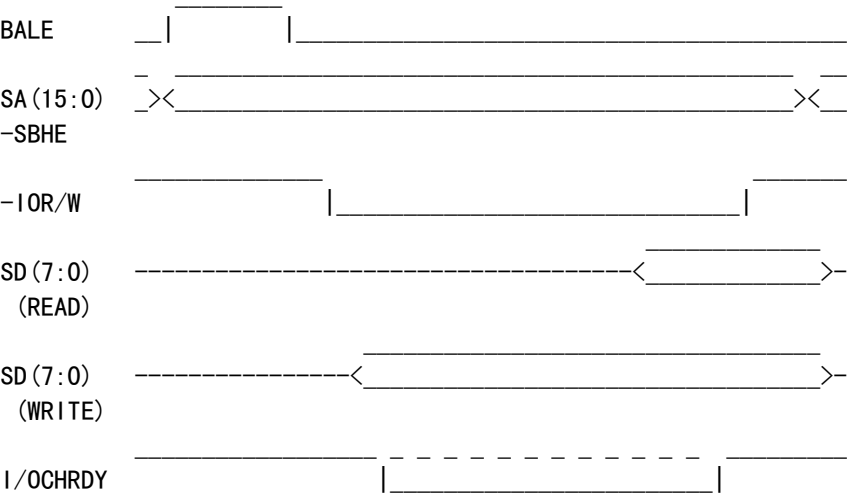
Zero Wait State 由一个总线从设备驱动使其拉低，说明不插入任何额外等待状态即可完成一个总线周期。完成一个无需等待的16位Memory周期，-OWS由地址译码产生。

-SBHE

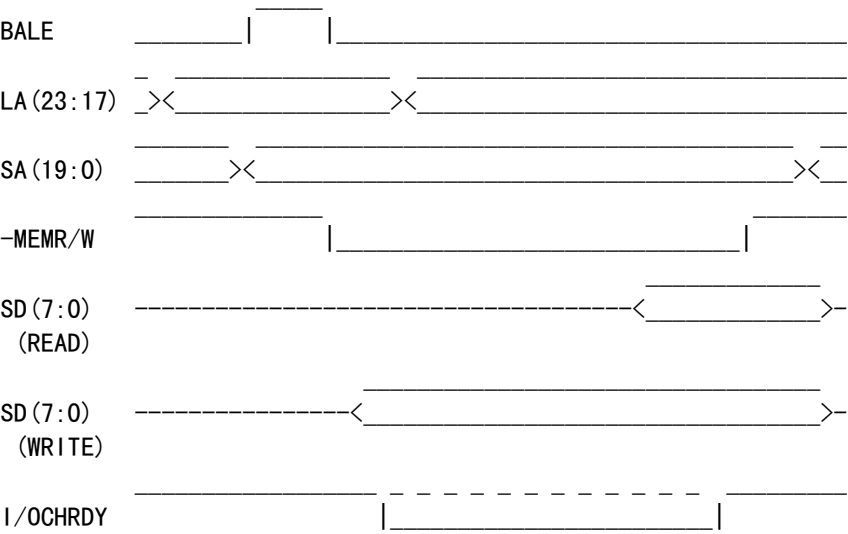
System Byte High Enable 该信号为低时表明数据在数据总线高位部分传送(D15至 D8)。

6.0 ISA总线时序图

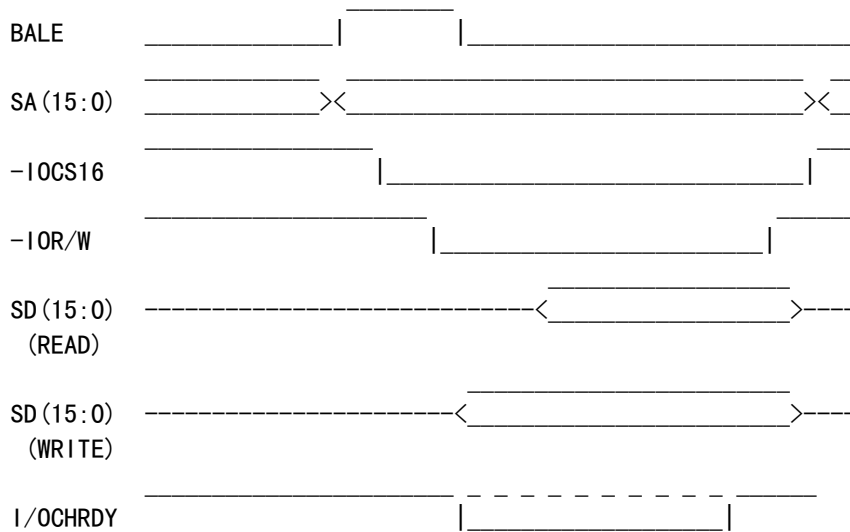
8位 I/O 总线周期



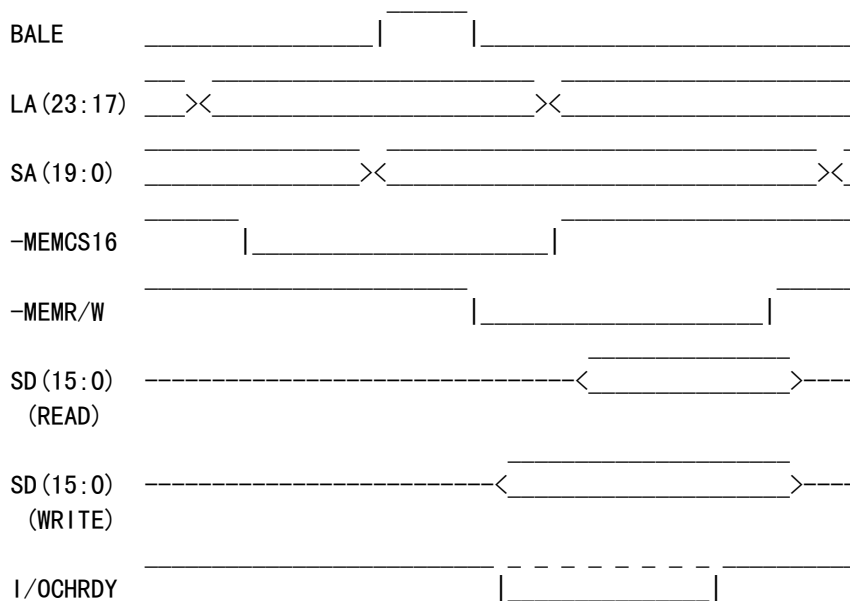
8 位 Memory 总线循环



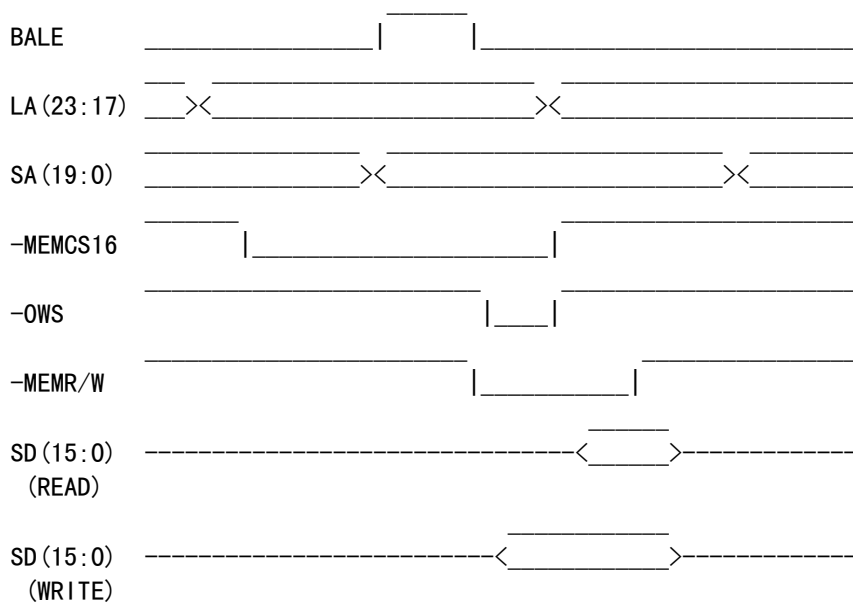
16 位 I/O 总线周期



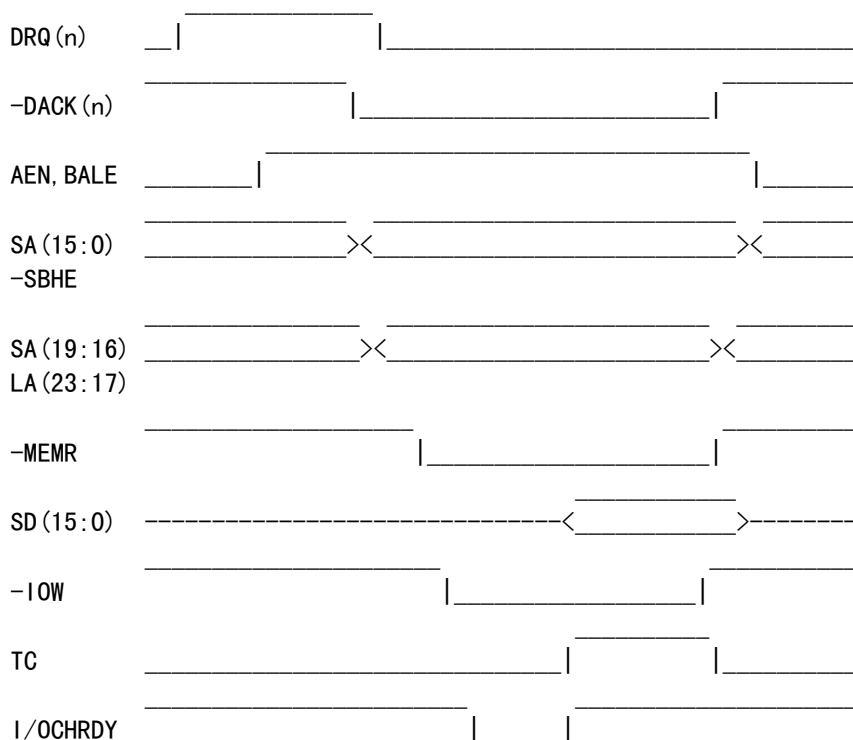
16 位 Memory 总线周期 (1 个或多个等待状态)



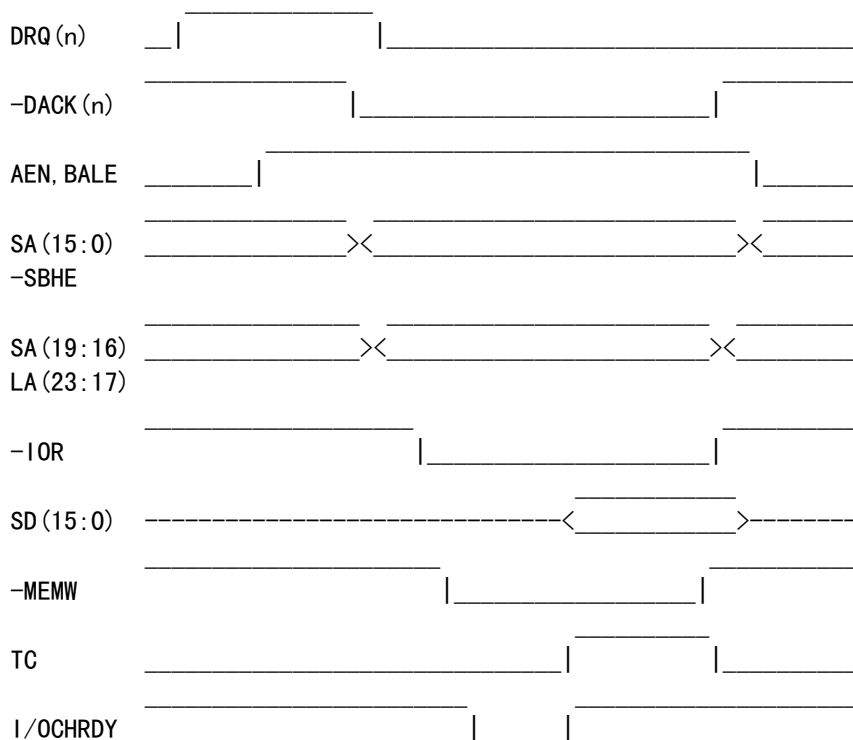
6 位 Memory 总线周期 (0 等待状态)



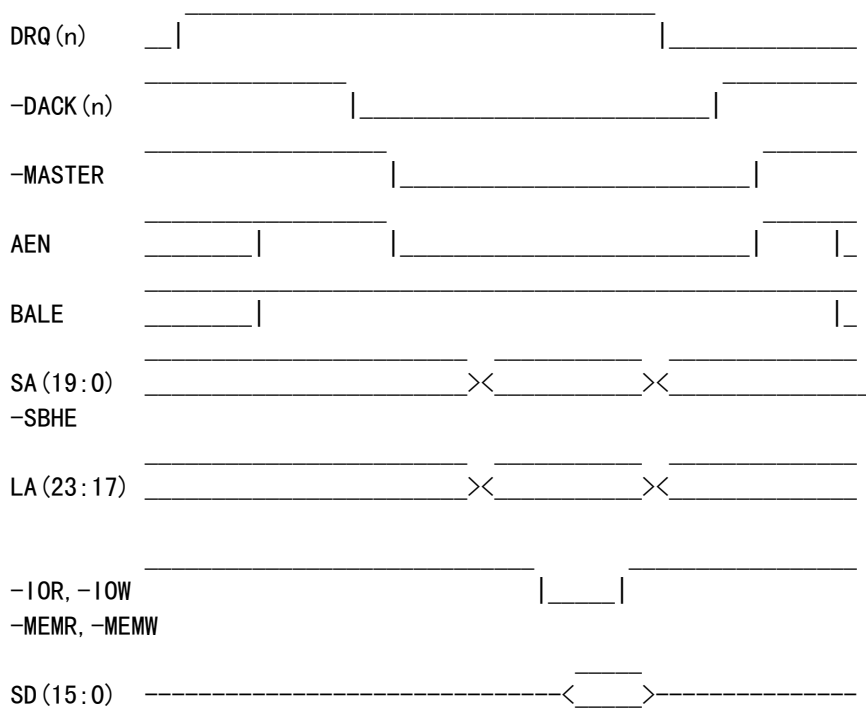
DMA 读



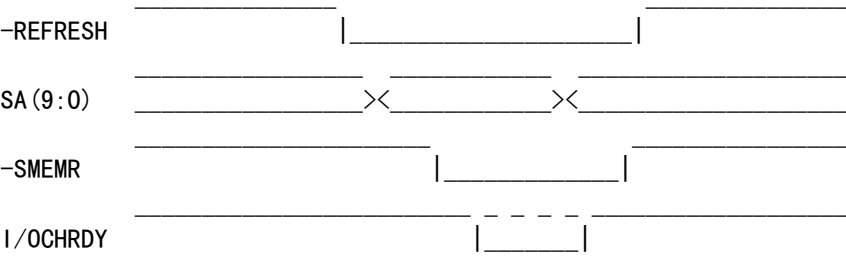
DMA 写



Bus Master 周期



内存刷新周期



7.0 ISA信号用法

图例

- I/O = 输入/输出
 - I = 输入
 - O = 输出
 - = 不需要的信号
- I/O 出现在括号（）里表明这个信号是可选信号
- 下表是 ISA 系统板上典型的信号使用情况：

Signal Name	System Board Usage		Signal Name	System Board Usage
AEN	O		-MEM CS16	I/O
BALE	O		-MEMR	I/O
CLK	O		-MEMW	I/O
-DACK	O		OSC	O
DRQ	I		-REFRESH	I/O
-IO CS16	I		RESET DRV	O
-I/O CH CK	I		SA	I/O
I/O CH RDY	I/O		SD	I/O
-IOR	I/O		-SBHE	I/O
-IOW	I/O		-SMEMR	I/O
IRQ	I		-SMEMW	I/O
LA	I/O		TC	I/O
-MASTER	I		-OWS	I

下表是 ISA 扩展板上典型的信号使用的情况：

Signal Name	ISA Bus Master	ISA 16-bit Mem Slave	ISA 16-bit I/O Slave	ISA 8-bit Mem Slave	ISA 8-bit I/O Slave	ISA DMA Device
AEN	-	-	I	-	I	-
BALE	-	I	-	(I)	-	-
CLK	(I)	(I)	(I)	(I)	(I)	(I)
-DACK	I	-	-	-	-	I
DRQ	O	-	-	-	-	O
-IO CS16	I	-	O	-	-	-
-I/O CH CK	(O)	(O)	(O)	(O)	(O)	(O)
I/O CH DY	I	(O)	(O)	(O)	(O)	-
-IOR	O	-	I	-	I	I
-IOW	O	-	I	-	I	I
IRQ	(O)	(O)	(O)	(O)	(O)	(O)
LA(23:17)	O	I	-	(I)	-	-
-MASTER	O	-	-	-	-	-
-MEM CS16	I	0	-	-	-	-
-MEMR	O	I	-	(I)	-	-
-MEMW	O	I	-	(I)	-	-
OSC	(I)	(I)	(I)	(I)	(I)	(I)
-REFRESH	(O)	I	-	I	-	-
RESET DRV	I	I	I	I	I	I
SA(16:0)	O	I	I	I	I	-
SA(19:17)	-	(I)	-	(I)	-	-
SD(7:0)	I/O	I/O	I/O	I/O	I/O	I/O
SD(15:8)	I/O	I/O	I/O	-	-	(I/O)
-SBHE	O	I	I	-	-	-
-SMEMR	-	-	-	I	-	-
-SMEMW	-	-	-	I	-	-
TC	-	-	-	-	-	(I)
-0WS	-	(O)	-	(O)	(O)	-

8.0 ISA 连接引脚

Signal Name	Pin	Pin	Signal Name
Ground	B1	A1	-I/O CH CK
RESET DRV	B2	A2	SD7
+5 V dc	B3	A3	SD6
IRQ 9	B4	A4	SD5
-5 V dc	B5	A5	SD4
DRQ2	B6	A6	SD3
-12 V dc	B7	A7	SD2
-0WS	B8	A8	SD1
+12 V dc	B9	A9	SD0
Ground	B10	A10	I/O CH RDY
-SMEMW	B11	A11	AEN
-SMEMR	B12	A12	SA19
-IOW	B13	A13	SA18
-IOR	B14	A14	SA17
-DACK3	B15	A15	SA16
DRQ3	B16	A16	SA15
-DACK1	B17	A17	SA14
DRQ1	B18	A18	SA13
-REFRESH	B19	A19	SA12
CLK	B20	A20	SA11
IRQ7	B21	A21	SA10
IRQ6	B22	A22	SA9
IRQ5	B23	A23	SA8
IRQ4	B24	A24	SA7
IRQ3	B25	A25	SA6
-DACK2	B26	A26	SA5
TC	B27	A27	SA4
BALE	B28	A28	SA3
+5 V dc	B29	A29	SA2
OSC	B30	A30	SA1
Ground	B31	A31	SA0
Key			

Signal Name	Pin	Pin	Signal Name
-MEM CS16	D1	C1	-SBHE
-IO CS16	D2	C2	LA23
IRQ10	D3	C3	LA22
IRQ11	D4	C4	LA21
IRQ12	D5	C5	LA20
IRQ15	D6	C6	LA19
IRQ14	D7	C7	LA18
-DACK0	D8	C8	LA17
DRQ0	D9	C9	-MEMR
-DACK5	D10	C10	-MEMW
DRQ5	D11	C11	SD08
-DACK6	D12	C12	SD09
DRQ6	D13	C13	SD10
-DACK7	D14	C14	SD11
DRQ7	D15	C15	SD12
+5 V dc	D16	C16	SD13
-MASTER	D17	C17	SD14
Ground	D18	C18	SD15

9.0 PC/104总线引脚

引脚	信号名	用途	In/Out
A1	-IOCHCK	Bus NMI input	IN
A2	SD7	Data Bit 7	I/O
A3	SD6	Data Bit 6	I/O
A4	SD5	Data Bit 5	I/O
A5	SD4	Data Bit 4	I/O
A6	SD3	Data Bit 3	I/O
A7	SD2	Data Bit 2	I/O
A8	SD1	Data Bit 1	I/O
A9	SD0	Data Bit 0	I/O
A10	IOCHRDY	Processor Ready Ctrl	IN
A11	AEN	Address Enable	I/O
A12	SA19	Address Bit 19	I/O
A13	SA18	Address Bit 18	I/O
A14	SA17	Address Bit 17	I/O
A15	SA16	Address Bit 16	I/O
A16	SA15	Address Bit 15	I/O
A17	SA14	Address Bit 14	I/O
A18	SA13	Address Bit 13	I/O
A19	SA12	Address Bit 12	I/O
A20	SA11	Address Bit 11	I/O
A21	SA10	Address Bit 10	I/O
A22	SA9	Address Bit 9	I/O
A23	SA8	Address Bit 8	I/O
A24	SA7	Address Bit 7	I/O
A25	SA6	Address Bit 6	I/O
A26	SA5	Address Bit 5	I/O
A27	SA4	Address Bit 4	I/O
A28	SA3	Address Bit 3	I/O
A29	SA2	Address Bit 2	I/O
A30	SA1	Address Bit 1	I/O
A31	SA0	Address Bit 0	I/O
A32	GND	Ground	N/A

PC/104 总线接口 (P1A)

引脚	信号名	用途	In/Out
B1	GND	Ground	N/A
B2	RESET	System Reset	OUT
B3	+5V	+5v Power	N/A
B4	IRQ9	Int Request 9	IN
B5	-5V	-5v Power	N/A
B6	DRQ2	DMA Request 2	IN
B7	-12V	-12v Power	N/A
B8	ENDXFR	Zero wait state	IN
B9	+12V	+12v Power	N/A
B10	N/A	Key Pin	N/A
B11	-SMEMW	Mem Wrt, lo 1M	I/O
B12	-SMEMR	Mem Rd, lo 1M	I/O
B13	-IOW	I/O Write	I/O
B14	-IOR	I/O read	I/O
B15	-DACK3	DMA Ack 3	OUT
B16	DRQ3	DMA request 3	IN
B17	-DACK1	DMA Ack 1	OUT
B18	DRQ1	DMA request 1	IN
B19	-REFRESH	Memory Refresh	I/O
B20	SYSCLK	Sys Clock	OUT
B21	IRQ7	Int Request 7	IN
B22	IRQ6	Int Request 6	IN
B23	IRQ5	Int Request 5	IN
B24	IRQ4	Int Request 4	IN
B25	IRQ3	Int Request 3	IN
B26	-DACK2	DMA Ack 2	OUT
B27	T/C	Terminal Count	OUT
B28	BALE	Addr Latch En	OUT
B29	+5V	+5v Power	N/A
B30	OSC	14.3MHz Clk	OUT
B31	GND	Ground	N/A
B32	GND	Ground	N/A

PC/104 总线接口 (P1B)

引脚	信号名	用途	In/Out
C0	GND	Ground	N/A
C1	SBHE	Bus High Enable	I/O
C2	LA23	Address bit 23	I/O
C3	LA22	Address bit 22	I/O
C4	LA21	Address bit 21	I/O
C5	LA20	Address bit 20	I/O
C6	LA19	Address bit 19	I/O
C7	LA18	Address bit 18	I/O
C8	LA17	Address bit 17	I/O
C9	-MEMR	Memory Read	I/O
C10	-MEMW	Memory Write	I/O
C11	SD8	Date Bit 8	I/O
C12	SD9	Date Bit 9	I/O
C13	SD10	Date Bit 10	I/O
C14	SD11	Date Bit 11	I/O
C15	SD12	Date Bit 12	I/O
C16	SD13	Date Bit 13	I/O
C17	SD14	Date Bit 14	I/O
C18	SD15	Date Bit 15	I/O
C19	Key	Key Pin	N/A

PC/104 总线接口 (P2C)

引脚	信号名	用途	In/Out
D0	GND	Ground	N/A
D1	-MEMCS16	16-bit Mem Access	IN
D2	-IOCS16	16-bit I/O Access	IN
D3	IRQ10	Interrupt Request 10	IN
D4	IRQ11	Interrupt Request 11	IN
D5	**		
D6	IRQ15	Interrupt Request 15	IN
D7	IRQ14	Interrupt Request 14	IN
D8	-DACK0	DMA Acknowledge 0	OUT
D9	DRQ0	DMA Request 0	IN
D10	-DACK5	DMA Acknowledge 5	OUT
D11	DRQ5	DMA Request 5	IN
D12	-DACK6	DMA Acknowledge 6	OUT
D13	DRQ6	DMA Request 6	IN
D14	-DACK7	DMA Acknowledge 7	OUT
D15	DRQ7	DMA Request 7	IN
D16	+5V	+5V Power	N/A
D17	-MASTER	Bus Master Assert	IN
D18	GND	Ground	N/A
D19	GND	Ground	N/A

PC/104 总线接口 (P2D)