`timescale 1ns/1ps

module main\_module\_tb;

logic clk, rst, S, L1, L2, L3;

logic X1, X0;

logic GROUND, L1\_out, L2\_out, L3\_out;

logic VERDE\_GROUND, ROJO\_GROUND;

logic VERDE\_L1, ROJO\_L1;

logic VERDE\_L2, ROJO\_L2;

logic VERDE\_L3, ROJO\_L3;

// Instancia del módulo principal

main\_module uut (

.clk(clk), .rst(rst), .S(S), .L1(L1), .L2(L2), .L3(L3),

.X1(X1), .X0(X0), .GROUND(GROUND), .L1\_out(L1\_out), .L2\_out(L2\_out), .L3\_out(L3\_out),

.VERDE\_GROUND(VERDE\_GROUND), .ROJO\_GROUND(ROJO\_GROUND),

.VERDE\_L1(VERDE\_L1), .ROJO\_L1(ROJO\_L1), .VERDE\_L2(VERDE\_L2), .ROJO\_L2(ROJO\_L2),

.VERDE\_L3(VERDE\_L3), .ROJO\_L3(ROJO\_L3)

);

// Generador de reloj (1 Hz → periodo de 1s)

always #500 clk = ~clk;

initial begin

// Inicialización

clk = 0;

rst = 1;

S = 0; L1 = 0; L2 = 0; L3 = 0;

#1000 rst = 0; // Quitamos reset después de 1 ciclo de reloj

// Simulación de pulsaciones de botones

#1000 S = 1; // Presiono S

#1000 S = 0;

#1000 L1 = 1; // Presiono L1

#1000 L1 = 0;

#1000 L2 = 1; // Presiono L2

#1000 L2 = 0;

#1000 L3 = 1; // Presiono L3

#1000 L3 = 0;

#2000 $finish; // Terminar simulación

end

endmodule