

Ex1

考虑以下C代码段：

```
for( i = 0; i <= 100; i++ )  
{ A[i] = B[i] + C; }
```

假定A和B是32位整数的数组，C和i是32位整数。假定所有数据值及其地址都保存在存储器中（A、B、C、i分别位于地址1000、3000、5000、7000处）。写出RISC-V代码，并计算共需要执行多少条指令？代码大小为多少？

Ex2

对于以下情况，考虑针对指令集体系结构的指令编码。

1. 处理器的指令长度为12位，有32个通用寄存器，是否可能拥有如下指令编码？说明理由。
 - 3个两地址指令
 - 30个单地址指令
 - 45个零地址指令
2. 假定指令长度和地址段的大小如上所述，判断是否可能拥有如下指令编码？说明理由。
 - 3个两地址指令
 - 31个单地址指令
 - 35个零地址指令
3. 假定指令长度和地址段大小如上所述。进一步假定已经拥有了3个两地址指令和24个零地址指令。最多可以为这一处理器编码多少个单地址指令。

Ex3

一个16进制数434F4D5055544552，将其存储在64位对齐的双字中，且存储器按字节编址。内存的物理排列为从左至右，地址由低到高。

1. 用大端顺序写出要存储的值。接下来，将每个字节翻译为ASCII字符，写出存储的字符串。
2. 用小端顺序写出要存储的值。将每个字节翻译为ASCII字符，写出存储的字符串。
3. 当以大端顺序存储时，可以从给定的64位双字中读取的所有非对齐2字节的十六进制数是多少？
4. 当以小端顺序存储时，可以从给定的64位双字中读取的所有非对齐4字节的十六进制数是多少？

Ex4

有一个采用单周期实现的计算机。原机器的时钟周期为7ns。在流水线分割后，测得的时间数据为：IF，1ns；ID，1.5ns；EX，1ns；MEM，2ns；WB，1.5ns。流水线寄存器的延迟为0.1ns。

1. 5级流水化机器的时钟周期时间为多少？
2. 如果每4条指令有一次停顿，新机器的CPI是多少？
3. 流水化机器相对于单周期机器的加速比是多少？

Ex5

第一台机器是 5 级流水线，时钟周期为 1ns。第二台机器是 12 级流水线，时钟周期为 0.6ns。由于数据相关，5 级流水线每 5 条指令经历一次 stall，而 12 级流水线每 8 条指令经历三次 stall。此外，分支占全部指令的 20%，两台机器的预测错误率都是 5%。

1. 仅考虑数据相关，12 级流水线相对于 5 级流水线的加速比为多少？
2. 在考虑分支预测错误而导致 stall 的情况下，如果第一台机器的分支预测错误的额外代价为 2 个周期，而第二台机器为 5 个周期，则每种机器的 CPI 为多少？

Ex6

有一条静态多功能流水线由 5 段组成，加法用 1,3,4,5 段，乘法用 1,2,5 段，第三段的时间为 $2\Delta t$ ，其余各段时间均为 Δt ，而且流水线的输出可以直接返回输入端或暂存于相应的流水寄存器中。现要在该流水线上计算 $\sum_{i=1}^4 (A_i + B_i)$ ，画出其时空图，并计算其吞吐率、加速比和效率。

