

Optimisation des Transferts de Données

Avec DMA: DIRECT MEMORY ACCESS

Ayed Roua - Rabah Asma

PLAN

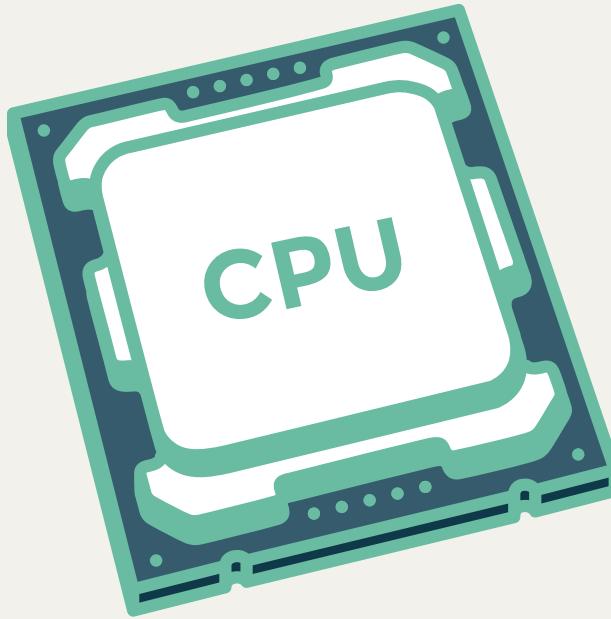
Partie 1:
Fonctionnement Traditionnel :
Transfert de Données avec le
Processeur

Partie 2:
Introduction au
DMA

Partie 3:
Architecture du
contrôleur DMA

Partie 4:
Mots croisés

Partie 1:

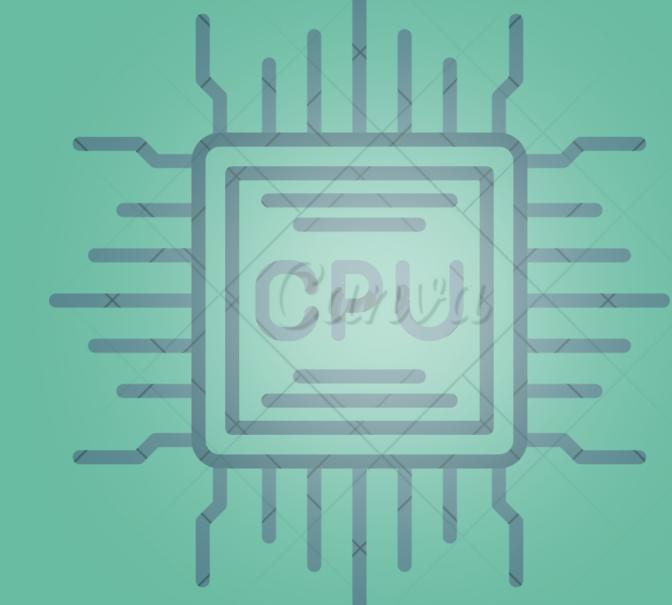


-
-
-
- 1.1**
Introduction au transfert de données avec le processeur
- 1.2**
Le rôle du processeur dans le transfert de données
- 1.3**
Limitations



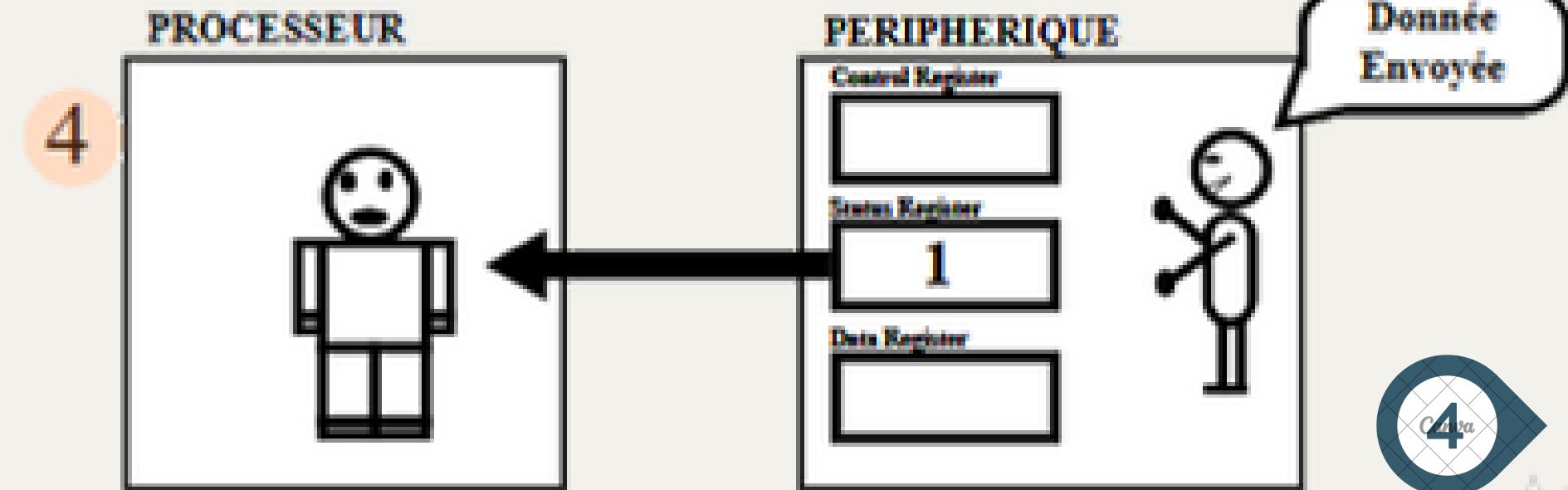
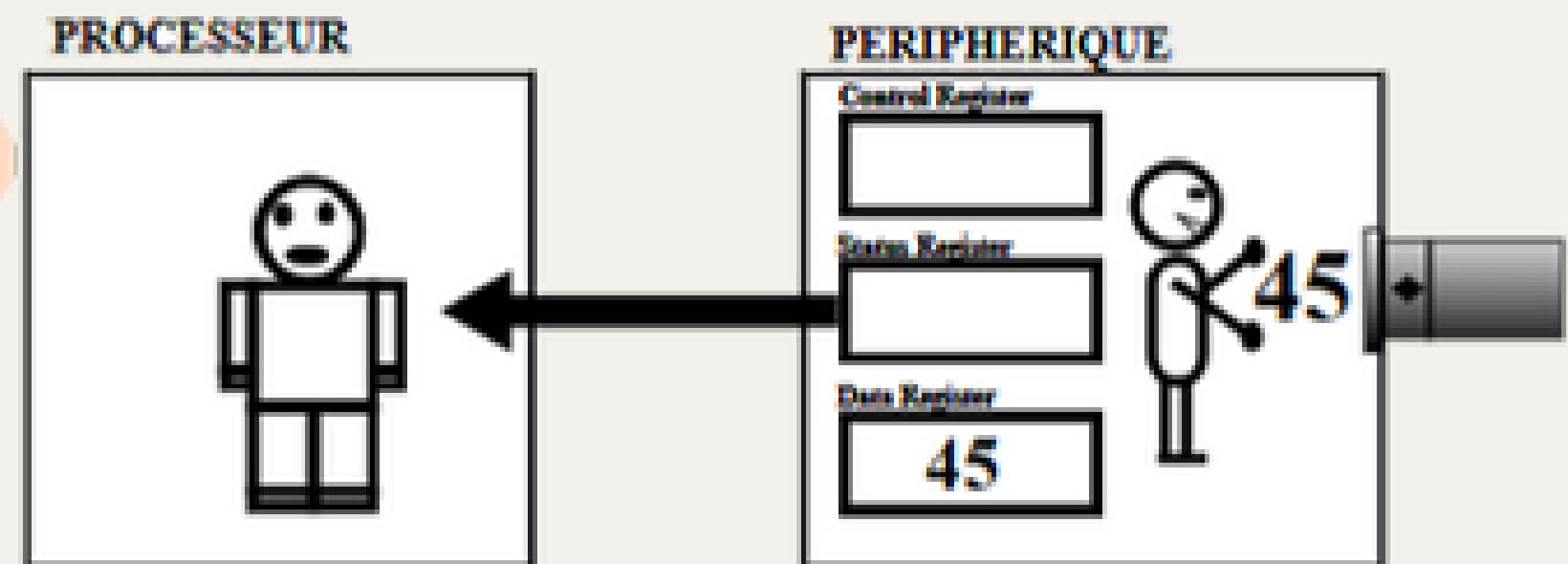
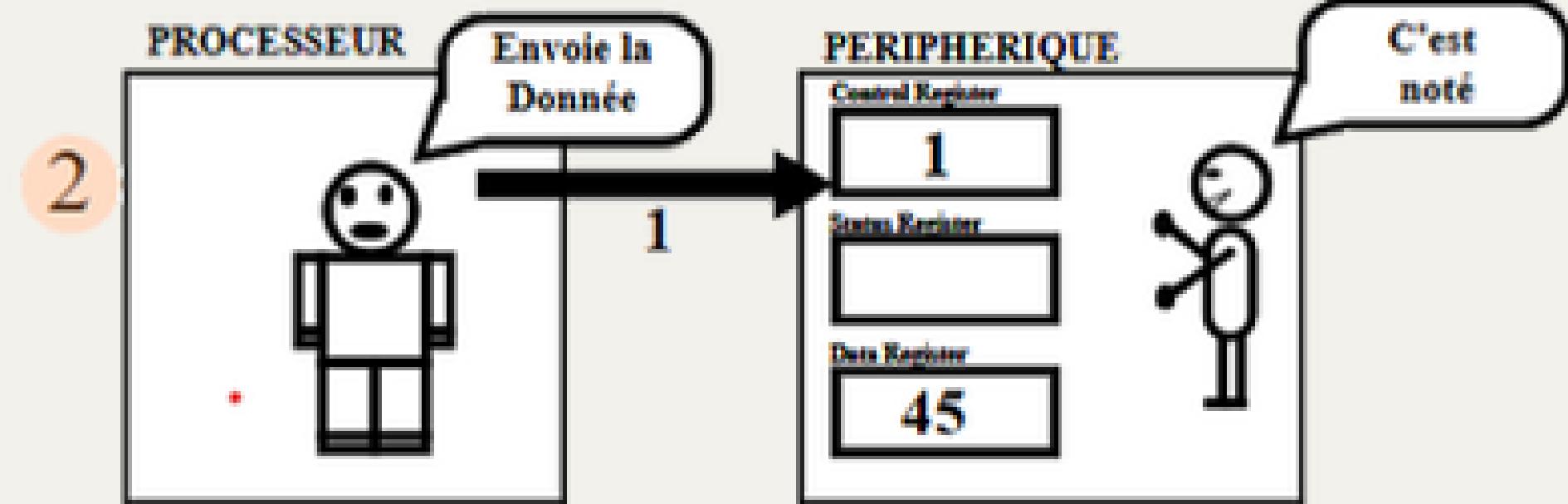
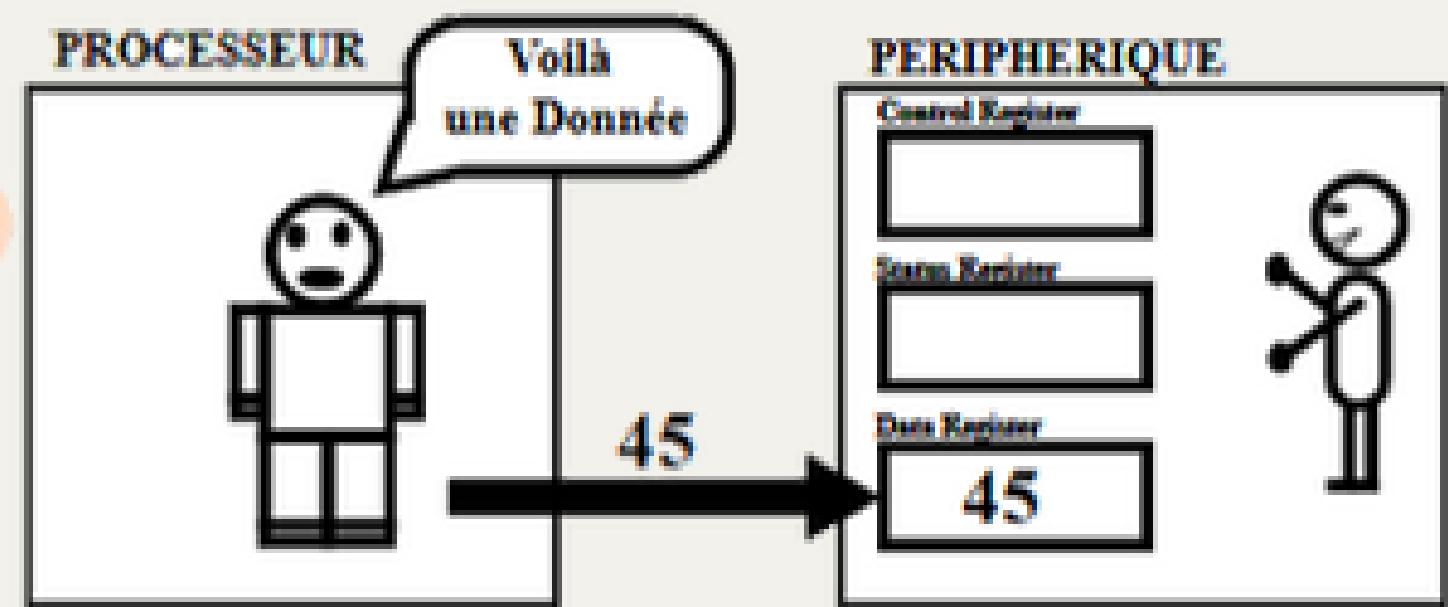
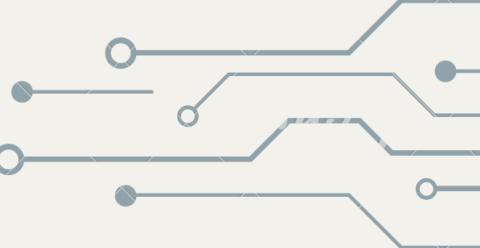
1.1 Introduction au transfert de données avec le processeur

- Dialogue entre un processeur et un périphérique
- Exemple: la copie d'un bloc de données provenant d'un périphérique



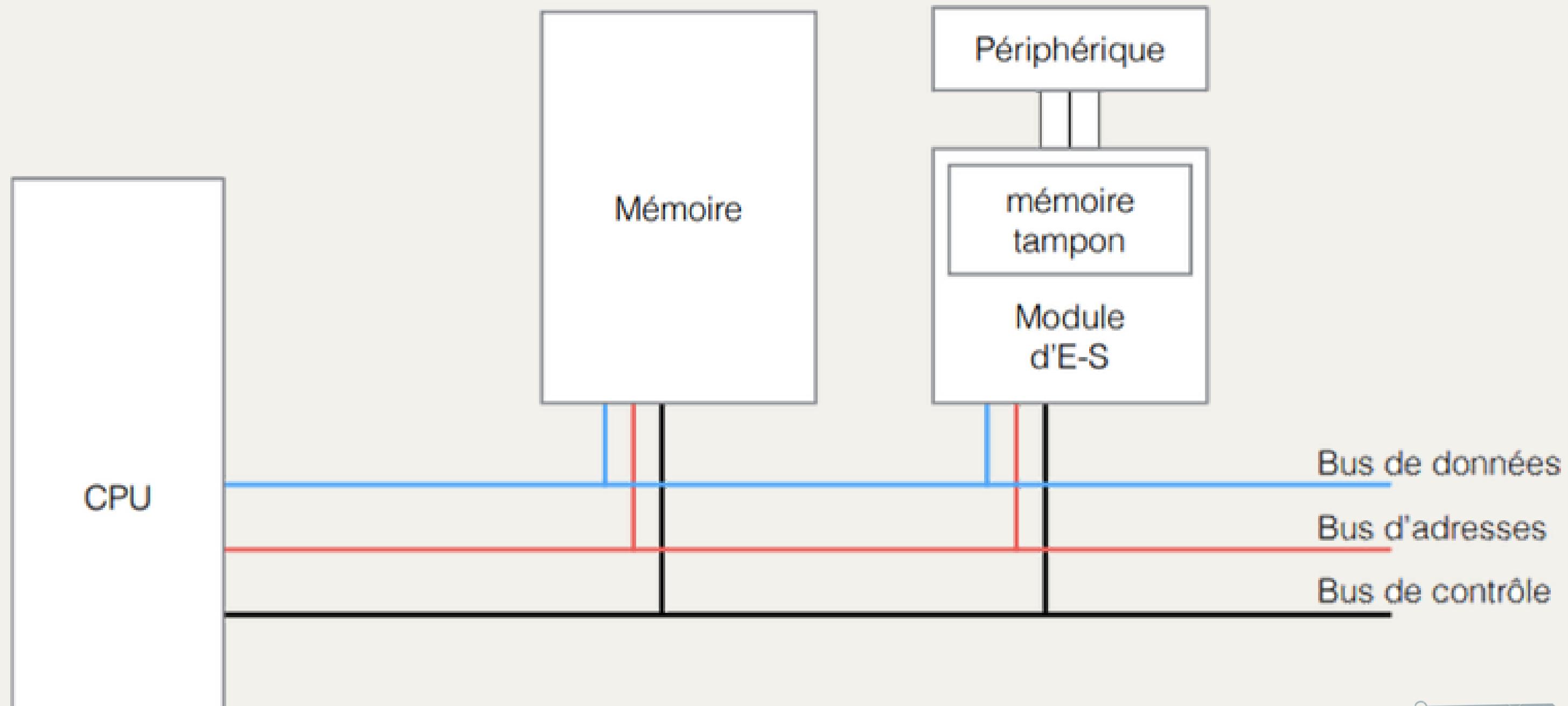
c3a

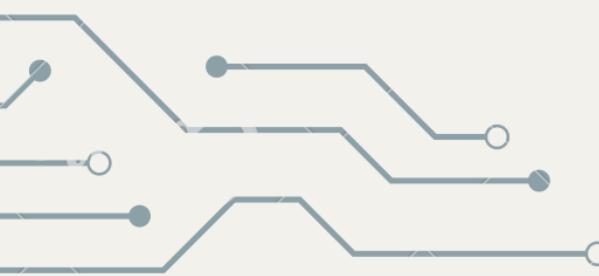
Dialogue entre un processeur et un périphérique



Activ

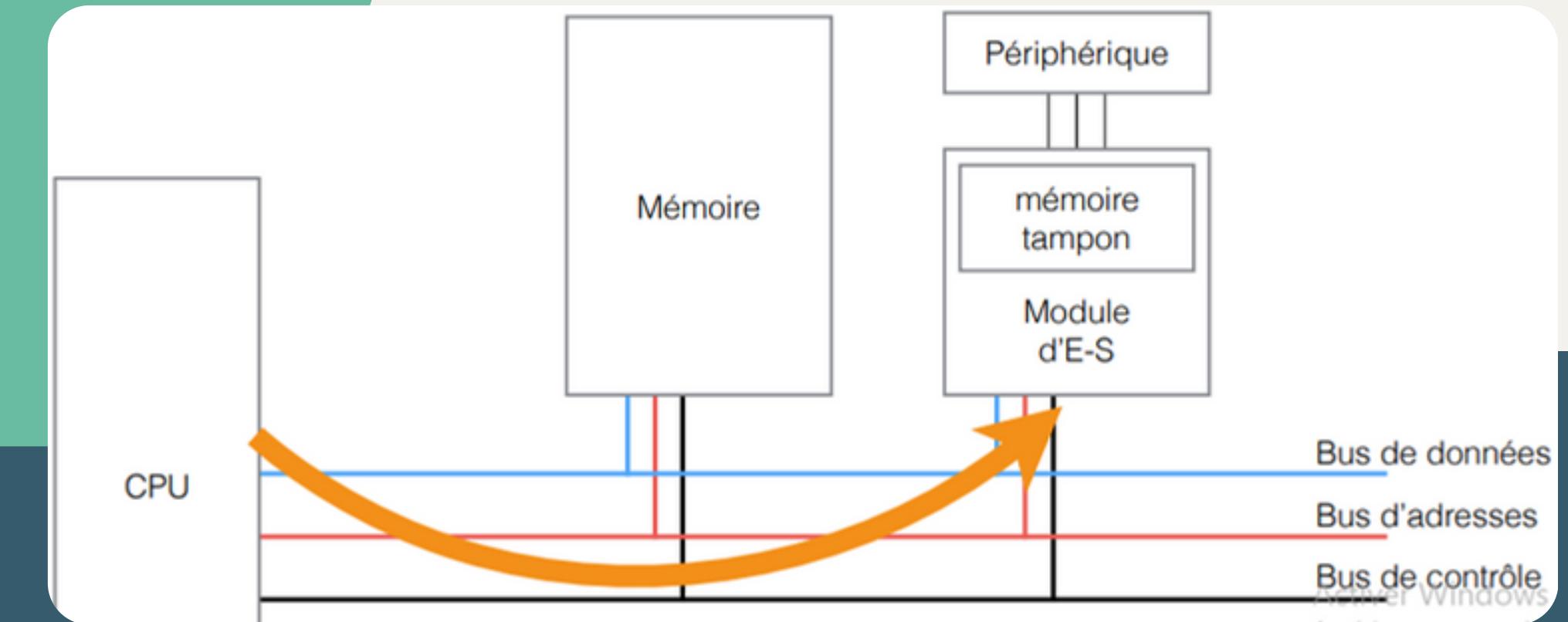
Exemple: la copie d'un bloc de données provenant d'un périphérique



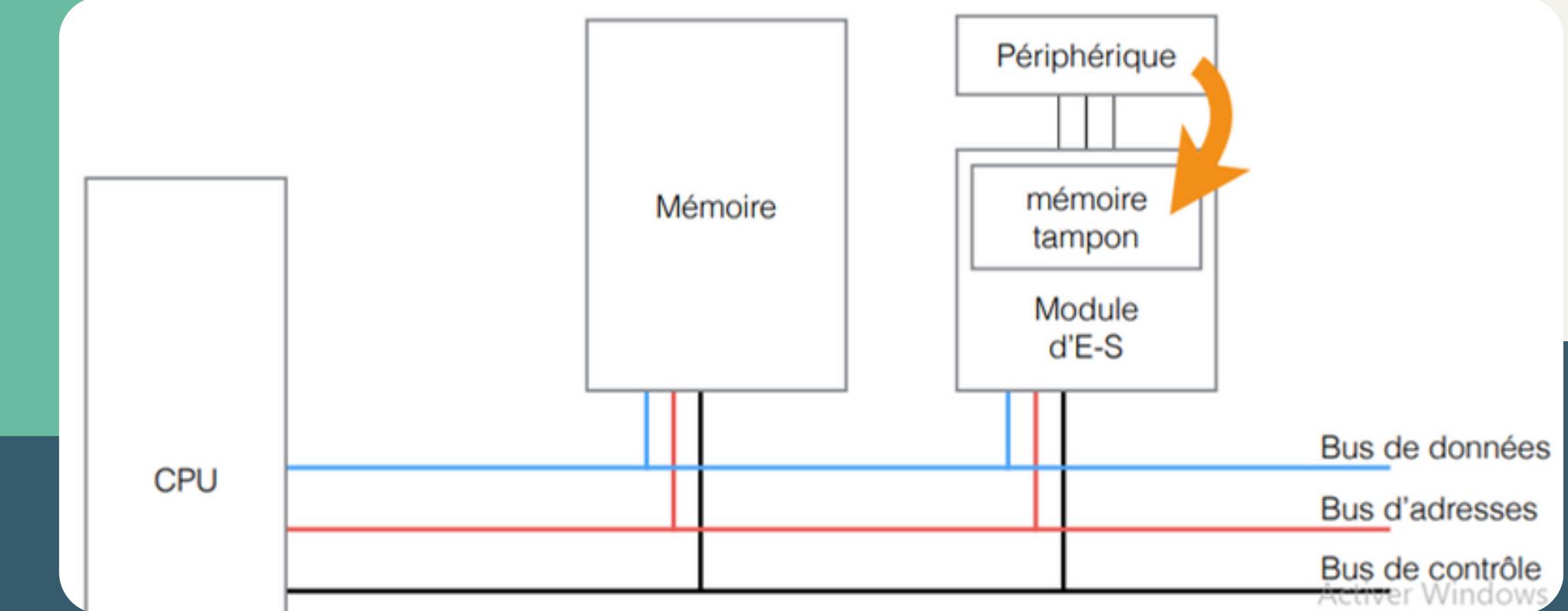


1
Canva

Le CPU fait une requête au module d'E-S.



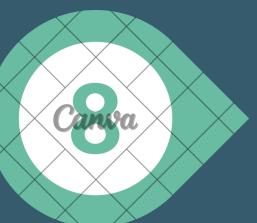
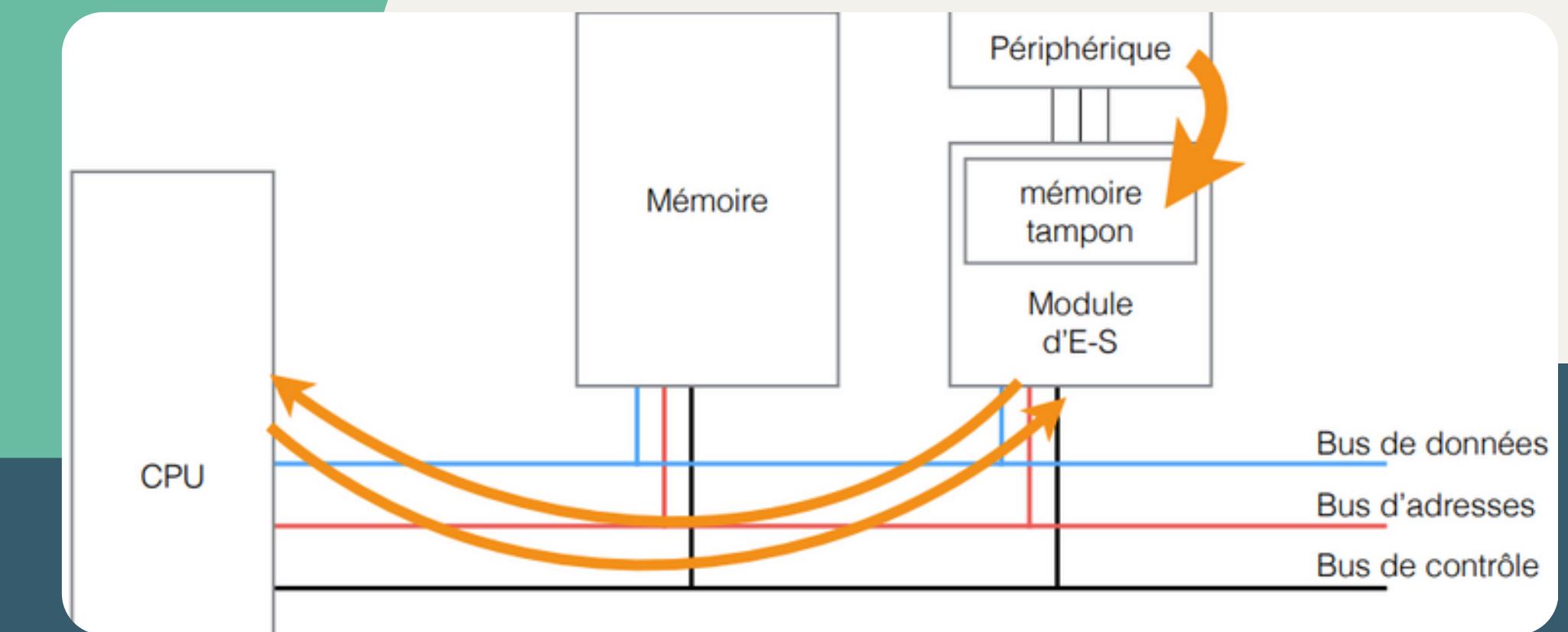
Le module procède alors au transfert des données du périphérique vers sa mémoire tampon.



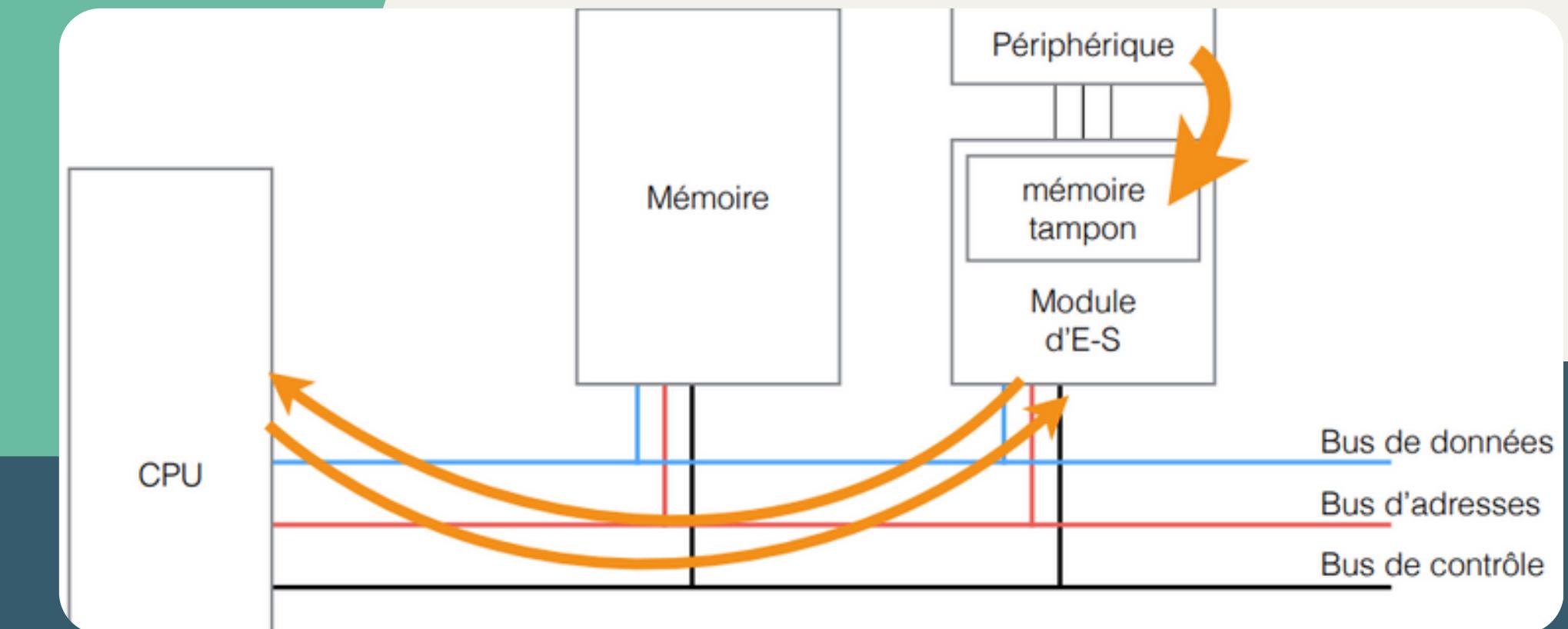


2

Le CPU interroge le module d'E-S pour savoir si le transfert est terminé.



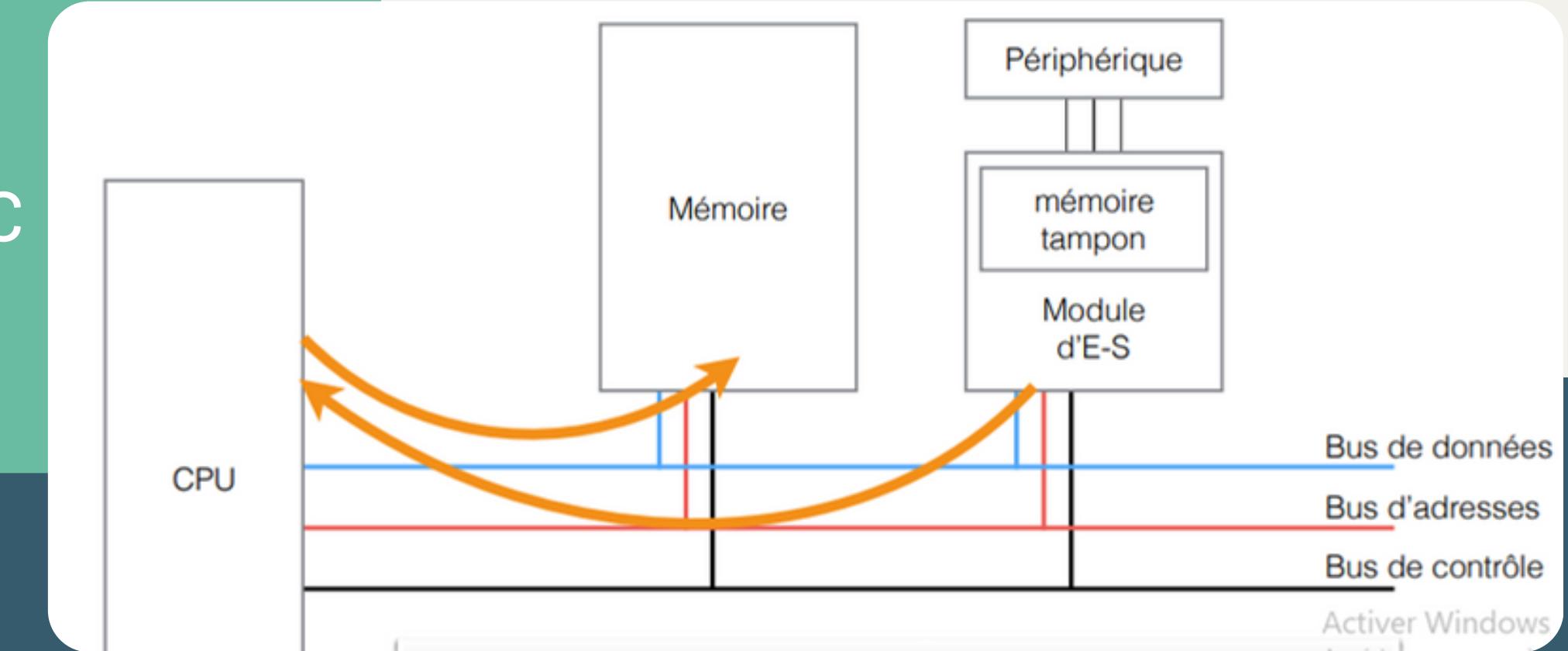
Tant que le transfert n'est pas terminé, le module répond « non » et le CPU l'interroge à nouveau.





3

Quand les données sont
(enfin!) prêtes, le CPU
procède au transfert des
données vers la RAM avec
des LDR/STR.

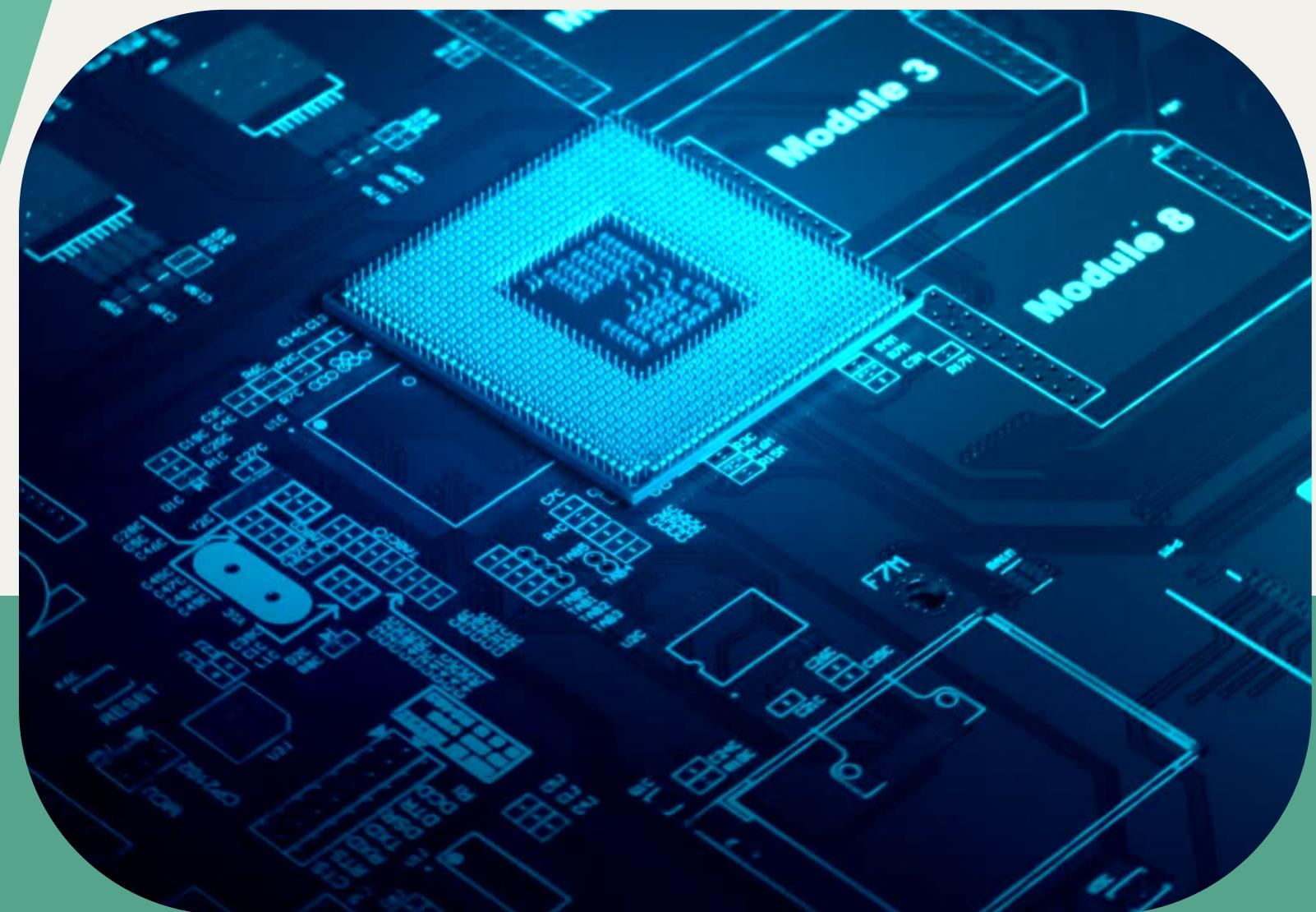


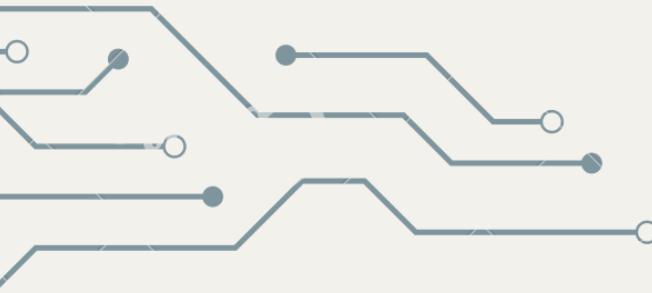
10



1.2 Le rôle du processeur dans le transfert de données

Le processeur joue un rôle essentiel dans le transfert de données, assumant la responsabilité de chaque phase, de la réception des données jusqu'à leur stockage dans la mémoire. Cette implication constante expose le processeur à une charge de travail intensive.





1.3 Limitations

- Charge CPU intensive
- Vitesse limitée
- Inefficacités dans les transferts fréquents
- Impact sur la réactivité du système



PLAN

Partie 1:
Fonctionnement fonctionnel :
Transfert de données avec le
processeur

Partie 2:
Introduction au
DMA

Partie 3:
Architecture du
contrôleur DMA

Partie 4:
Mots croisés

Partie 2:



2.1

Qu'est-ce que le DMA?

2.2

Fonctionnement de base du DMA

2.3

Avantages du DMA





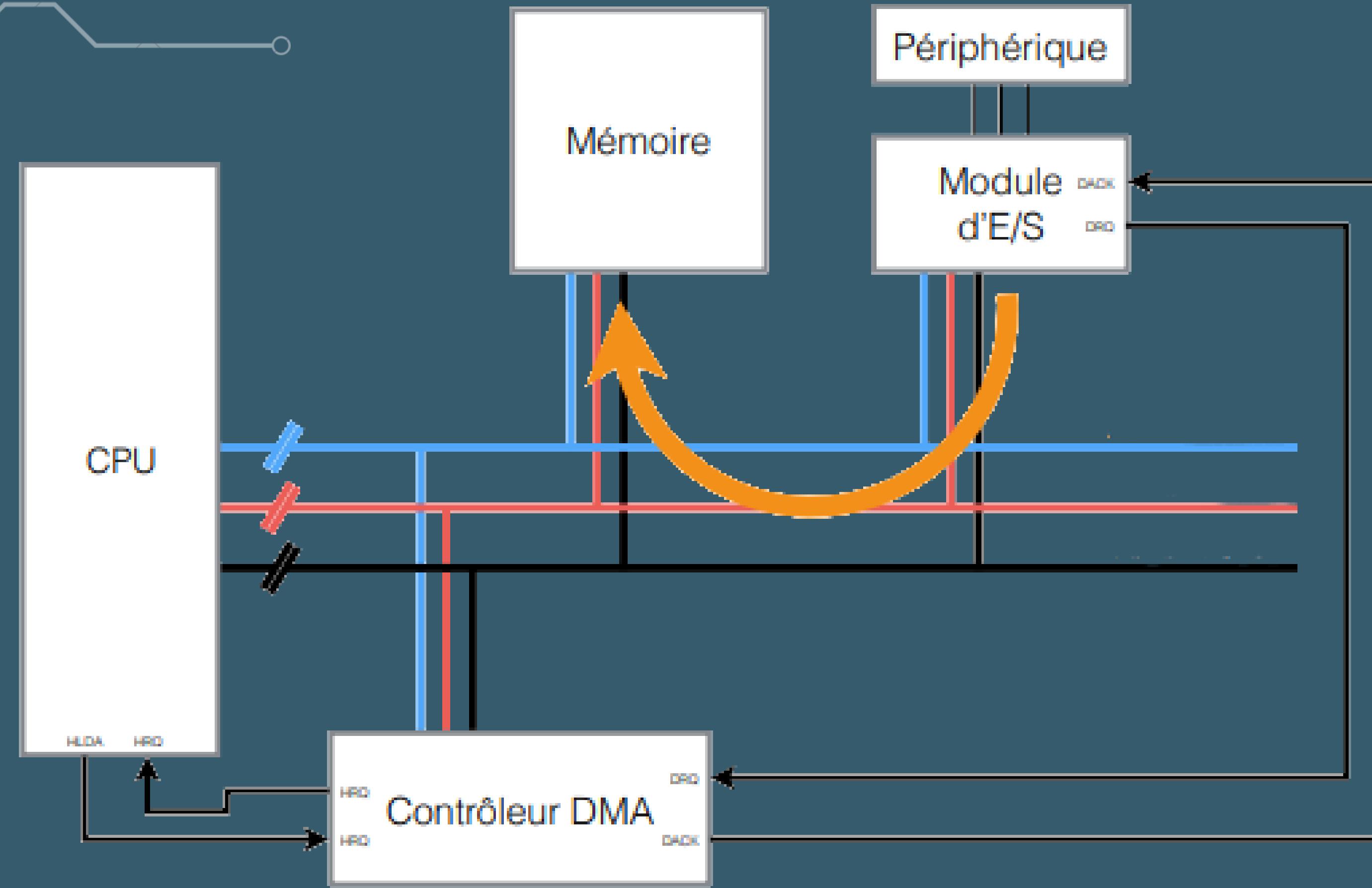
2.1 Qu'est-ce que le DMA?

- Le DMA (Direct Memory Access) représente une solution efficace pour alléger le processeur des tâches intensives liées aux transferts de données.
- Le Direct Memory Access (DMA) est un transfert de données direct entre un périphérique et la mémoire ou vice versa, effectué sans intervention du microprocesseur.



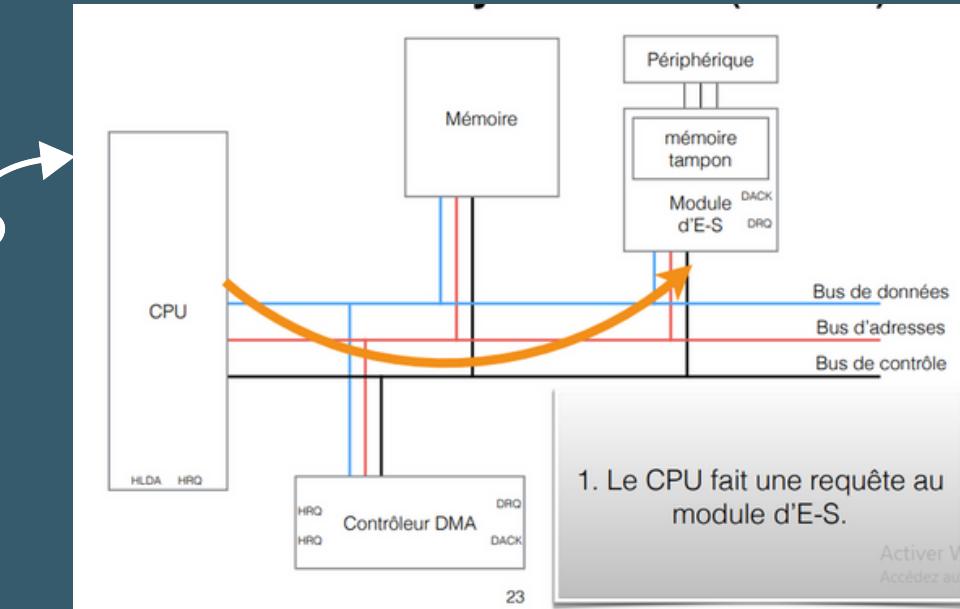
2.2 Fonctionnement de base du DMA

- Le contrôleur de DMA est un circuit intégré qui gère le transfert par DMA.
- Le transfert par DMA se fait par bloc de données, les données étant à des adresses contigües de la mémoire et provenant habituellement du même périphérique.



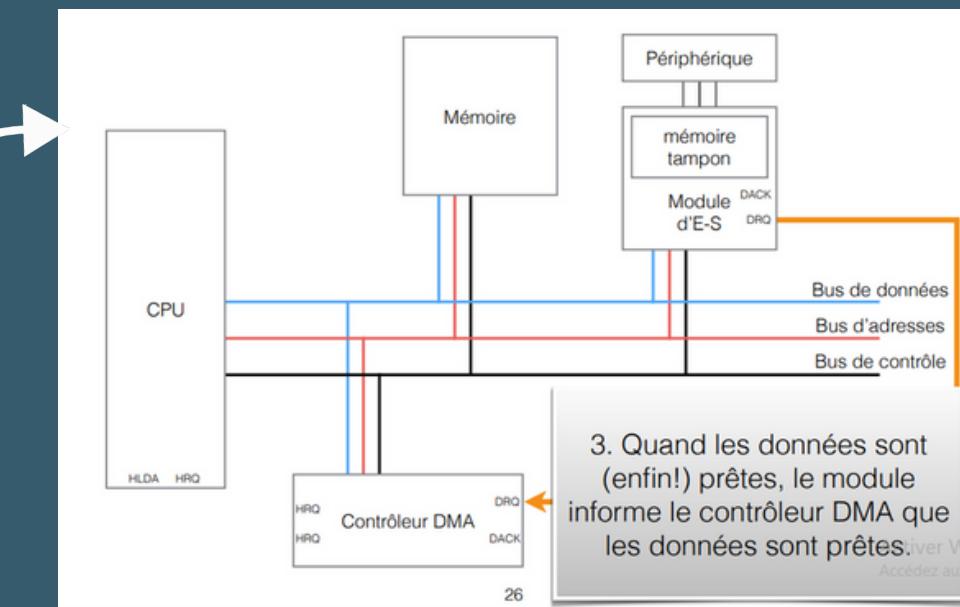
Envoyer une requête au périphérique

1. Le périphérique démarre la requête—ce qui peut être long à compléter!
2. Pendant ce temps, le microprocesseur peut faire autre chose.



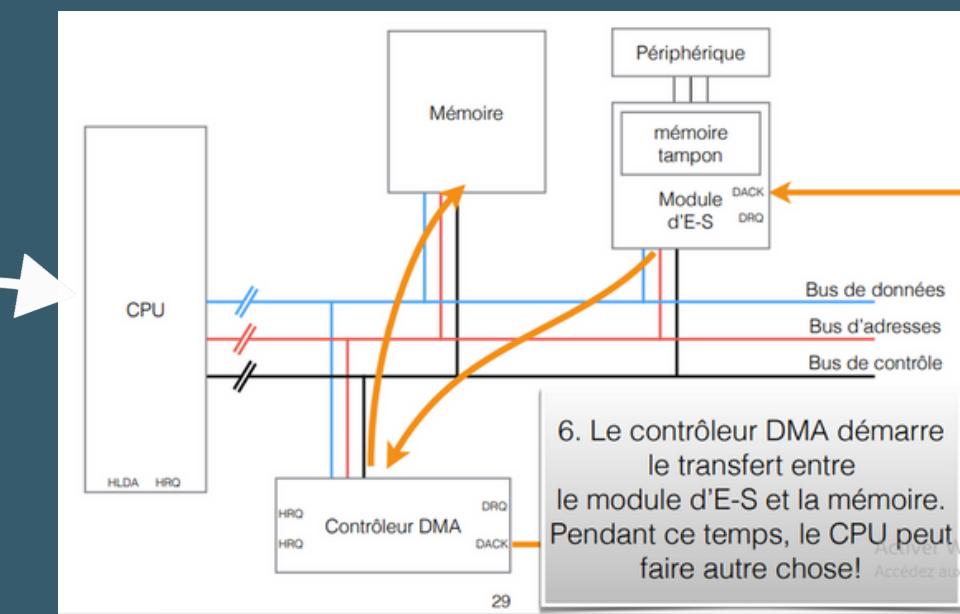
Lorsque la requête est terminée, le périphérique informe le contrôleur de DMA

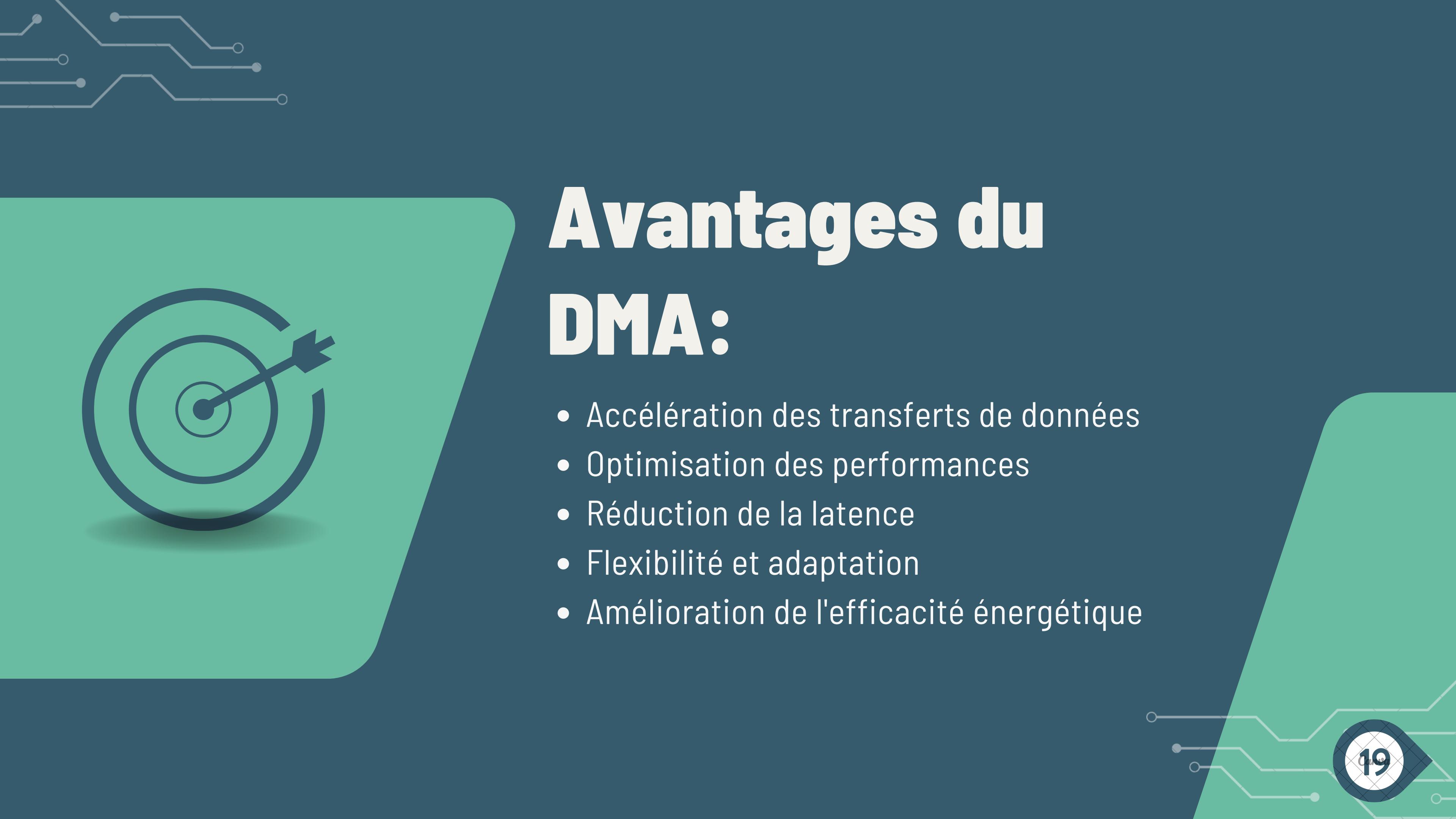
1. Le contrôleur de DMA demande au CPU s'il peut contrôler les bus.



Le DMA gère le transfert mémoire

1. La copie est effectuée entre la mémoire tampon du périphérique vers la RAM
2. Pendant ce temps, le microprocesseur peut faire autre chose.





Avantages du DMA:

- Accélération des transferts de données
- Optimisation des performances
- Réduction de la latence
- Flexibilité et adaptation
- Amélioration de l'efficacité énergétique

PLAN

Partie 1:
Fonctionnement fonctionnel :
Transfert de données avec le processeur

Partie 2:
Introduction au

Partie 3:
Architecture du
contrôleur DMA

Partie 4:
Mots croisés

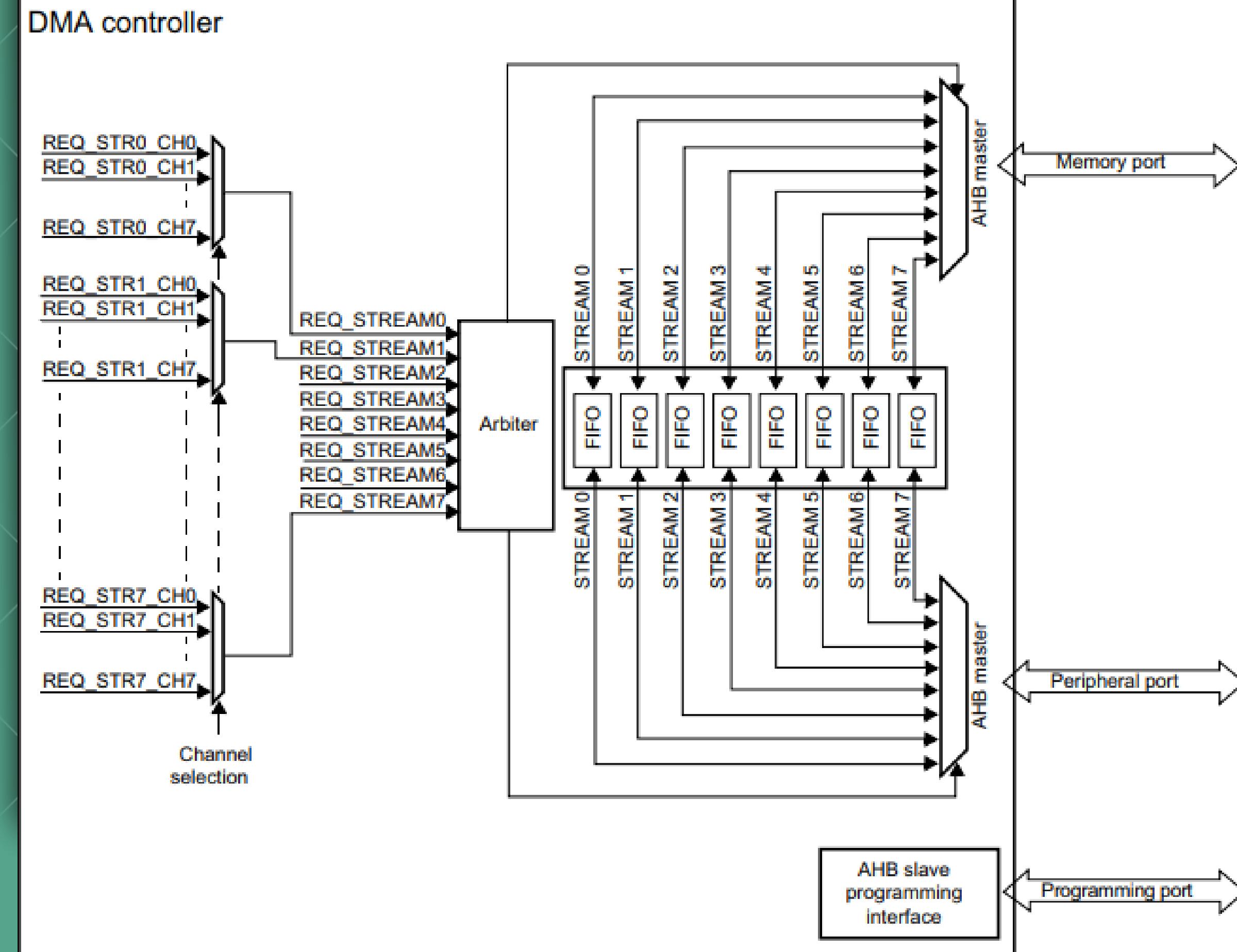
Partie 3:



- -
 -
- 3.1**
Diagramme de
blocs pour le
contrôleur DMA
- 3.2**
Les principales
caractéristiques
du DMA
- 3.3**
Memory-to-memory
mode

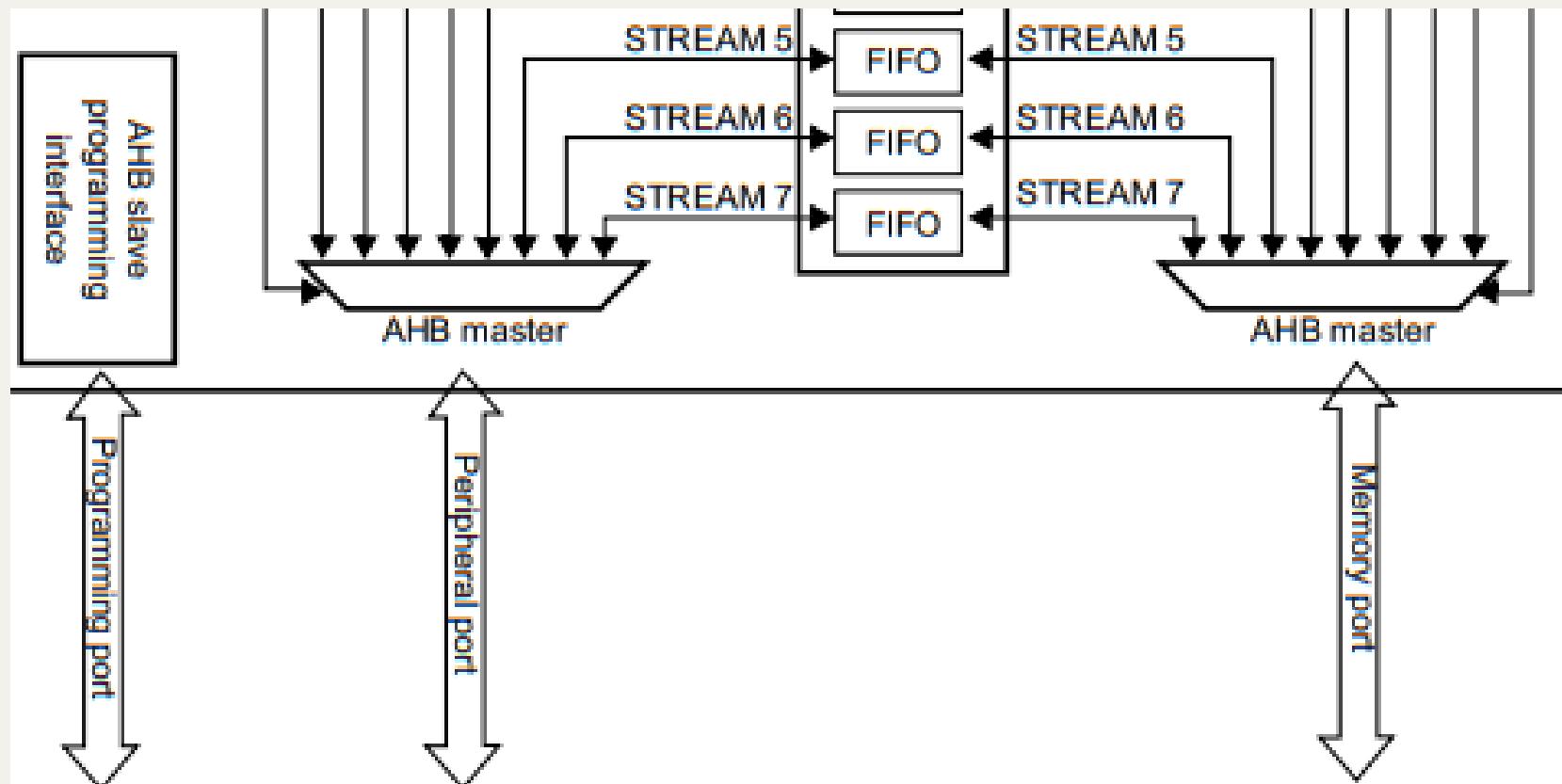


Figure 22. DMA block diagram

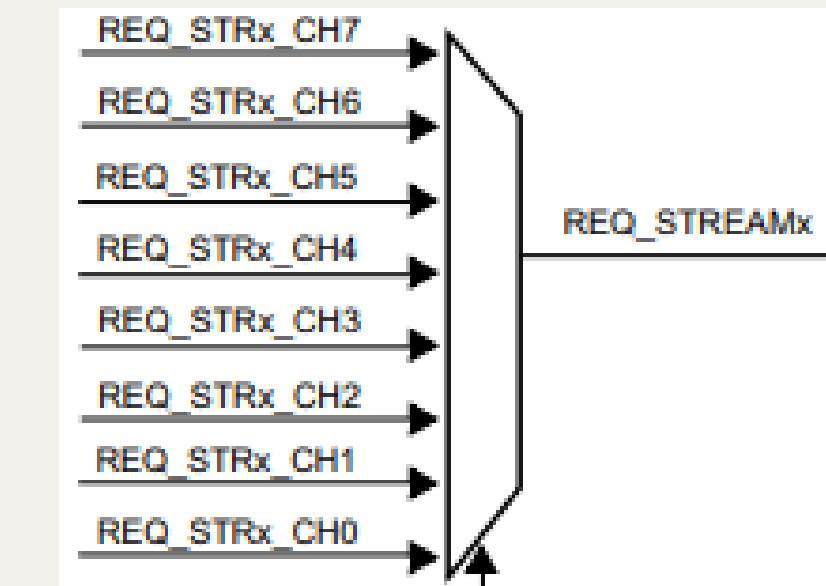


3.2 Les principales caractéristiques du DMA:

- Double bus maître AHB, l'un dédié aux accès mémoire et l'autre aux accès périphériques.
- Interface de programmation esclave AHB prenant en charge uniquement des accès de 32 bits.



- 8 flux (streams) pour chaque contrôleur DMA et 8 canaux (requêtes) par flux.



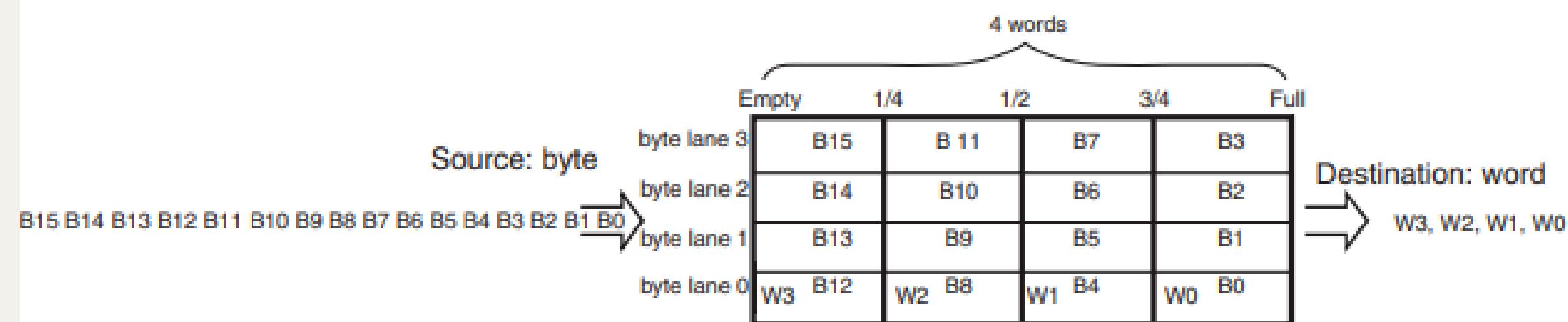
- Les 8 requêtes provenant des périphériques (TIM, ADC, SPI, I2C, etc.) sont connectées de manière indépendante à chaque canal.

Table 28. DMA1 request mapping (STM32F401xB/C and STM32F401xD/E)

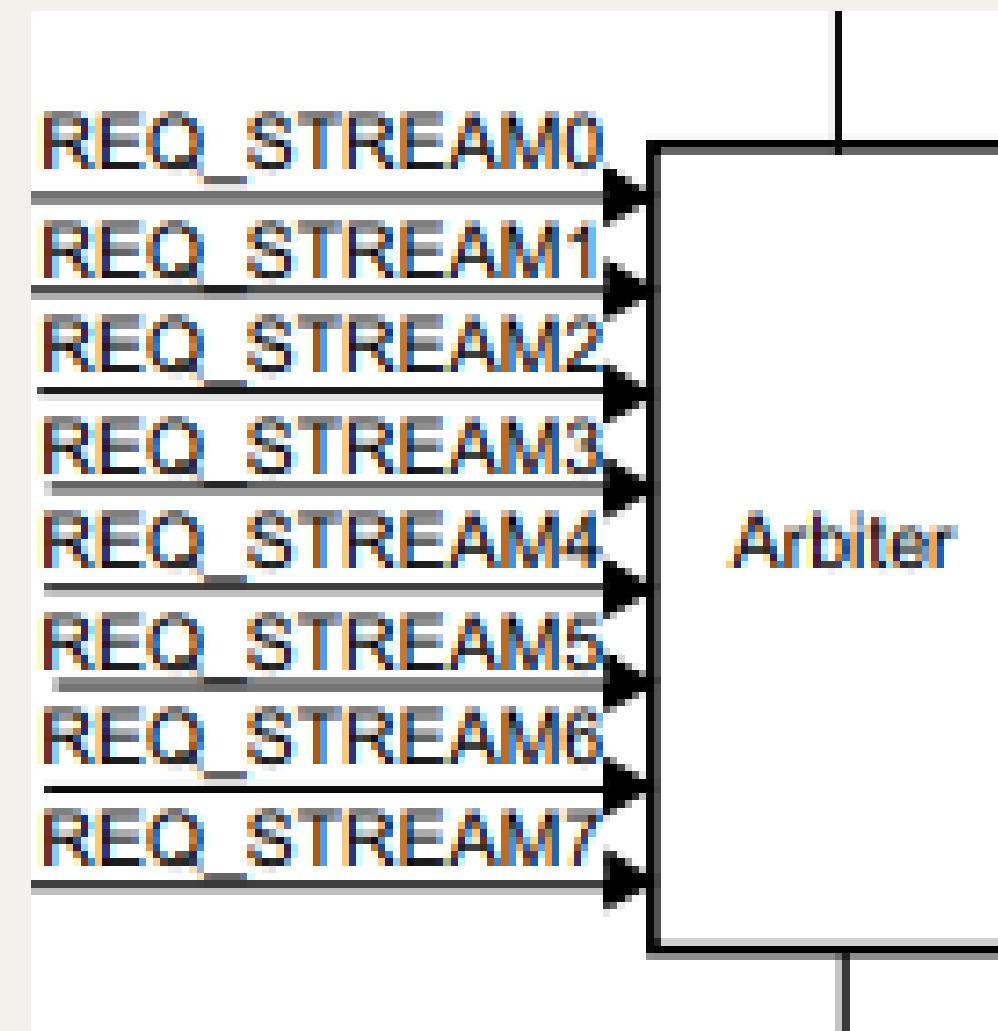
Peripheral requests	Stream 0	Stream 1	Stream 2	Stream 3	Stream 4	Stream 5	Stream 6	Stream 7
Channel 0	SPI3_RX	-	SPI3_RX	SPI2_RX	SPI2_TX	SPI3_TX	-	SPI3_TX
Channel 1	I2C1_RX	I2C3_RX	-	-	-	I2C1_RX	I2C1_TX	I2C1_TX
Channel 2	TIM4_CH1	-	I2S3_EXT_RX	TIM4_CH2	I2S2_EXT_TX	I2S3_EXT_TX	TIM4_UP	TIM4_CH3
Channel 3	I2S3_EXT_RX	TIM2_UP TIM2_CH3	I2C3_RX	I2S2_EXT_RX	I2C3_TX	TIM2_CH1	TIM2_CH2 TIM2_CH4	TIM2_UP TIM2_CH4
Channel 4	-	-	-	-	-	USART2_RX	USART2_TX	-
Channel 5	-	-	TIM3_CH4 TIM3_UP	-	TIM3_CH1 TIM3_TRIGGER	TIM3_CH2	-	TIM3_CH3

- Des tampons mémoire FIFO (First-In, First-Out) pouvant être utilisés en mode FIFO ou mode direct :
 1. Mode FIFO : avec un niveau de seuil sélectionnable par logiciel entre 1/4, 1/2 ou 3/4 de la taille du FIFO.
 2. Mode direct : le DMA précharge uniquement une donnée depuis la mémoire vers le FIFO interne pour assurer un transfert immédiat dès qu'une requête DMA est déclenchée par un périphérique.

Figure 28. FIFO structure



- Un arbitre gère les 8 requêtes de flux DMA en fonction de leur priorité pour chacun des deux ports maîtres AHB.
- Les priorités entre les requêtes de flux DMA sont programmables par logiciel (4 niveaux : très élevé, élevé, moyen, faible) ou par matériel en cas d'égalité (la requête 0 a priorité sur la requête 1, etc.).



- DMA est défini par une adresse source, adresse destination et data_width.
- Le data_width peut être configuré:
 1. **Byte (8bits)**
 2. **HalfWord (16bits)**
 3. **word (32 bits)**
- Chacun des 8 flux du contrôleur DMA fournit un lien de transfert unidirectionnel entre une source et une destination.
Chaque flux peut être configuré pour effectuer :
 1. **Périphérique vers la mémoire**
 2. **Mémoire vers périphérique**
 3. **Mémoire vers mémoire (DMA2)**

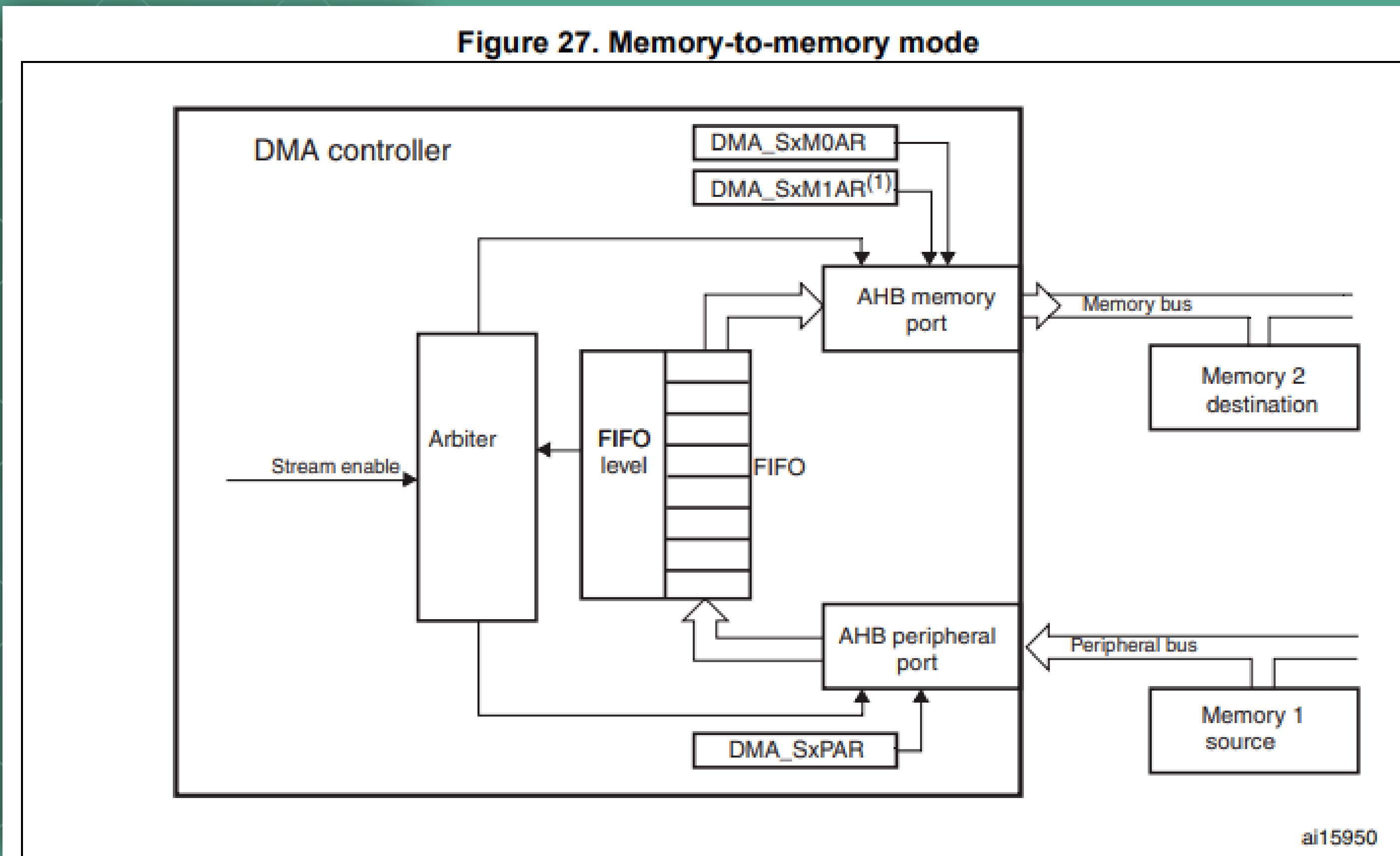
- Deux modes pour gérer les transferts de données:
 - 1. Mode Direct (ou Direct Mode)** : le contrôleur DMA transfère directement des données entre la mémoire et les périphériques sans utiliser de tampon FIFO.
 - 2. Mode Circulaire (ou Circular Mode)** : elle permet au DMA de gérer automatiquement des transferts en boucle, une fois que le DMA a terminé un transfert automatiquement il reprend au début du tampon pour continuer les transferts.
- 5 Indicateurs d'événements (demi-transfert DMA, transfert DMA complet, erreur de transfert DMA, erreur de FIFO DMA, erreur de mode direct).

Table 36. DMA interrupt requests

Interrupt event	Event flag	Enable control bit
Half-transfer	HTIF	HTIE
Transfer complete	TCIF	TCIE
Transfer error	TEIF	TEIE
FIFO overrun/underrun	FEIF	FEIE
Direct mode error	DMEIF	DMEIE

3.3 MEMORY-TO-MEMORY MODE

Figure 27. Memory-to-memory mode



ai15950

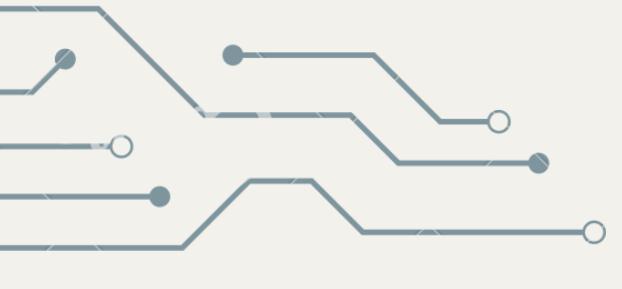
PLAN

Partie 1:
Fonctionnement personnel :
Transfert de connaissances avec le
enseignant

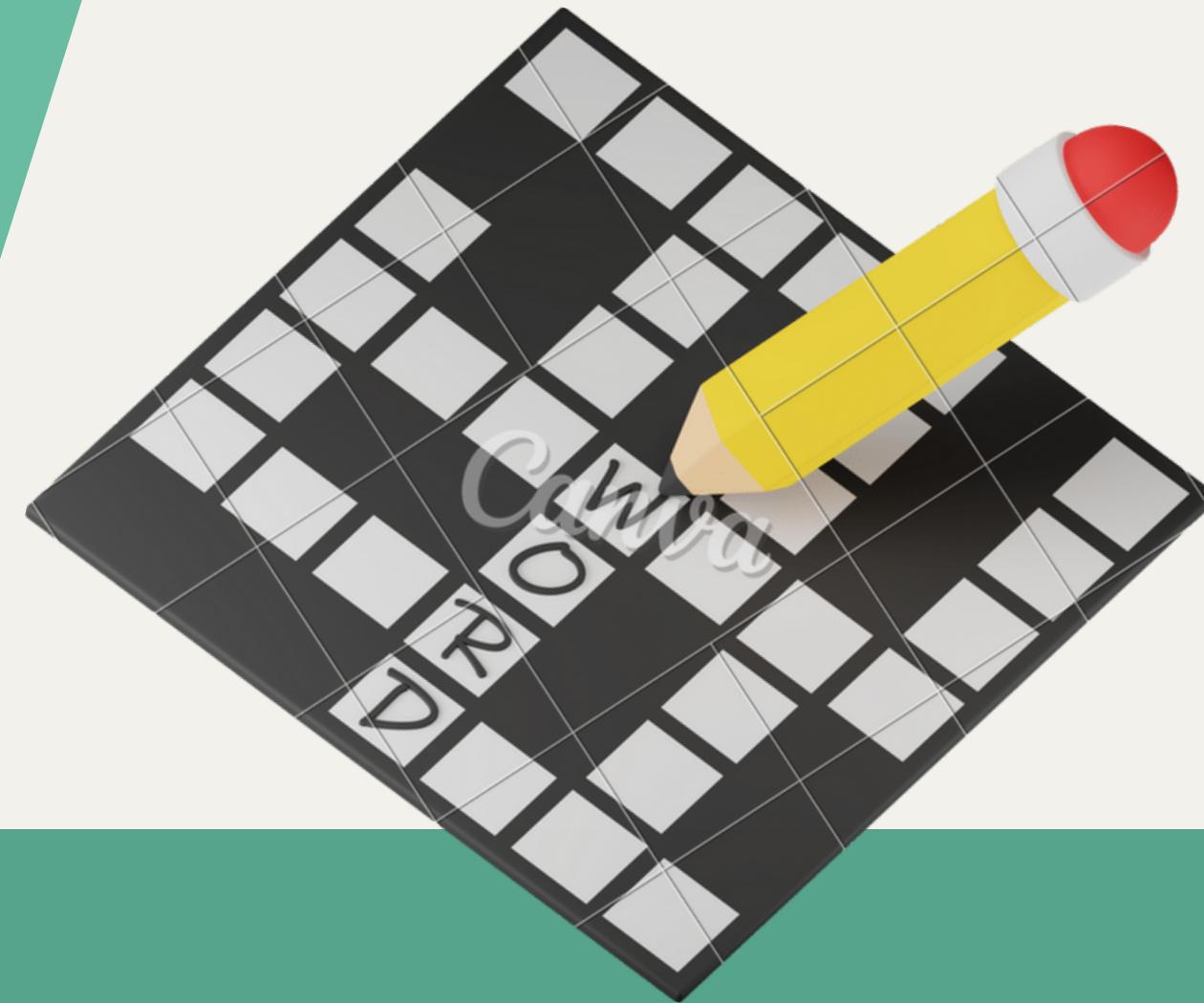
Partie 2:
Introduction au

Partie 3:
Architecture du
DMA

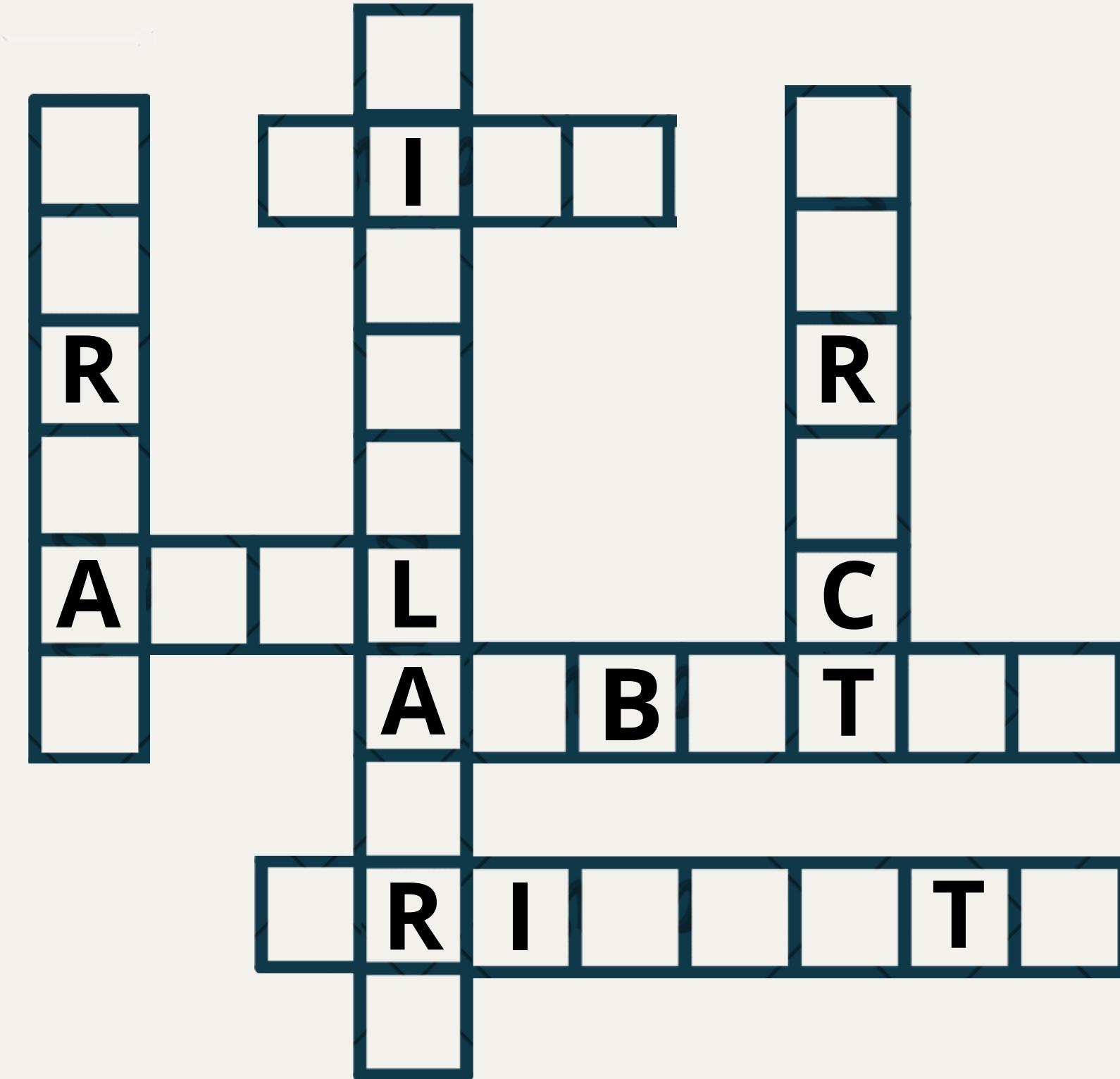
Partie 4:
Mots croisés



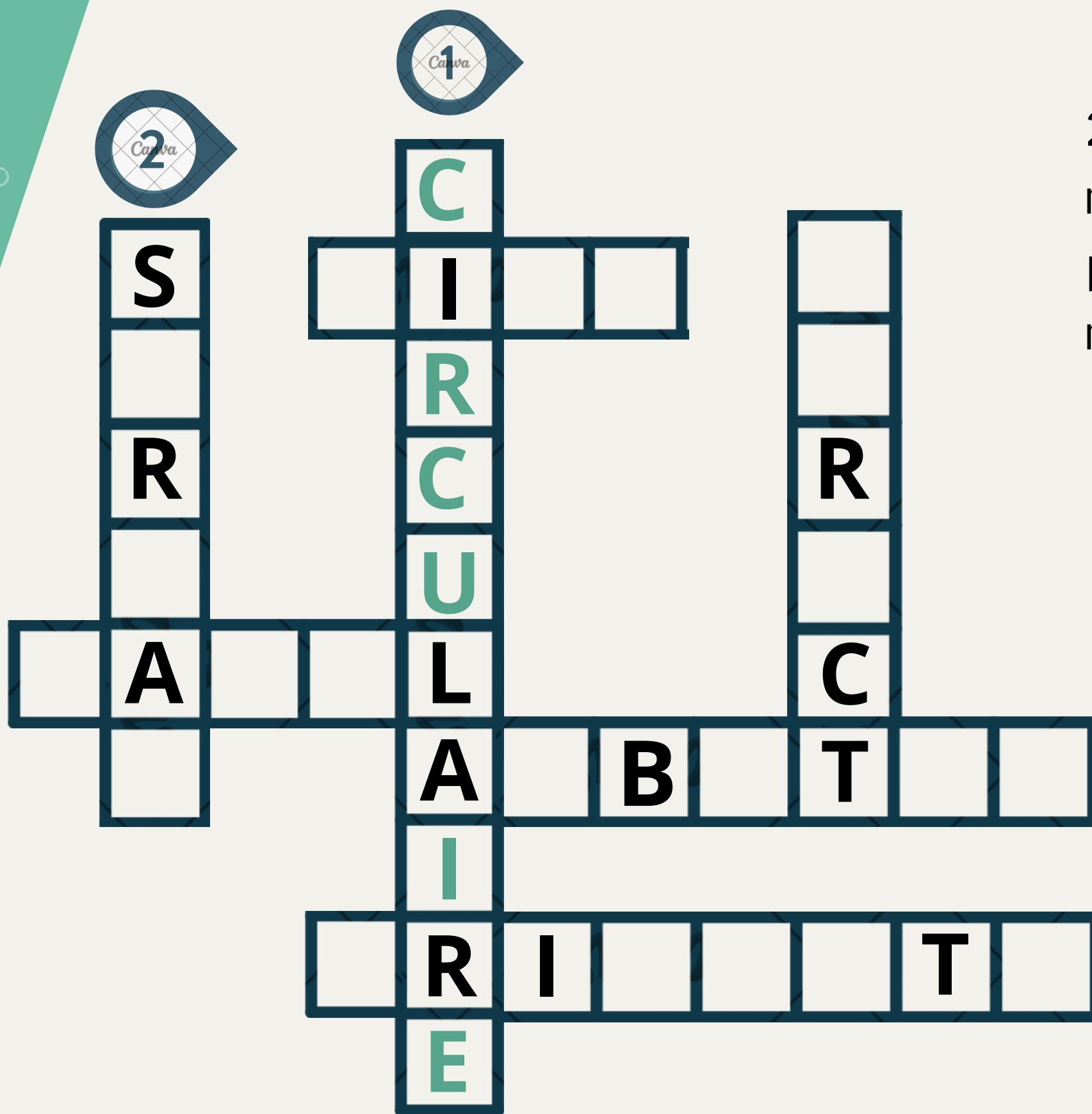
DMA: Défiez vos neurones!



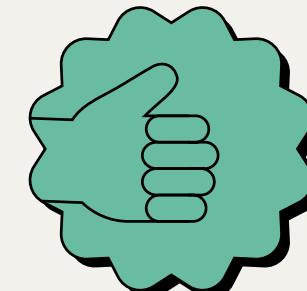
Mots croisés



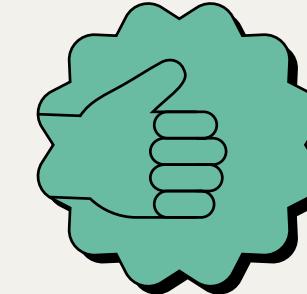
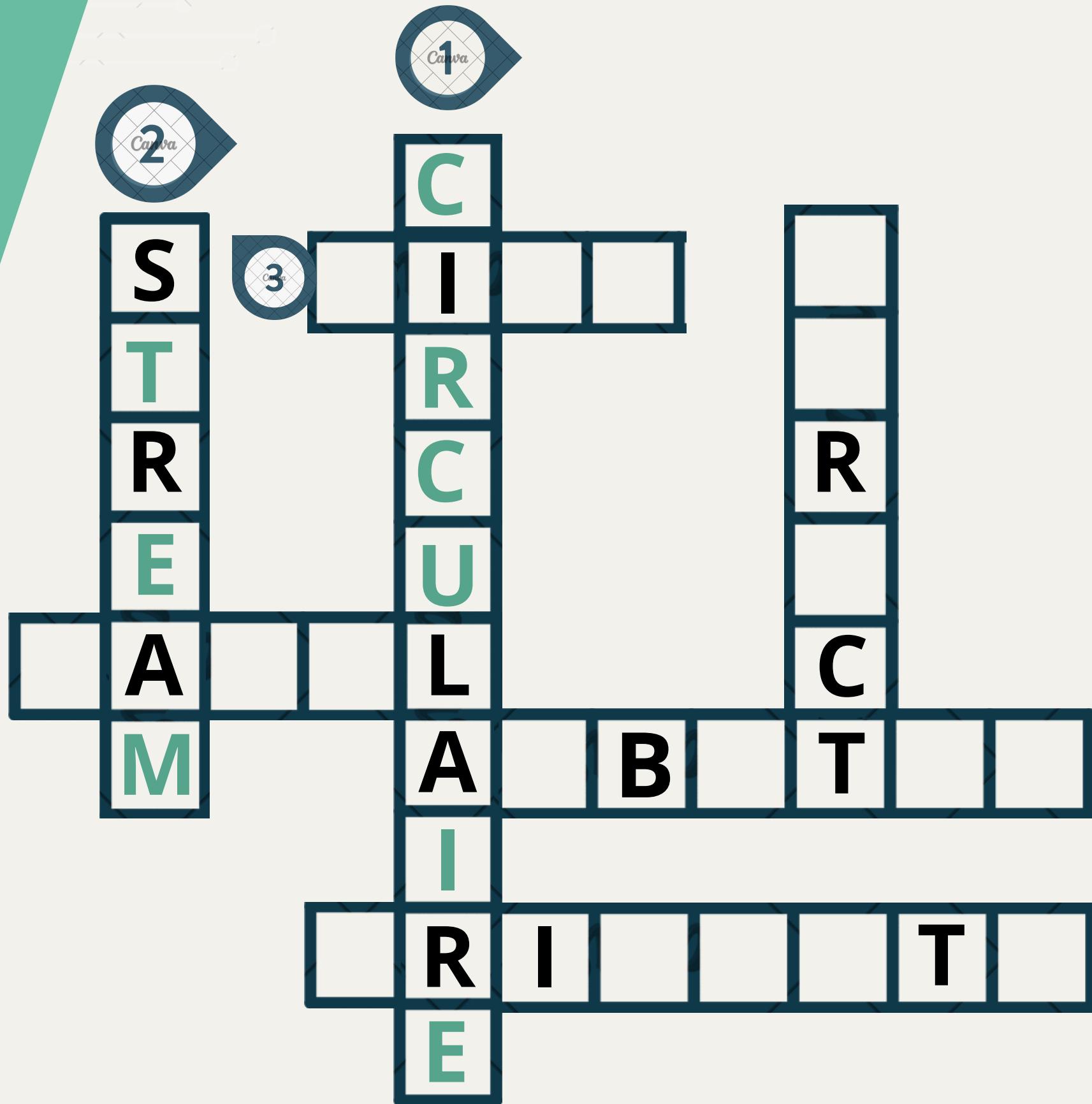
1. Mode de fonctionnement de la DMA où le transfert de données continue en boucle.

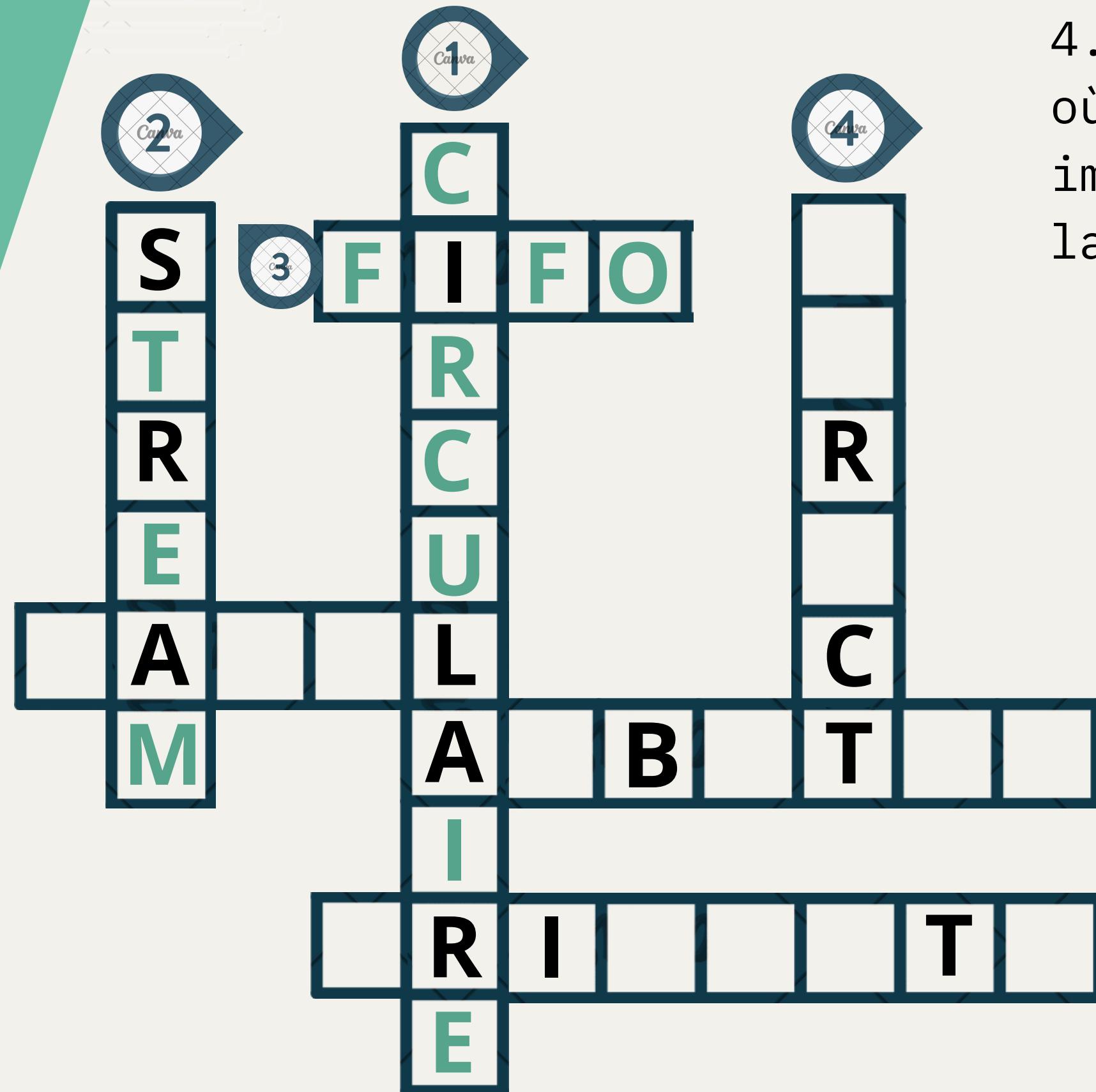


2. Flux de données entre la mémoire et les périphériques ou entre mémoire et mémoire.

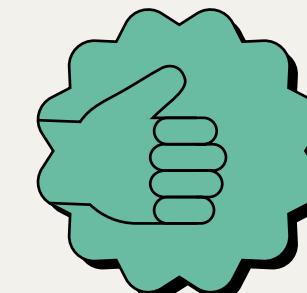


3. Mémoire tampon utilisée pour stocker temporairement les données.

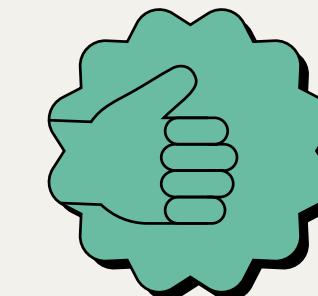
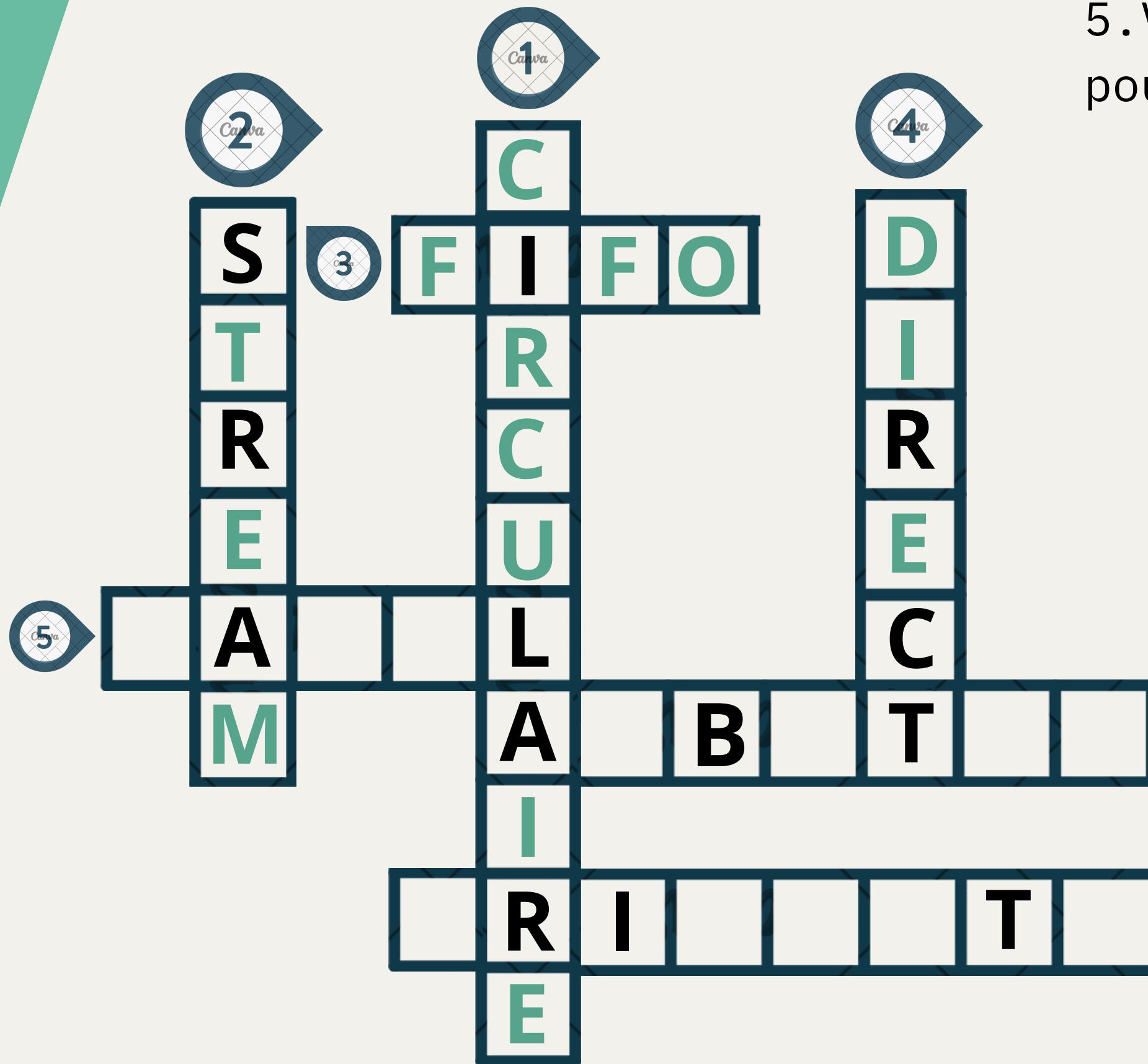




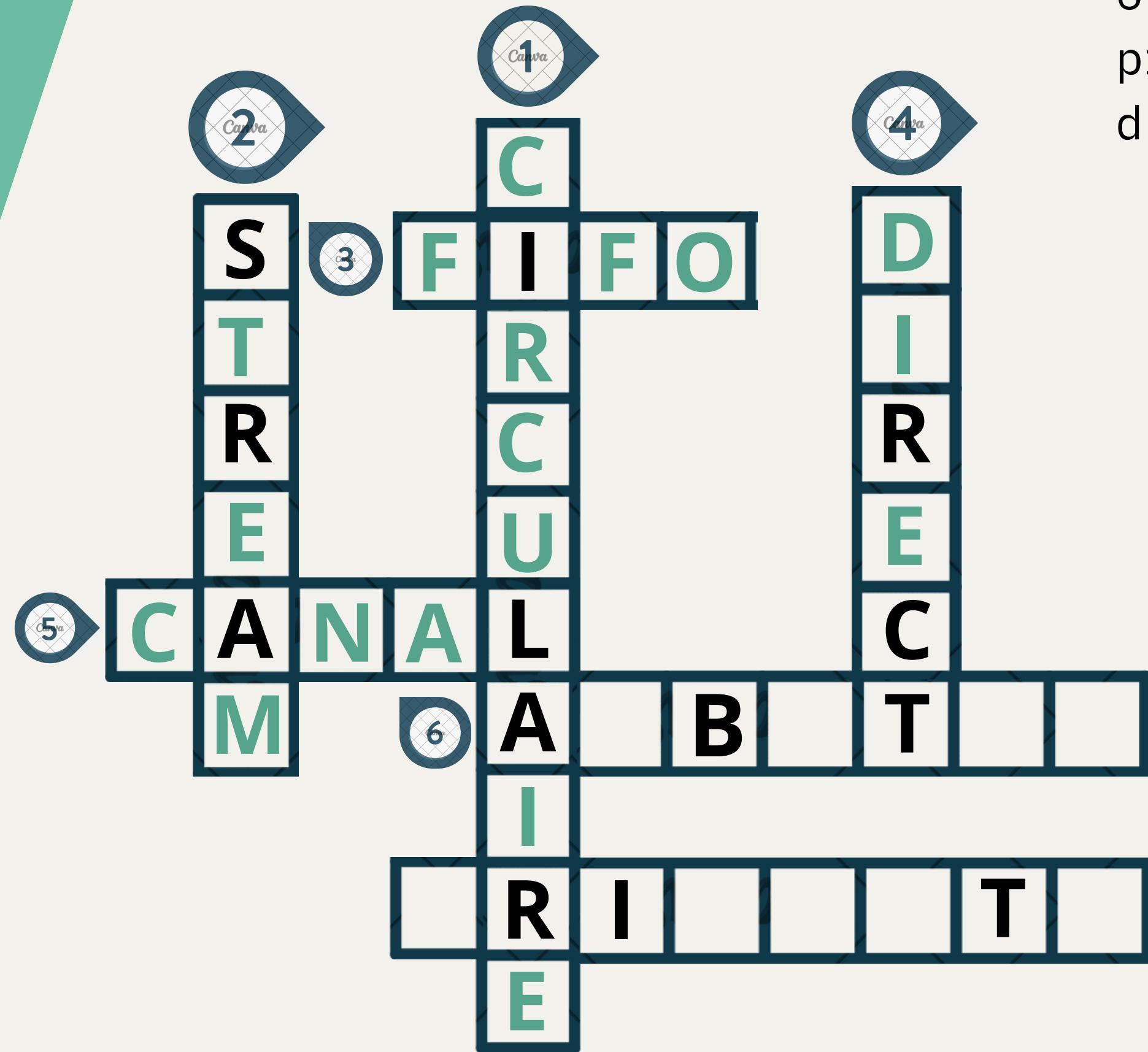
4. Mode de transfert de la DMA où les données sont déplacées immédiatement de la source à la destination.



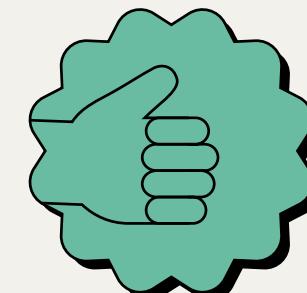
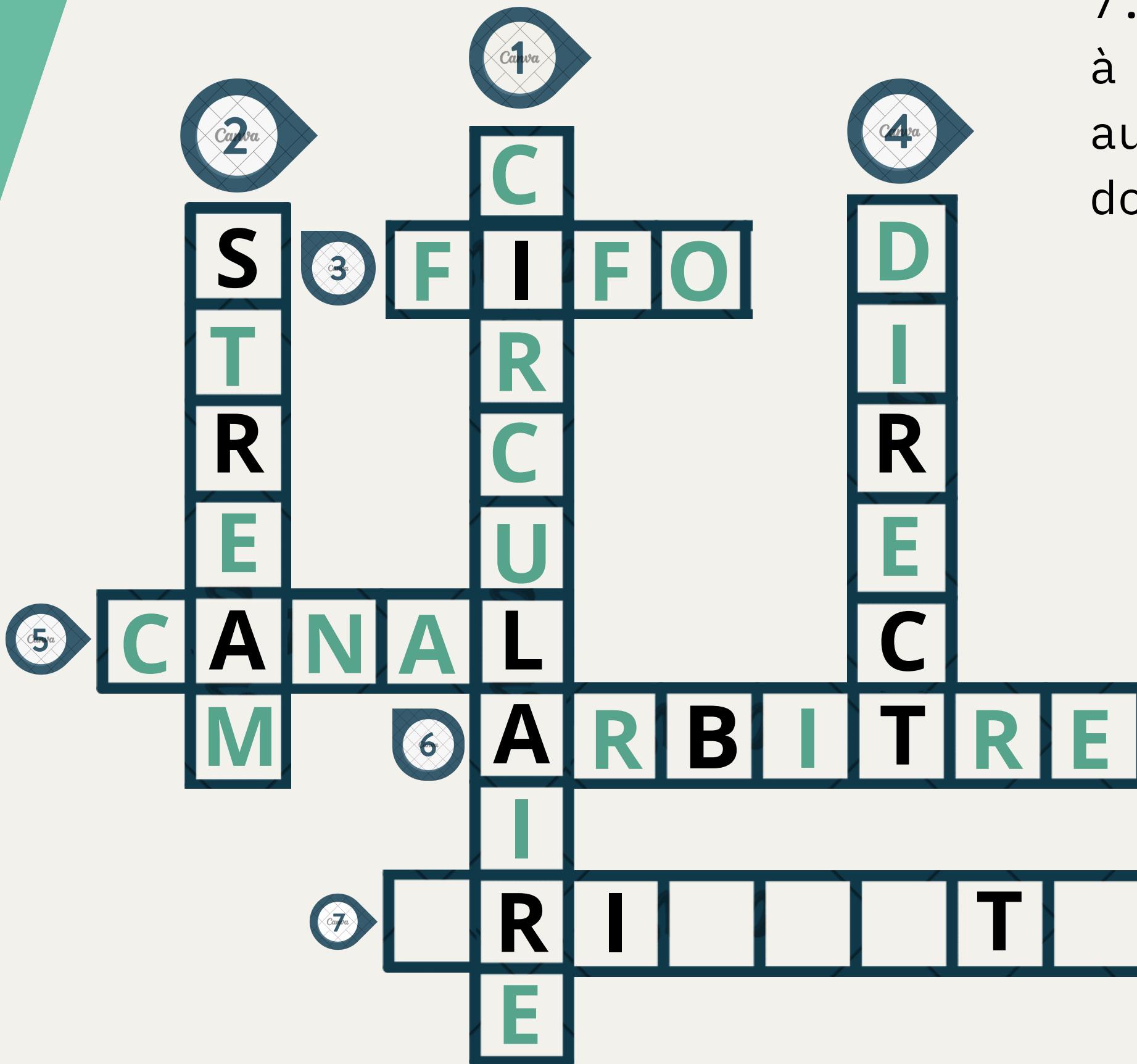
5. Voie utilisée par la DMA pour transférer des données.

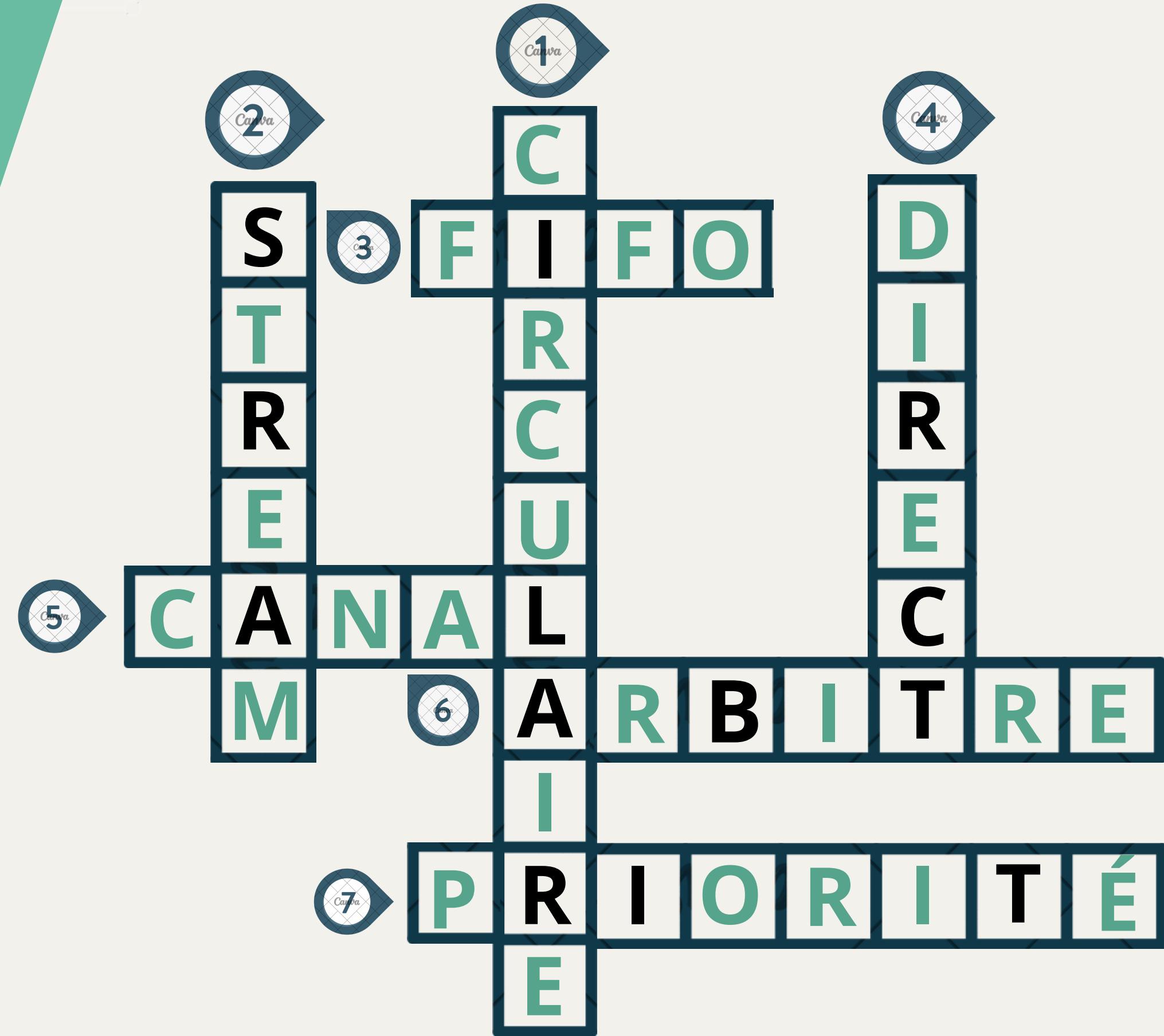


6. Entité qui gère la priorité entre les différents canaux de la DMA.



7. Niveau d'importance assigné à un canal par rapport aux autres pour le transfert de données.







MERCI POUR VOTRE ATTENTION

