

# Verilog HDL语言

主讲：李榕

Email: [lr@mail.hust.edu.cn](mailto:lr@mail.hust.edu.cn)

QQ: 179825425

华中科技大学计算机科学与技术学院

# Vivado设计流程 (1)

- 创建“工程”
- 添加“源文件”
  - 模块文件是什么？
- 添加“IP文件”
  - IP文件是什么？
- 添加“约束文件”
  - 约束文件是什么？
  - 从哪儿知道芯片引脚的定义？
- 指定FPGA芯片型号
  - 为什么要指定芯片型号？
  - 从哪儿知道我们用的芯片型号？
  - 芯片型号的参数意义？
- 添加“仿真文件”
  - 仿真文件是什么？

# Vivado设计流程 (2)

- RTL分析
  - RTL分析是做什么的?
  - RTL分析的输出是什么?
- 仿真
  - 仿真是做什么的??
  - 仿真的输出是什么?
  - 有几种仿真? 区别是什么?
- 综合
  - 综合是做什么的?
  - 综合的输出是什么?
- 实现
  - 实现是做什么的?
  - 实现的输出是什么?
- 生成比特流
- 下载比特流、调试

# Vivado的缺陷

- 中文支持不好
  - 所有代码避免放在中文路径下
  - 安装程序不能放在中文路径下
- 信息提示不够友好
  - Message
  - TCL Console
- 程序不够稳定
  - 重启程序
  - 重启计算机