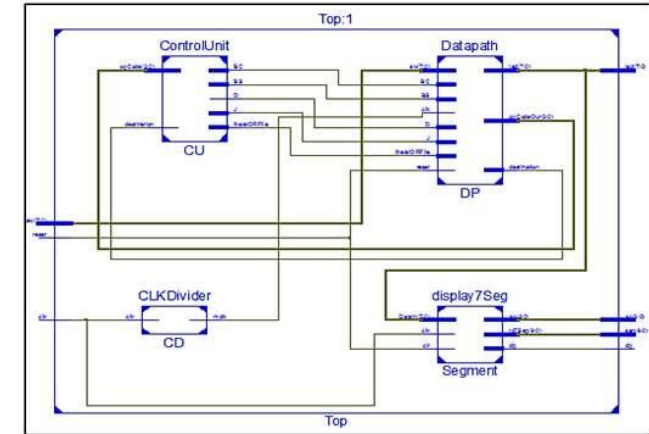
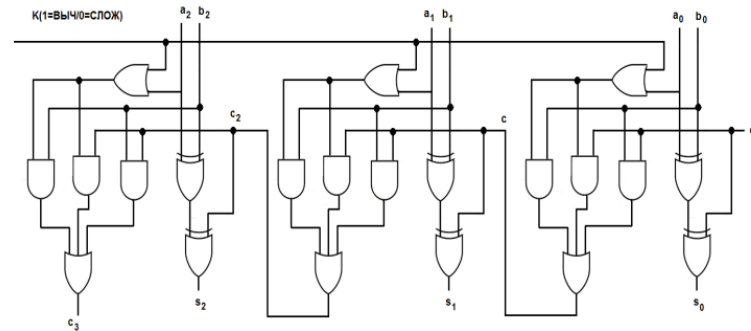
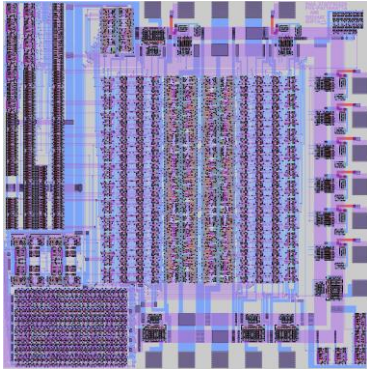


Что такое ПЛИС

Этапы разработки ИС



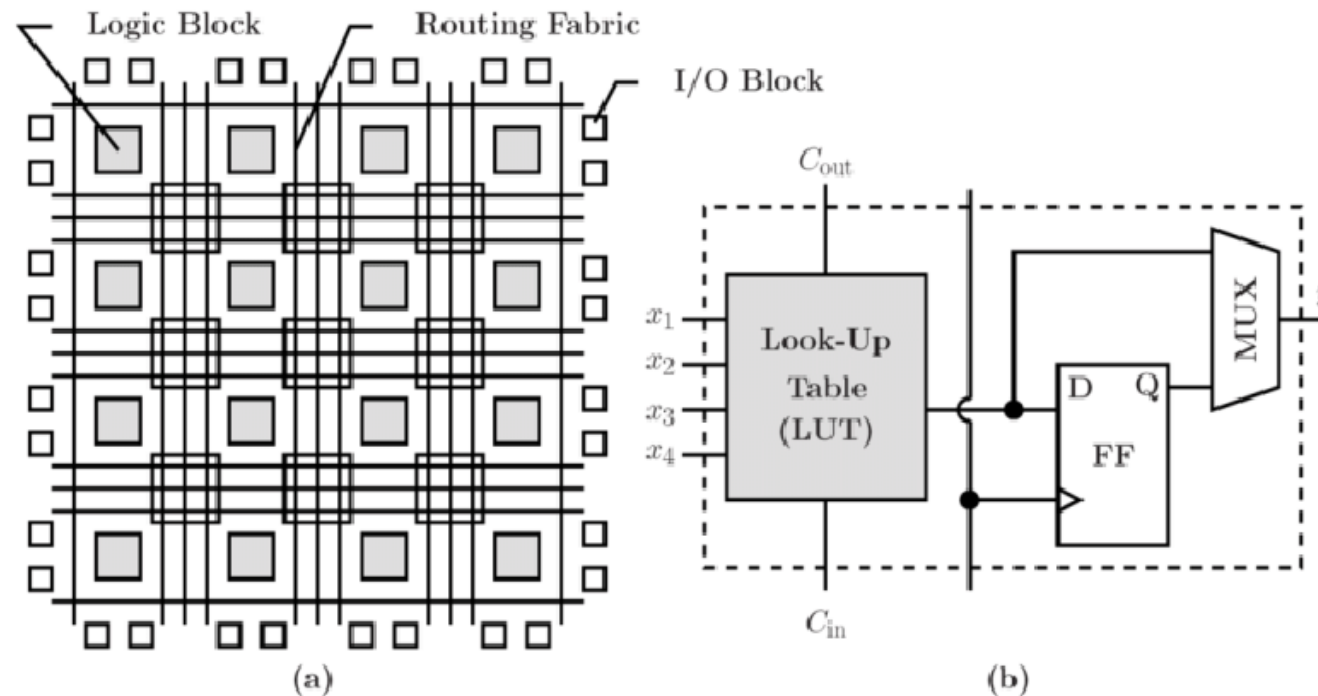
- САПР – система автоматизации производства
- HDL – hardware description language
- RTL – register transfer level
- Синтез – этап преобразования RTL в gate-level netlist
- PLACEMENT – этап расположения физических примитивов на кристалле
- ROUTING – этап соединения физических примитивов

Задержки элементов

Задержки распространения

ПЛИС

- ПЛИС – (PLD) программируемая логическая интегральная схема
- FPGA – (ППВМ) field programmable gate array, программируемая пользователем вентильная матрица



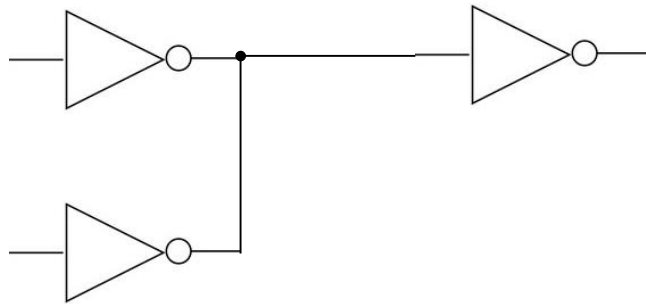
Зачем

- Используют в конечных продуктах, разработка ИС для которых не оправдана.
 - Быстрее чем МК.
- Прототипирование будущих ИС.

Verilog

Основные пункты

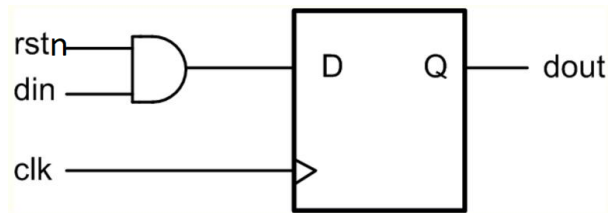
- HDL – hardware description language
- Блокирующее и неблокирующее присваивание
- Синтезируемость
 - Цикл for
 - У каждого сигнала только один драйвер



Сбросы

- Синхронный:

```
always @(posedge clk)
begin
    if( !rstn)
        <reset>
    else
        ...
end
```



- Асинхронный:

```
always @(posedge clk or negedge rstn)
begin
    if( !rstn)
        <reset>
    else
        ...
end
```

Верификация

- Тестовое окружение есть модуль без выводов, в котором подключен тестируемый блок
- Последовательность тестов в initial блоке
- \$display
- \$finish
- Синхросигнал:

```
always #(T_half_period) clk <= !clk;
```