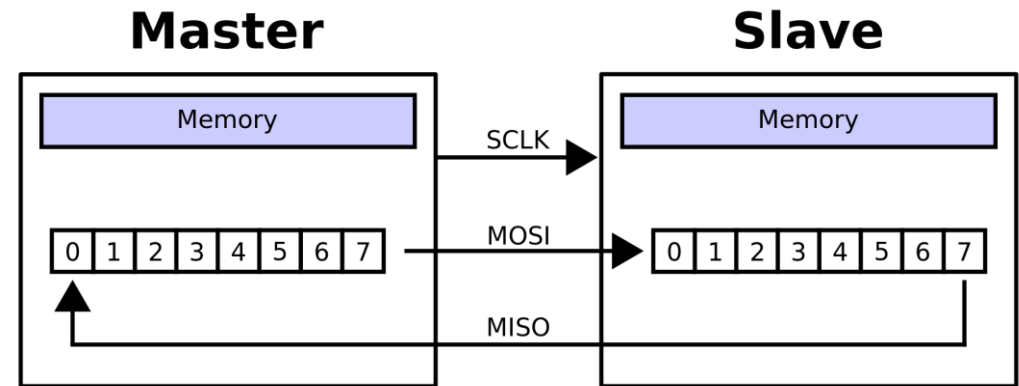
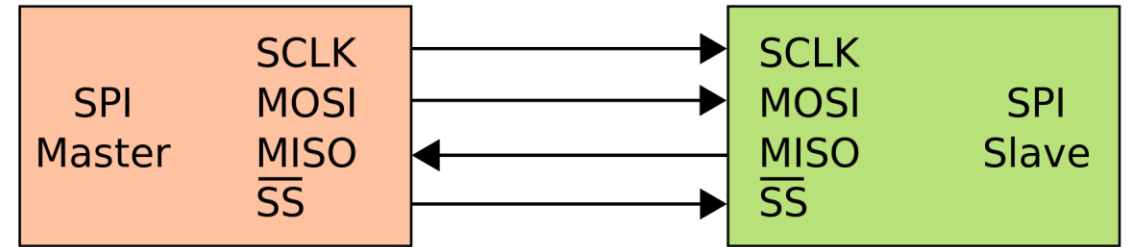


Интерфейсы

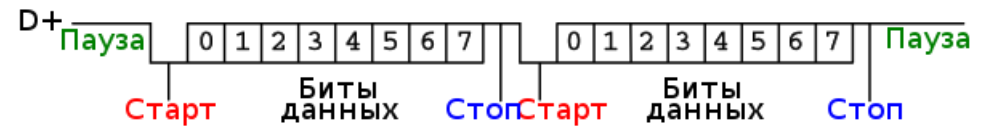
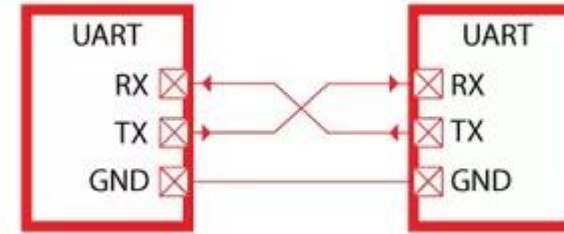
# SPI

- SPI – serial peripheral interface
- MOSI — *Master Out Slave In*
- MISO — *Master In Slave Out*
- SCLK — синхросигнал.
- SS — *Slave Select*.
- Отсутствие официального стандарта

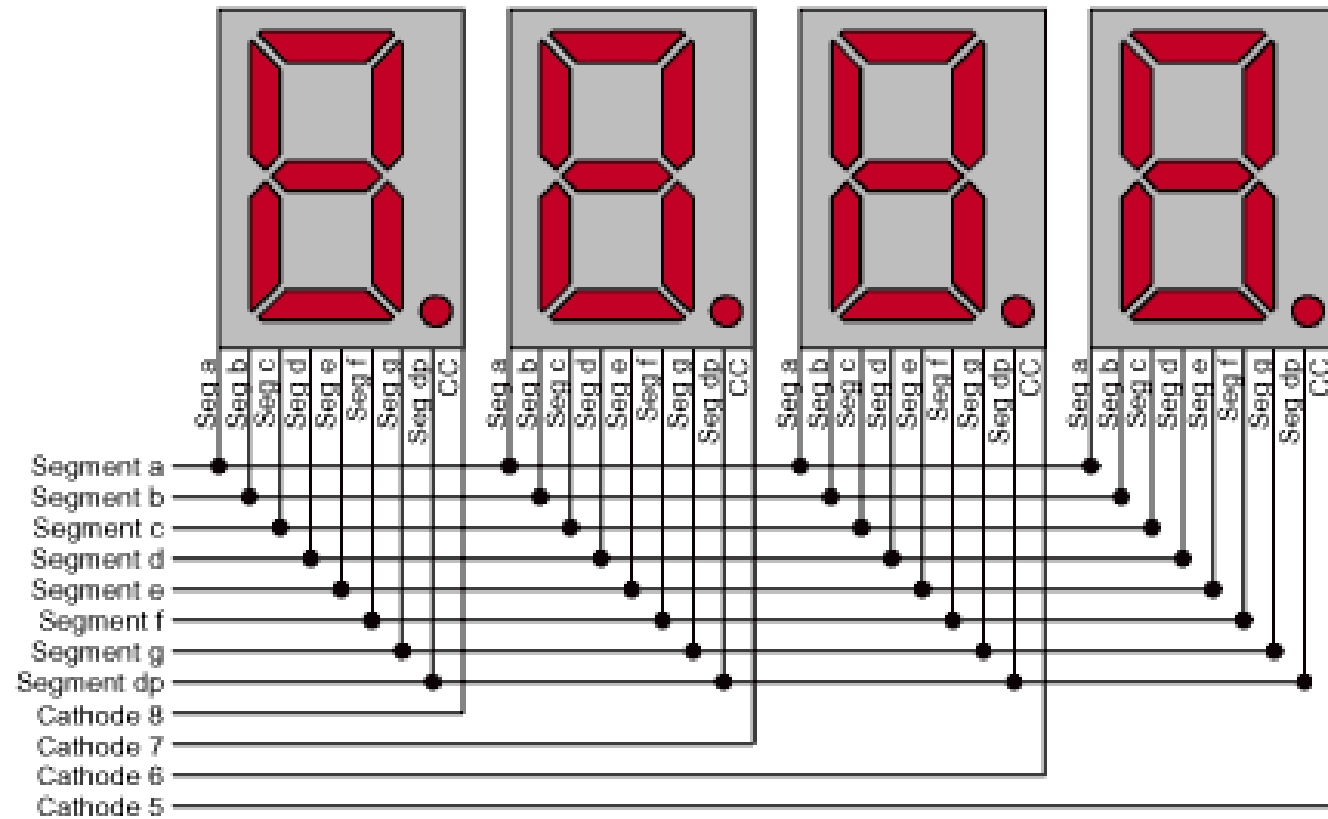
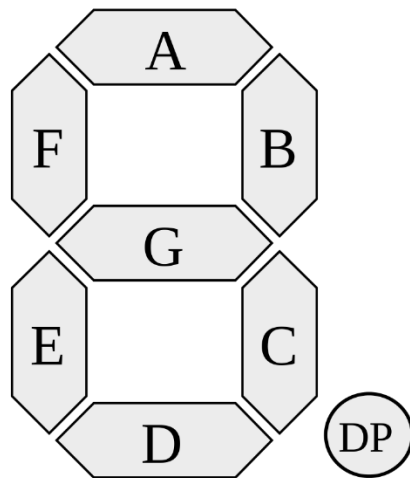


# UART

- UART – universal asynchronous reciver-transmitter
- Возможен контроль четности
- Соединение типа точка-точка



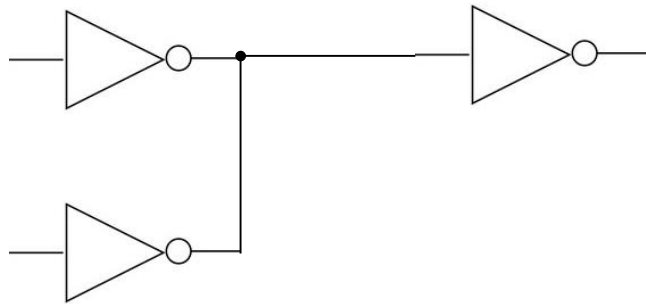
# 7SEG



# Verilog

# Основные пункты

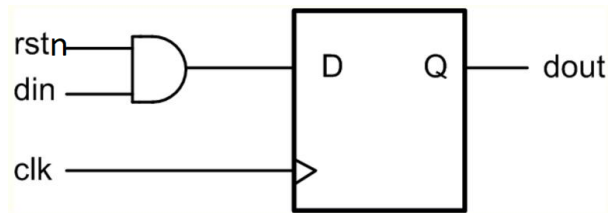
- HDL – hardware description language
- Блокирующее и неблокирующее присваивание
- Синтезируемость
  - Цикл for
  - У каждого сигнала только один драйвер



# Сбросы

- Синхронный:

```
always @(posedge clk)
begin
    if( !rstn)
        <reset>
    else
        ...
end
```



- Асинхронный:

```
always @(posedge clk or negedge rstn)
begin
    if( !rstn)
        <reset>
    else
        ...
end
```

# Верификация

- Тестовое окружение есть модуль без выводов, в котором подключен тестируемый блок
- Последовательность тестов в initial блоке
- \$display
- \$finish
- Синхросигнал:

```
always #(T_half_period) clk <= !clk;
```