

Chapitre. 6

Circuits séquentiels : Les bascules

6.1. Introduction aux circuits séquentiels

Nous avons remarqué que les circuits étudiés précédemment possèdent une sortie logique qui n'est jamais rebouclée à l'entrée et que cette sortie aura toujours la même valeur pour une combinaison de l'état de l'entrée.

La situation est complètement différente, lorsque la sortie d'une porte est rebouclée sur son entrée, dans ce cas l'état de sortie du circuit à un instant donné dépend de :

- La valeur des entrées à cet instant.
- La valeur de la (ou des) sorties aux instants antérieurs.

Dans un circuit séquentiel, l'état de sortie est fixé par toute la séquence des entrées, ce : par les valeurs qui ont précédés les valeurs actuelles.

Remarque : en introduisant le paramètre temps, une étude temporelle est donc indispensable pour comprendre le fonctionnement des circuits séquentiels (CS).

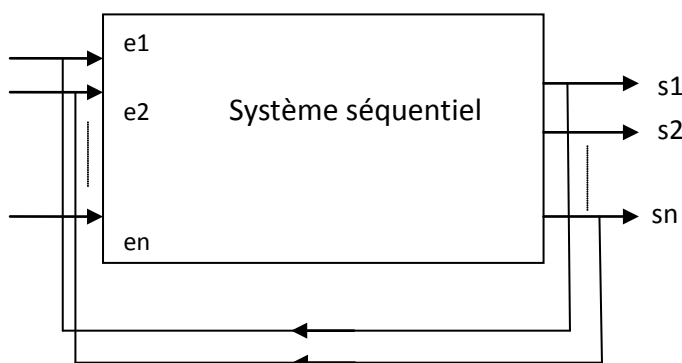


Schéma de principe d'un système séquentiel

6.2. Les bascules

Les bascules sont les éléments de base de la logique séquentielle, un peu comme l'étaient les portes logiques en logique combinatoire.

Nous verrons par la suite qu'elles permettent de réaliser de nombreux systèmes complexes : compteurs, registres, mémoires...d'où leur importance.

La bascule se caractérise par :

- L'existence de deux états de sortie stable.
Ce sont les états dans lesquels la bascule peut se maintenir indéfiniment sans action extérieure.
- Des entrées de commande permettant de passer au choix d'un état à un autre.

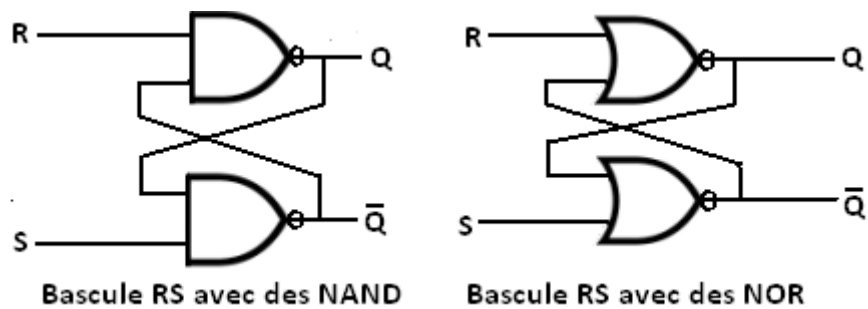
6.2.1. la bascule RS

Elle possède :

- deux entrées R et S.
- et deux sorties Q et \bar{Q}

Cette bascule peut être réaliser avec des portes NAND et NOR.

a) Schéma :



Bascules RS réalisées par des portes NAND et NOR.

b) Fonctionnement :

- $S = 1, R = 0$; $\implies Q = 1$ et $\bar{Q} = 0$; l'entrée $S = 1$ place la sortie Q au niveau haut (SET).
- $S = 0, R = 1$, $\implies Q = 0$ et $\bar{Q} = 1$; l'entrée $R = 1$ place la sortie Q au niveau bas (RESET).
- $S = 0, R = 0$; cette situation autorise en sortie $Q = 1$ et $\bar{Q} = 0$, ou $Q = 0$ et $\bar{Q} = 1$, la combinaison effectivement présente sur les sorties dépend de la combinaison des entrées qui a précédé la situation $S = 0$ et $R = 0$.

Remarque : La combinaison $S = 1$ et $R = 1$, ne donne pas des sorties complémentaires, on trouve en effet $Q = \bar{Q} = 0$, d'où l'état appelé interdit.

c) Chronogramme :

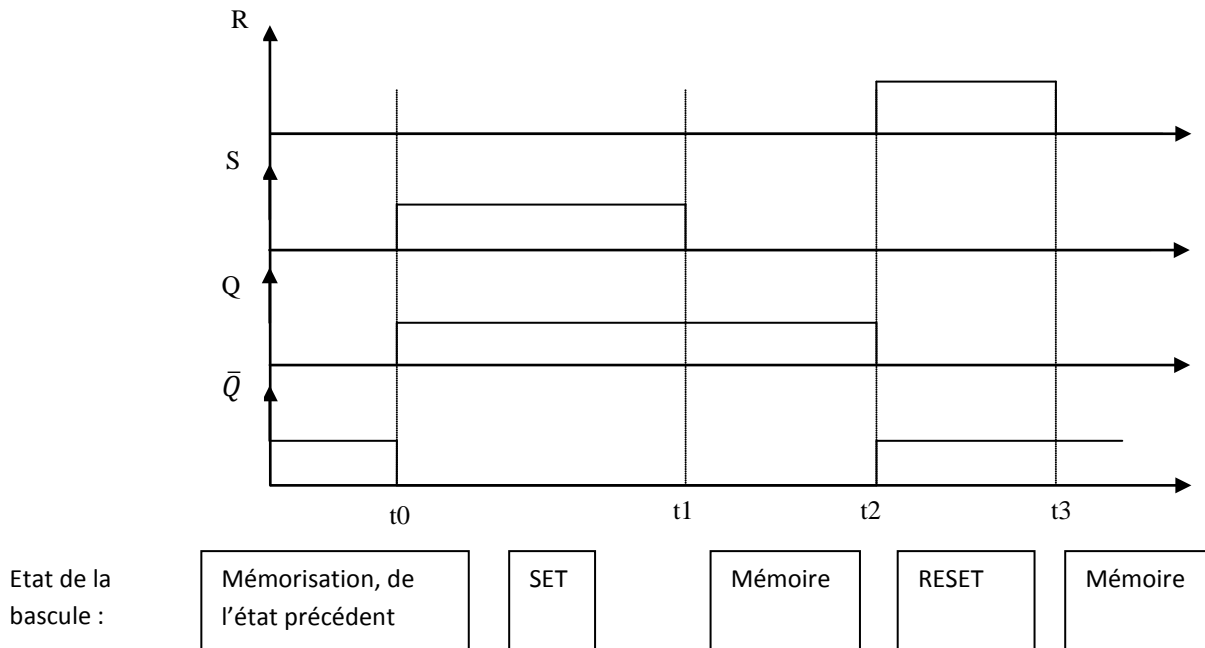


Table de vérité et équation caractéristique :

S	R	Q	\bar{Q}	
0	0	Q_0	\bar{Q}_0	Mémoire
1	0	1	0	SET
0	1	0	1	RESET
1	1	0	0	Interdit

Cette table de vérité donne la valeur présente de la sortie Q en fonction de la valeur précédente Q_0 .

$$Q = f(R, S, Q_0)$$

$$Q = S\bar{R} + \bar{R}Q_0$$

$$= \bar{R}(Q_0 + S)$$

Conclusion

- 1- La bascule RS possède un mode mémoire : $S = R = 0$.
La sortie $Q = 1, \bar{Q} = 0$, ou $Q = 0, \bar{Q} = 1$
- 2- S passe de 0 à 1, $R = 0$; entraîne $Q = 1$: SET.
R passe de 0 à 1, $S = 0$; entraîne $Q = 0$: RESET
- 3- Les entrées R et S sont des entrées de commande permettant de passer d'un état stable à un autre.

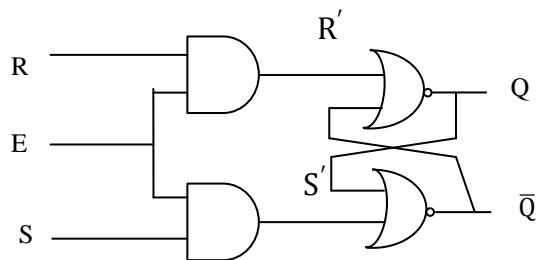
Inconvénient :

- 1- Une faible immunité au bruit (parasites). En effet, toute variation des entrées (même non désirée) est prise en compte et est susceptible de modifier l'état des sorties.
- 2- Difficulté de connecter entre elles un grand nombre de bascules.

Pour remédier à ces problèmes, d'autre type de bascules ont été développées.

6.2.2. Bascule RS avec validation (RS Latch)

a) Schéma :



a) Fonctionnement :

$E = 0$, $R' = S' = 0$, la bascule est en mode mémoire, et elle reste dans cet état quelque soient les valeurs présentées sur les entrées R et S.

$E = 1$, deux s cas :

- $R = 1, S = 0$ alors $R' = 1 ; S' = 0$ implique : $Q = 0 ; \bar{Q} = 1$: mode RESET
- $R = 0, S = 1$ alors $R' = 0 ; S' = 1$ implique : $Q = 1 ; \bar{Q} = 0$: mode SET

Conclusion :

Le fonctionnement de bascule RS avec validation est identique à celui de la bascule RS simple lorsque $E = 1$. En revanche lorsque $E = 0$, la bascule est bloquée dans l'état imposé par les valeurs de R et de S, au moment où E passe à 0.

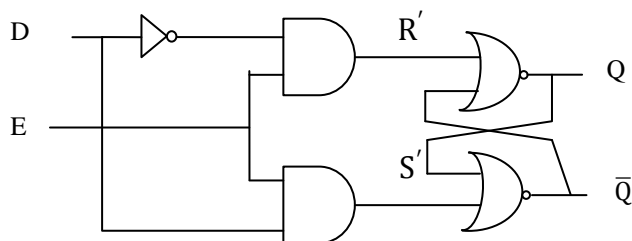
b) Table de vérité :

R	S	E	Q_{n+1}	Fonction
X	X	0	Q_n	mémoire
0	0	1	Q_n	mémoire
0	1	1	1	SET
1	0	1	0	RESET
1	1	1	X	Interdit

6.2.3. Bascule D

a) Schéma :

La bascule D est en réalité une bascule RS avec entrée de validation sur laquelle on ajoute un inverseur, cela permet de réduire les entrées R et S en une seule entrée D.



b) Fonctionnement :

$E = 0$, $R' = S' = 0$, la bascule est en mode mémoire, et les variations de l'entrée D n'affectent pas les sorties.

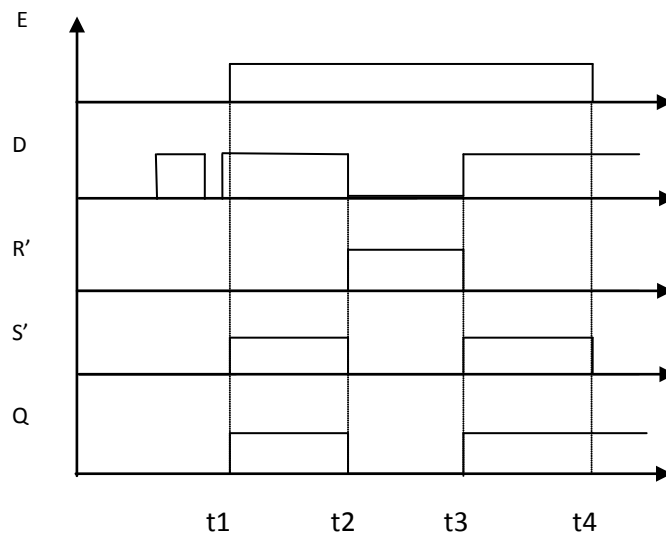
$E = 1$, $R' = \bar{D}$ et $S' = D$; dans ces conditions la sortie Q recopie l'entrée D.

c) Equation caractéristique:

L'équation caractéristique de la bascule D s'obtient facilement à partir de la bascule RS en écrivant $R' = \bar{D}$ et $S' = D$, en effet : $Q = \bar{R}'(Q_0 + S') = D.(Q_0 + D) = DQ_0 + D.D = DQ_0 + D = D(Q_0 + 1) = D$

$$Q = D$$

d) Chronogramme :



Fonctionnement de la bascule D.

6.2.4. Bascules synchrones et asynchrones

En logique séquentielle, on est amené à définir deux grands types de circuits : les circuits asynchrones et les circuits synchrones.

- Circuits asynchrones

Un circuit est dit asynchrone lorsque les entrées sont sensibles à des niveaux de tension 0 ou 1. Après un changement des entrées, le circuit évolue librement jusqu'à ce qu'il atteigne un état stable. Les transitions d'un état stable à un autre se produisent donc à des instants quelconques, que l'on ne peut pas contrôler.

Remarque : les bascules que nous avons étudiées jusqu'à présent sont des systèmes synchrones

- Circuits synchrone

Les circuits synchrones possèdent une entrée supplémentaire sensible à des impulsions appelée entrée d'horloge (Clock).

Une impulsion est définie par le front montant ou descendant d'un signal rectangulaire très raide, mais pas nécessairement très court.

Pour ces systèmes, quelque soit la valeur des entrées, le passage d'un état à un autre ne se fait qu'au moment où l'entrée d'horloge reçoit une impulsion.

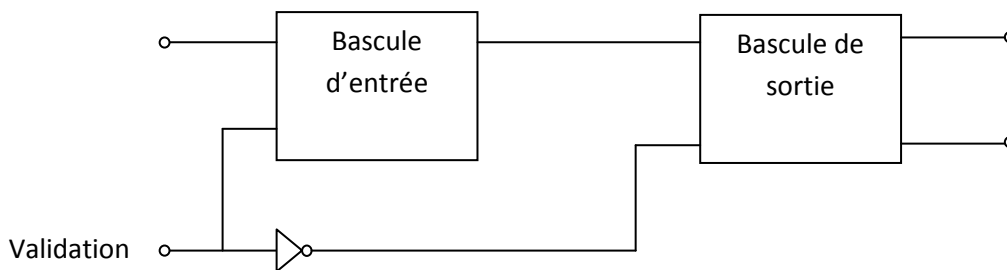
6.2.5. Structure Maître- esclave

Nous avons vu dans le paragraphe 6.2.2. que le verrouillage d'une bascule à l'aide d'une entrée de validation (E), permettait de s'affranchir des parasites sur les entrées lorsque $E = 0$, le problème subsiste néanmoins lorsque l'entrée de validation est active ($E = 1$).

Pour résoudre le problème, il faudrait lorsque $E = 1$, que la sortie soit verrouillée, mais que les informations sur les entrées soient prises en compte, donc les sorties soient ouvertes.

A l'inverse, lorsque $E = 0$, les entrées seront verrouillées, et les sorties sont ouvertes.

La solution consiste à utiliser deux bascules de verrouillage: l'une pour l'entrée et l'autre pour la sortie.



Principe de la structure Maître -esclave

6.2.6. Exemple de la bascule D

a) Schéma :

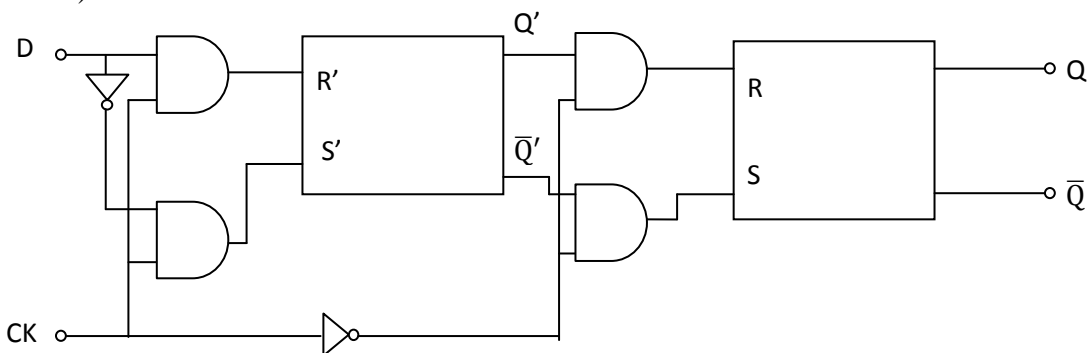


Schéma d'une bascule D synchrone basée sur deux bascules RS asynchrones

b) Fonctionnement

$$R' = CLK . D$$

$$S' = CLK . \bar{D}$$

$$R = \overline{CLK} . Q'$$

$$S = \overline{CLK} \cdot \bar{Q}'$$

- Si $CLK = 0$; la première bascule est en mode mémoire ($R' = S' = 0$), la seconde est en mode écriture (SET ou RESET ; $R = Q'$ et $S = \bar{Q}'$ cette dernière bascule recopie les sorties de la première bascule. ($Q = S = \bar{Q}'$).
- Si $CLK = 1$, la première bascule est en mode écriture (SET ou RESET avec $R' = D$, $S' = \bar{D}$) et recopie l'entrée D, alors que la seconde bascule est en mode mémoire ($R = S = 0$).

Note : on peut tracer des chronogrammes qui représentent les variations des différentes entrées en fonction des sorties.

6.2.7. Représentation des bascules synchrones

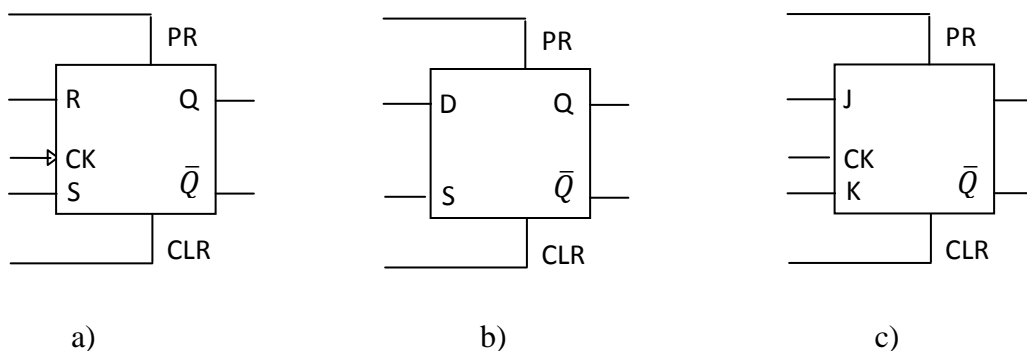
Les principales bascules synchrones disponibles sur le marché sont :

- Les bascules RS de table de vérité identique à celle de leurs homologues asynchrones à base de porte NOR.
- Les bascules D.
- Les bascules JK identiques aux bascules RS sauf pour la combinaison 11.
L'entrée J correspond à S et l'entrée K correspond à R.

Pour la combinaison des entrées $J = K = 1$; les entrées J et K fonctionnent en mode Toogle.

Mode Toogle : c'est le mode où la sortie Q change de valeur à chaque impulsion d'horloge.

Les bascules JK utilisent toutes les combinaisons des entrées, contrairement à la bascule RS.



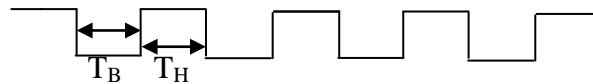
Représentation des principales bascules Synchrones : a) Bascule RS, b) bascule D, c) bascule JK.

Les entrées prioritaires :

Les entrées PR (Preset) et CLR (Clear) sont des entrées qui imposent respectivement $Q = 1$ et $Q = 0$, lorsque elles sont actives, quelque soit l'état des entrées, pour cela elles sont dites prioritaires.

Remarque : lorsque les entrées PR et CLR sont actives au niveau bas, elles sont notées \overline{PR} et \overline{CLR} dans les tables de vérités et sur les symboles des bascules.

L'horloge : le signal horloge est généralement de type carré, c'est-à-dire : la durée du niveau haut est égale à la durée du niveau bas.



$$T_H = T_B = T/2$$

Le signal CK contient des fronts montants et des fronts descendants.

- Le front montant est défini par le passage de l'impulsion d'un niveau bas stable à un niveau haut stable :
- Le front descendant est défini par le passage de l'impulsion d'un niveau haut stable à un niveau bas stable :

Remarque : il existe des bascules synchrones actives sur le front descendant du signal d'horloge. Elles se distinguent par le front montant avec un cercle placé sur l'entrée d'horloge.

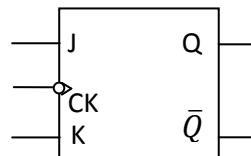
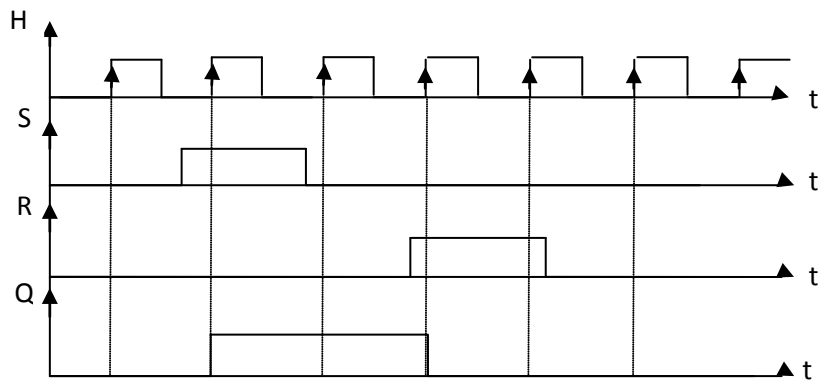


Schéma d'une bascule JK activée par le front descendant de l'horloge

6.2.8. Tables de vérités

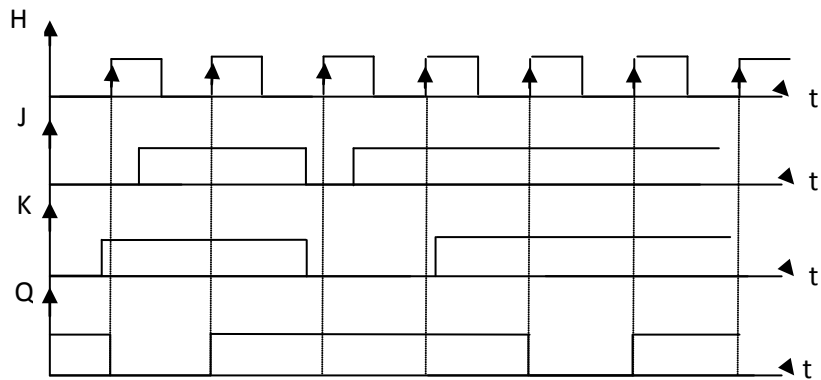
a. bascule RS

H	R	S	Q_n	\overline{Q}
0	X	X	Q_{n-1}	\overline{Q}_{n-1}
↑	0	0	Q_{n-1}	\overline{Q}_{n-1}
↑	0	1	1	0
↑	1	0	0	1
↑	1	1	Interdit	



b) bascule JK

H	J	K	Q_n	\bar{Q}_n
0	X	X	Q_{n-1}	\bar{Q}_{n-1}
↑	0	0	Q_{n-1}	\bar{Q}_{n-1}
↑	0	1	0	1
↑	1	0	1	0
↑	1	1	\bar{Q}_{n-1}	Q_{n-1}



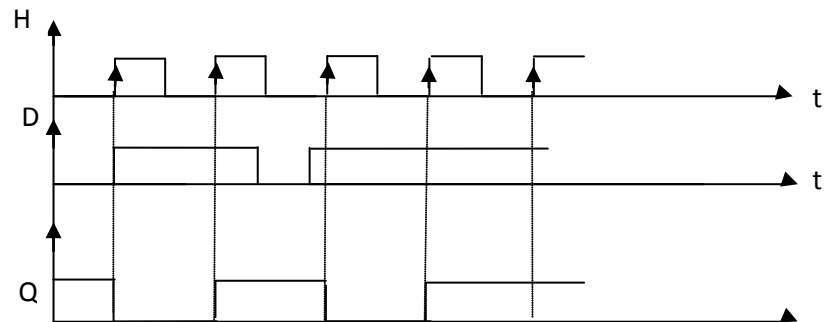
Etats de sortie : Etat initial – RESET-Toogle- mémoire- SET- Toogle - Toogle

Remarque : Pour $J = K = 1$, on dit que l'on est dans le mode basculement. Cette bascule est à l'état opposé à chaque front montant du signal d'horloge.

c) Bascule D

La bascule D est réalisée à partir d'une bascule RS ou JK, dont les entrées sont reliées par un inverseur.

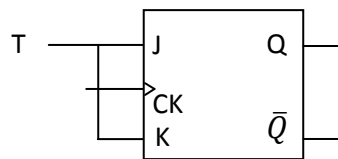
H	D	Q_n
0	X	Q_{n-1}
\uparrow	0	0
\uparrow	1	1



Remarque : la sortie prend l'état de l'entrée D après chaque impulsion de l'horloge.

d) Bascule T

Cette bascule est obtenue en appliquant les mêmes valeurs aux entrées d'une bascule JK.



H	T	Q_n
0	X	Q_{n-1}
\uparrow	0	Q_n
\uparrow	1	\bar{Q}_n