Chapitre. 4

Circuits combinatoires de Comparaison

et Opérations Arithmétiques

4.1. Fonction de comparaison

4.1.1 Comparateur à 1bit :

On entend par fonction de comparaison dans les systèmes combinatoires, la fonction qui effectue la comparaison entre deux 2 nombres binaires généralement notés A et B. Il possède 3 sorties notées A = B, A > B et A < B.

L'opération de comparaison s'effectue de la manière suivante :

- Si le nombre A est égal au nombre B (A = B), la sortie A = B passe à l'état 1 tandis que les sorties A > B et A < B passent à l'état 0.
- Si le nombre A est strictement supérieur au nombre B, seule la sortie A > B passe à l'état 1.
- Si le nombre A est strictement inférieur au nombre B, seule la sortie A < B passe à l'état 1.

Etudions le circuit qui effectue ces différentes opérations.

a) Table de vérité

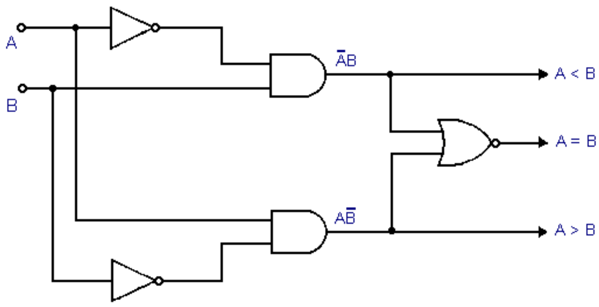
Soit à comparer les deux chiffres binaires A et B. Examinons les cas où A = B, A > B et A < B.

- o Les deux nombres A et B sont égaux si A = B = 1 ou A = B = 0. La sortie A = B doit donc passer à l'état 1 uniquement pour ces deux combinaisons
- o Le nombre A est strictement supérieur au nombre B seulement si A = 1 et B = 0. La sortie A > B doit donc passer à l'état 1 uniquement pour cette combinaison.
- o Le nombre A est strictement inférieur au nombre B seulement si A = 0 et B = 1. La sortie A < B doit donc passer à l'état 1 uniquement pour cette combinaison.

Tout cela se traduit par la table de vérité suivante :

Entrées		Sorties		
A	B	A=B	A>B	A<B
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

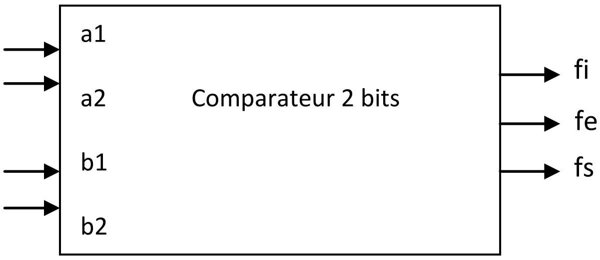
a) Equations logiques
- La sortie A =B (notée fe) : $A.B + \overline{A}.\overline{B}$
- La sortie A>B (noté fs) : $A.\overline{B}$
- La sortie A<B (noté fi) : $\overline{A}.B$



4.1.2 Comparateur à 2 bit :

Comparateur de deux nombres A et B codés chacun sur deux bits.

a) Schéma :
Les nombres A et B sont représentés sur deux bits : (a1, a2) et (b1, b2) respectivement.



b) Principe de fonctionnement
- A = B (fe = 1) si : a1 = b1 et a2 = b2
- A>B (fs = 1) si : a2 >b2, ou (a2 = b2 et a1>b1)
- A<B (fi = 1) si : a2 <b2, ou (a2 = b2 et a1<b1)

c) Table de vérité

a2	a1	b2	b1		fe	fs	fi
0	0	0	0		1	0	0
0	0	0	1		0	0	1
0	0	1	0		0	0	1
0	0	1	1		0	0	1
0	1	0	0		0	1	0
0	1	0	1		1	0	0
0	1	1	0		0	0	1
0	1	1	1		0	0	1
1	0	0	0		0	1	0
1	0	0	1		0	1	1
1	0	1	0		1	0	0
1	0	1	1		0	0	1
1	1	0	0		0	1	0
1	1	0	1		0	1	0
1	1	1	0		0	1	0
1	1	1	1		1	0	0

d) Equations logiques

$f_e = \overline{a_2 \oplus b_2} \,.\, \overline{a_1 \oplus b_1}.$

$f_s = a_2\bar{b}_2 + \overline{a_2 \oplus b_2} \,.\, a_1\bar{b}_1$

$f_i = \bar{a}_2 b_2 + \overline{a_2 \oplus b_2} \,.\, \bar{a}_1 b_1$

e) Logigramme :
Exercice d’application : Construire le logigramme simplifié de ce comparateur.

4.1.3 Applications

a) Fiche technique d’un circuit intégré de comparaison

Le circuit intégré étudie dans cette section est le SN54/74LS85 est un comparateur intégré à 4 bits, sa fiche technique délivrée par le constructeur est présentée sous le fichier : **sn54/74ls85.**

b) liste des circuits intégrés

Sur le tableau suivant, on cite quelques circuits intégrés qui assurent la fonction de comparaison.

référence	Fonction	Observation
74ALS518	8 bits magnitude comparator	TTL
74ALS519	8 bits magnitude comparator	TTL
74AHC85	4 bits magnitude comparator	TTL
74LS682, 683, 685	8 bits magnitude comparator	TTL
10166 (ECL)	5 bits magnitude comparator	ECL
4063 (CMOS)	4 bits magnitude comparator	CMOS
4585 (CMOS)	4 bits magnitude comparator	CMOS

4.2. Fonctions Arithmétiques

Les fonctions arithmétiques de base sont l'addition et la soustraction binaire.

4.2.1. Demi –additionneur

Soient les nombres A et B qu'on désire réaliser leur addition. Considérons (S) la somme sur un bit et (C) la retenue sur un bit.

Table de vérité :

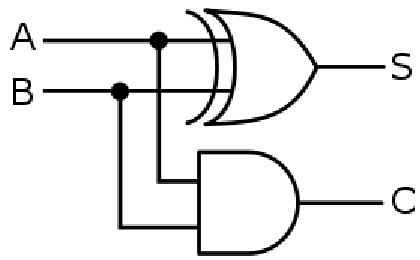
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Les équations de sortie :

$S = A \oplus B$,

$C = A.B$

Logigramme :



4.2.1. L'additionneur complet

L'additionneur complet réalise l'addition de deux bits : X_i, Y_i plus le report C_i, en produisant le bit de résultat S_i et le bit de report C_{i+1}.

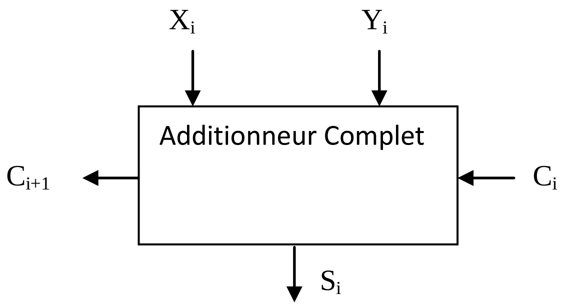


Table de vérité :

Xi	Yi	Ci	Ci+1	Si
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$Si = \overline{X}i\,\overline{Y}iCi + \overline{X}i\,Yi\overline{C}i + Xi\,\overline{Y}i\overline{C}i +.Xi\,YiCi$

$= \bar{X}i(\bar{Y}iCi + Yi\bar{C}i) + Xi(\bar{Y}i\bar{C}i + YiCi)$

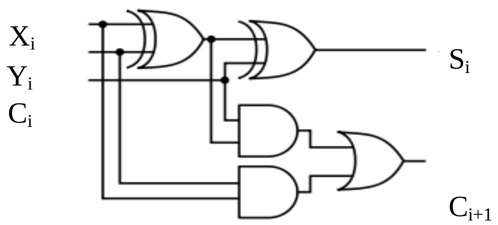
$= Xi \oplus Yi \oplus Ci$, sachant que : $\bar{Y}i\bar{C}i + YiCi = \overline{Xi \oplus Yi}$

$Ci + 1 = \overline{X}i\,YiCi + Xi\,\overline{Y}iCi + Xi\,Yi\overline{C}i +.Xi\,YiCi$

$= \overline{X}i\,YiCi + Xi\,\overline{Y}iCi + Xi\,Yi\,(\overline{C}i + Ci)$

$= \overline{X}i\,YiCi + Xi\,\overline{Y}iCi + Xi\,Yi\,(\overline{C}i + Ci)$

Logigramme :



4.2.2. Le soustracteur

Il n'y a pas de circuit soustracteur dans un processeur parce que l'on peut implémenter la soustraction à l'aide de l'additionneur avec quelques modifications. Pour ce faire, on exploite les propriétés du complément à 2 et le fait que le bit de poids faible de l'additionneur n'a pas de retenue d'entré.

En effet, effectuer X -Y en complément à 2, est équivalent à X + Y' + 1. Pour effectuer la deuxième addition (+1), il suffit d'injecter un 1 en guise de retenue dans l'additionneur de poids faible.

Demi-soustracteur un bit

La table de vérité d'un demi-soustracteur (ne tenant pas compte d'une éventuelle retenue provenant des bits de poids inférieurs) est la suivante :

Table de vérité :

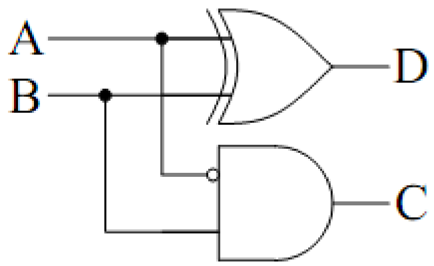
A	B	D	C
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Où (D) représente le résultat de la soustraction (A – B) et (C) la retenue. Les expressions logiques de (D) et (C) seront déduites à partir de la table de vérité :

$$D = \bar{A}.B + A.\bar{B}$$

$$C = \bar{A}.B$$

Schéma correspondant :


A
B
D
C