

Projet : IP UART + télémètre à ultrason

L'objectif de ce projet consiste à récupérer les données d'un ou plusieurs télémètres à ultrason sur le port série d'un PC à travers un FPGA avec une IP UART.

Le FPGA récupère les données du télémètre à ultrason et les envoie vers le PC avec une IP UART et le protocole série sur le port RS232 du PC. Le FPGA décode ses commandes afin de récupérer les données d'un ou plusieurs télémètres.

Les étapes de ce projet seront :

- Compréhension des transmissions séries asynchrones.
- Création de l'UART **Émission** et Test par simulation (l'émission est plus simple que la réception)
- Création de l'UART **Réception** et Test par simulation (la partie émission permet de tester facilement la partie Réception).
- Création d'un **Banc de Test** pour l'IP UART complète.
- Test de l'IP UART sur carte DE2 ou DE1.
- Création de l'IP qui permet de récupérer la mesure de distance d'un télémètre ultrason et Test par simulation.
- Test de l'IP télémètre ultrason sur carte DE2 ou DE1.
- Test du système complet par simulation avec un banc de test.
- Test sur carte DE1 ou DE2 du système complet.



Conception de l'UART

NB : on adoptera le format « N81 » : pas de parité, huit bits de données, 1 bit de stop avec un baud rate de 9600 bps.

Chercher sur internet le fonctionnement d'une liaison RS232 : transmission asynchrone.

Quelques conseils pour la partie emission :

- Écrire le code de l'émission de caractère. Ceci ne devrait pas poser de problème. Une machine d'état très simple suffit.
- Penser à construire un diviseur indépendant de la réception ! Il pourra fournir la période (baud rate) pour l'émission des bits. Écrire le diviseur de fréquence qui construit une impulsion au rythme d'un bit transmis.

- Simuler et tester cette partie.

Quelques conseils pour la partie réception :

- Penser à re-synchroniser l'entrée !
- Écrire le diviseur de fréquence qui construit une impulsion au rythme d'un demi-bit transmis. Pour 9600 bauds, sa fréquence doit être double. Ce diviseur doit pouvoir être remis à zéro par la machine d'états de réception (pour synchroniser sur le début de caractère).
- Écrire la Machine d'Etats de la réception UART. On peut par exemple coder les phases :
 - attente de début de caractère, et clear du diviseur sur la descente du signal d'entrée.
 - attente du premier demi-bit : Start
 - attente de huit bits de données
 - attente et vérification du bit de stop, impulsion de donnée disponible, et retour au début.
- Simuler et tester cette partie.

On pourra éventuellement tester cette partie en construisant une petite application qui guette l'arrivée d'un caractère, l'incrémente, et le renvoie à l'UART. Tester alors cette application sur la carte et avec un Terminal (Puty ou TeraTerm sur Windows et Screen ou Minicom sur Linux). Ceci valide les flux dans les deux sens.

Liste des étapes à valider :

1 / Test de la communication FPGA → PC, test de l'IP UART: A partir des switches de la carte DE2 ou DE1 (SW0 à SW7), envoyer des caractères sur le port série vers le PC et afficher-les dans un terminal.

Affichez les valeurs hexadécimales envoyées depuis le PC sur les afficheurs 7 segments de la carte DE2 ou DE1.

2/ Test de la récupération des données venant des télémètres ultrasons, test de l'IP télémètre US : Affichez la distance en cm du télémètre à ultrason sur les afficheurs 7 segments de la carte DE2 ou DE1.

3/ Test de la récupération de la mesure de distance du télémètre à ultrason sur le PC : connecter l'IP UART et l'IP télémètre US afin de vérifier que vous recevez bien sur le terminal du PC les données de distance du télémètre US.

4/ Récupération des données de plusieurs télémètres ultrason : écrire une machine à état qui permet de décoder les messages envoyés par le PC et ensuite envoi les différentes mesures des télémètres ultrasons.