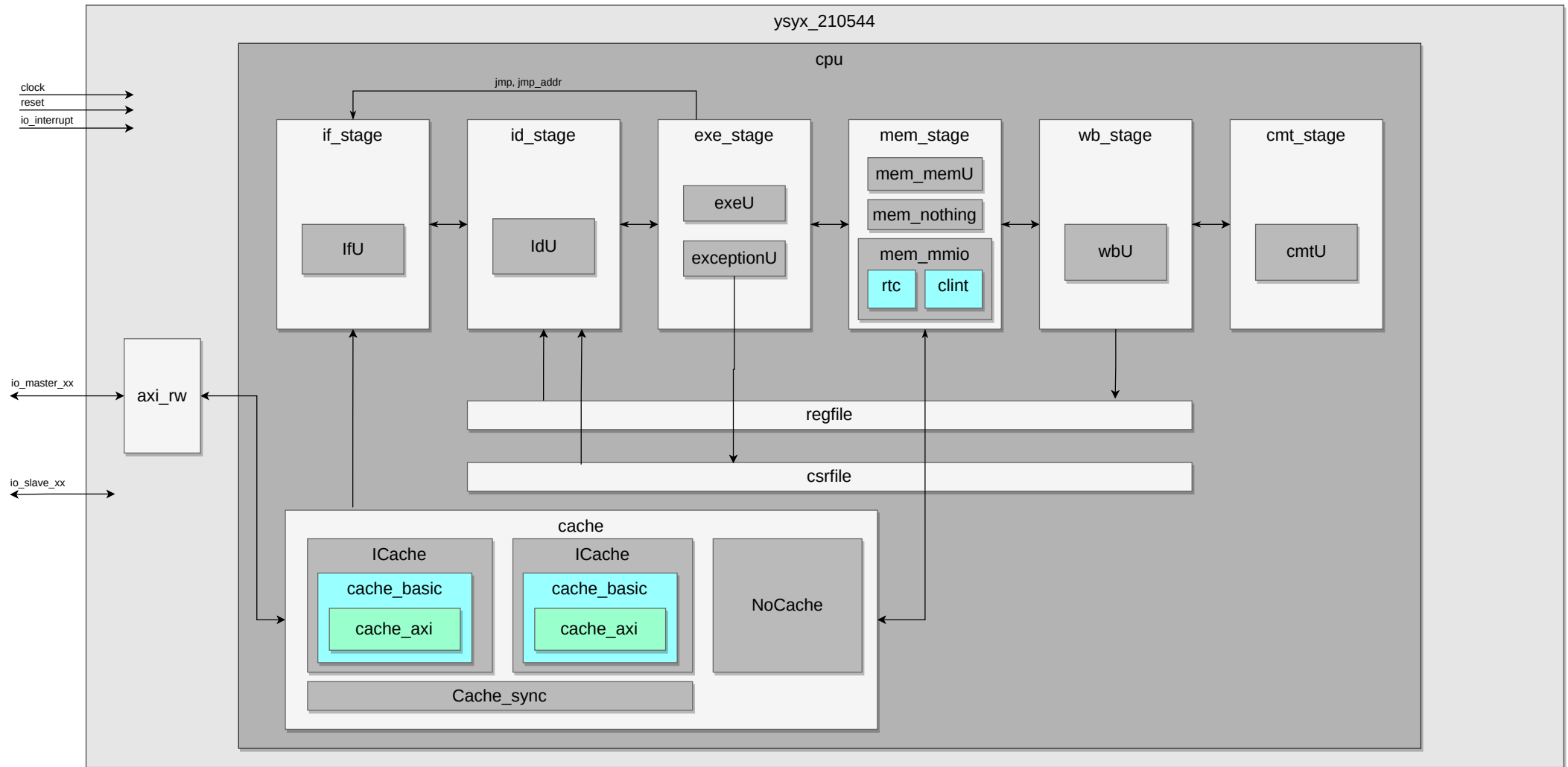


CPU Dataflow v1.0

by 210544 ZhengpuShi. Oct 04, 2021



module	含义
<code>ysyx_210544</code>	顶层模块
<code>cpu</code>	CPU内核
<code>axi_rw</code>	axi接口读写，最大512bit的读写支持。
<code>if_stage</code>	取指接口
<code>IfU</code>	取指功能模块
<code>id_stage</code>	译码接口
<code>IdU</code>	译码功能模块
<code>exe_stage</code>	执行接口
<code>exeU</code>	执行功能模块
<code>exceptionU</code>	异常处理功能模块
<code>wb_stage</code>	写回接口
<code>wbU</code>	写回功能模块
<code>cmt_stage</code>	提交接口
<code>cmtU</code>	提交功能模块

module	含义
<code>wb_stage</code>	写回接口
<code>wbU</code>	写回功能模块
<code>cmt_stage</code>	提交接口
<code>cmtU</code>	提交功能模块
<code>regfile</code>	寄存器文件
<code>csrfile</code>	csr寄存器文件
<code>cache</code>	cache主模块。将ICache/DCache或NoCache需求分别选通交与axi_rw。
<code>ICache</code>	是cache_core的例化
<code>DCache</code>	是cache_core的例化
<code>cache_core</code>	将不对齐的访问处理为1~2次 cache_basic 调用
<code>cache_basic</code>	一个基本的cache单元，4路16组，每组512bit，分4个RAM实现。每个data_array占用4KB；每个tag_array占用208Byte(=1664bit)。
<code>Cache_sync</code>	实现fencei逻辑，将DCache中的数据同步到ICache中
<code>NoCache</code>	不使用Cache而直接访问axi_rw接口