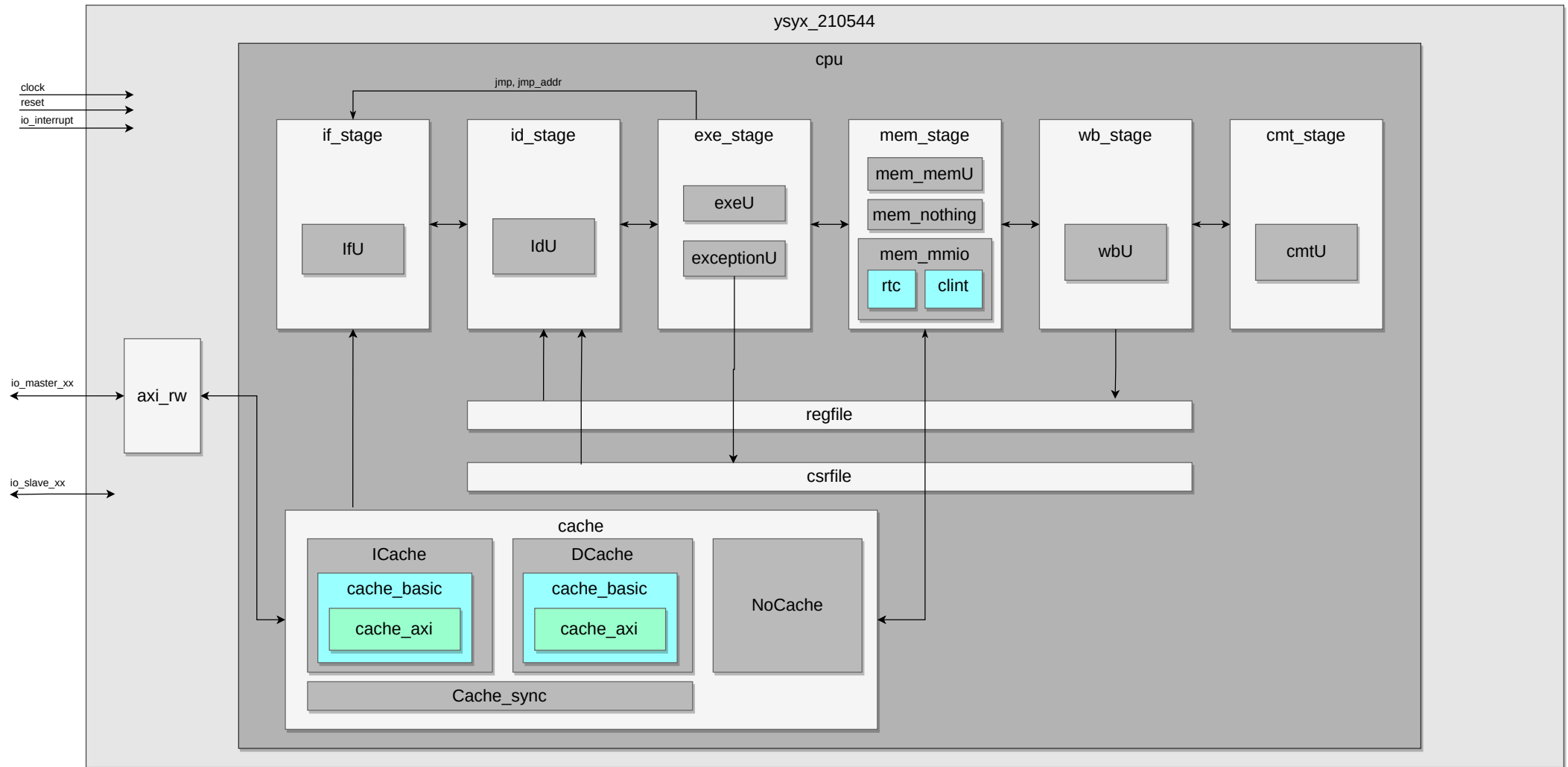


# CPU Dataflow v1.0

by 210544 ZhengpuShi. Oct 04, 2021



module	含义
ysyx_210544	顶层模块
cpu	CPU内核
axi_rw	axi接口读写，最大512bit的读写支持，burst传输或单次传输。
if_stage	取指接口
IfU	取指功能模块
id_stage	译码接口
IdU	译码功能模块
exe_stage	执行接口
exeU	执行功能模块
exceptionU	异常处理功能模块
mem_stage	访存接口
mem_memU	访存功能模块
mem_nothing	访存功能模块，仅握手
mem_mmio	内存映射功能模块
rtc	Real-Time-Clock模块
clint	支持包括clock中断在内的中断逻辑

module	含义
wb_stage	写回接口
wbU	写回功能模块
cmt_stage	提交接口
cmtU	提交功能模块
regfile	寄存器文件
csrfile	寄存器文件
cache	cache主模块。将ICache/DCache或NoCache需求分别选通交与axi_rw。
ICache	是cache_core的例化，表示指令缓存
DCache	是cache_core的例化，表示数据缓存
cache_core	将不对齐的访问处理为1~2次 cache_basic 调用
cache_basic	一个基本的cache单元，4路16组，每组512bit，分4个RAM实现。每个data_array占用4KB；每个tag_array占用208Byte(=1664bit)。
cache_axi	为cache而适配的512bit数据宽度的axi接口
Cache_sync	实现fencei逻辑，将DCache中的数据同步到ICache中
NoCache	不使用Cache而直接访问axi_rw接口