**北京科技大学数字逻辑实验报告**

学院： 专业： 班级：

姓名： 学号： 实验日期： 年 月 日

**1、实验名称：**实验二 组合逻辑实验

**2、实验目的：**

(1) 学习用verilog设计较复杂的组合逻辑电路

(2) 进一步熟悉vivado工具

**3、实验内容：**

1. **实验2.1——多路选择器**
   1. 新建工程，用3种描述方法分别实现1位2选1选择器，并撰写测试激励，对比3个选择器的输出是否一致；
   2. 用1位2选1搭建1位4选1选择器；并仿真测试；
   3. 用两种描述方法实现4位二选一选择器，并撰写测试激励，对比输出是否一致。
2. **实验2.2——7段数码管**

4个拨码开关控制1个数码管，选择板子上的4个拨码开关作为数据输入，选择板子上的1个数码管作为输出，将输入的4位二进制转换为16进制数输出显示到数码管。

1. **实验2.3——加法器实现及性能比较**

实现32位逐位进位加法器、32位选择进位加法器，并进行性能比较。

* 1. 学习课件中逐位进位加法器、选择进位加法器的原理；
  2. 新建工程，完成两种加法器的Verilog描述，其中**一位全加器**已经提供（**module add1**在add32\_tb.v文件中已定义）直接使用即可，两种加法器请都使用add1作为基本模块开始搭建；模块名称及端口定义如下：

module csadd32 (a,b,cin,s,cout); //选择进位加法器

module rcadd32 (a,b,cin,s,cout); //逐位进位加法器

* 1. 编写测试激励：可更改add32\_tb.v文件中激励产生代码，按照自己的思路产生测试数据，通过仿真验证加法器功能，并观察两种加法器的性能情况。

**实验步骤：**（详细的实验过程，可包括系统设计、RTL结构设计、源代码及注释等等，此红色文字在最终报告中删除）

4、**实验2.1（多路选择器）的实现及仿真验证**

（1）3种描述方法分别实现1位2选1选择器Verilog代码

（2）（1）的仿真波形及对比说明（在仿真波形图中标记出代表仿真正确的区域，并简要说明为什么这个结果是正确的）

（3）用1位2选1搭建1位4选1选择器的Verilog代码

（4）（3）的仿真波形及说明（在仿真波形图中标记出代表仿真正确的区域，并简要说明为什么这个结果是正确的）

（5）用两种描述方法实现4位二选一选择器的Verilog代码

（6）（5）的仿真波形及对比说明（在仿真波形图中标记出代表仿真正确的区域，并简要说明为什么这个结果是正确的）

5、**实验2.2（7段数码管）的实现及验证**

（1）系统输入输出信号定义（信号名称+中文描述+FPGA引脚选择）

（2）仿真波形及说明（如果没有写激励进行仿真，可以跳过这一步）

（3）板级测试验证

（给出下载到实验板后的现象照片。注意照片不要占篇幅太大，以能看清主要信息为好，每个图要有图名称，并有相应文字对图进行解释说明）

6、**实验2.3（加法器及性能比较）的实现及仿真验证**

（1）32位逐位进位加法器模块RTL分析结构图及说明

（2）32位选择进位加法器模块RTL分析结构图及说明（可以和（1）写在一起，则跳过本步骤）

（3）测试激励的设计（说明：测试方案，包括数据如何产生、测试哪些情况、如何判定结果是否正确、如何对比性能等等）

（4）仿真波形及说明（功能验证+性能对比）

**7、实验中遇到的问题、现象及解决方法（如没遇到可不写，帮助别人解决的也可以写）**

问题1：（截屏或拍照或文字描述）

现象：

问题原因：

解决方法：

问题2：

**9、本次实验心得体会**

（学到了什么，或理解了什么，或加深了什么的认识等）

**10、关于本次实验课程的改进建议**

（没有可以不写）

**11、附录：你所实现的各种32位加法器Verilog代码 + 测试激励代码（必答题）**