**实验名称：**实验四 状态机实验

**1、实验目的：**

本实验的目的是学习Moore型和Mealy型状态机的设计、状态机的编写以及在数字系统设计中的应用。

**2、实验内容：**

1. **实验4.1——设计Mealy状态机验证1101序列**：按照“5 Demo实验步骤——验证1101序列（Mealy型）”完成状态机的设计与仿真验证；
2. **实验4.2——设计Moore状态机验证1101序列**：按照“6 Demo实验步骤——验证1101序列（Moore型）”完成状态机的设计与仿真验证；
3. **实验4.3——验证10001序列**：修改源文件和仿真文件，**任选一种状态机**以检测序列10001，并进行仿真，验证设计的正确性。

**3、实验4.3系统设计**

（1）系统输入输出信号定义

输入信号：

Clk：时钟信号

Clr：异步置数信号

Din：序列输入信号

输出信号：

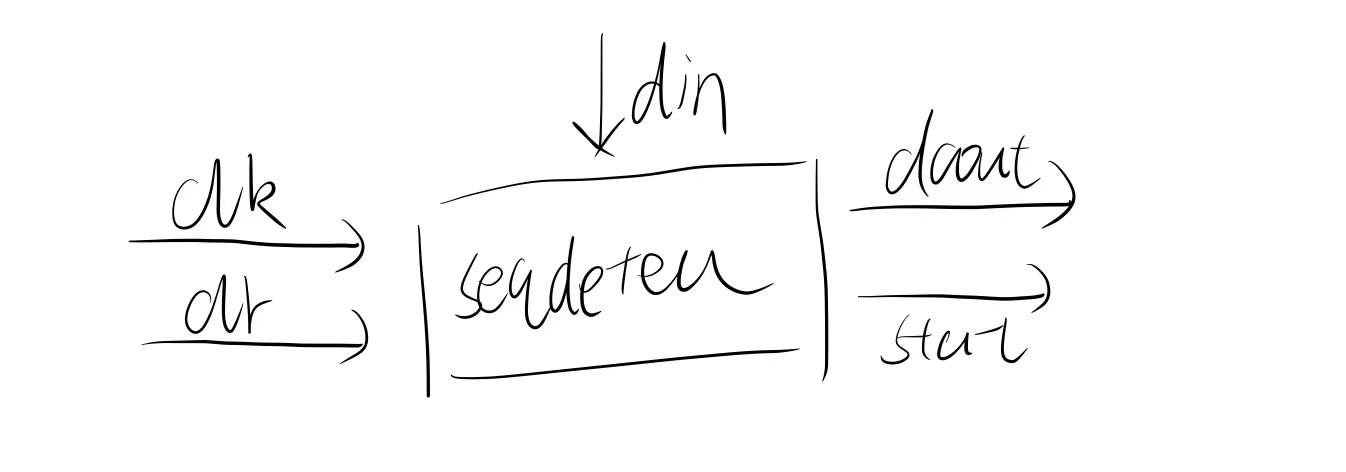
Dout：10001序列检测信号

Stat：当前状态查看信号

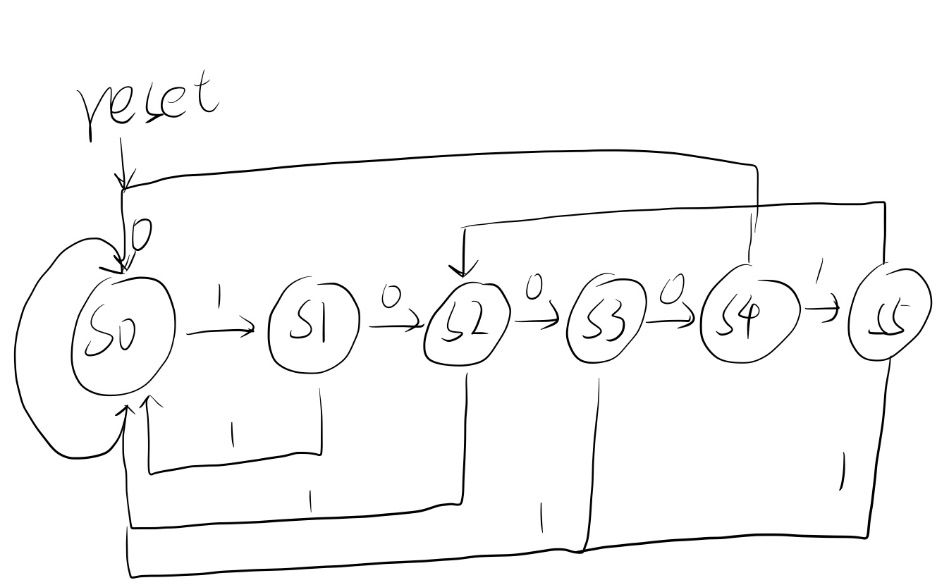
（2）系统行为描述

系统接受一系列01串序号输入用以检测10001，逐位检测每个字符，当前字符位符合时进入状态，检测到10001时dout为1，反之为0。

（3）系统级电路结构设计图



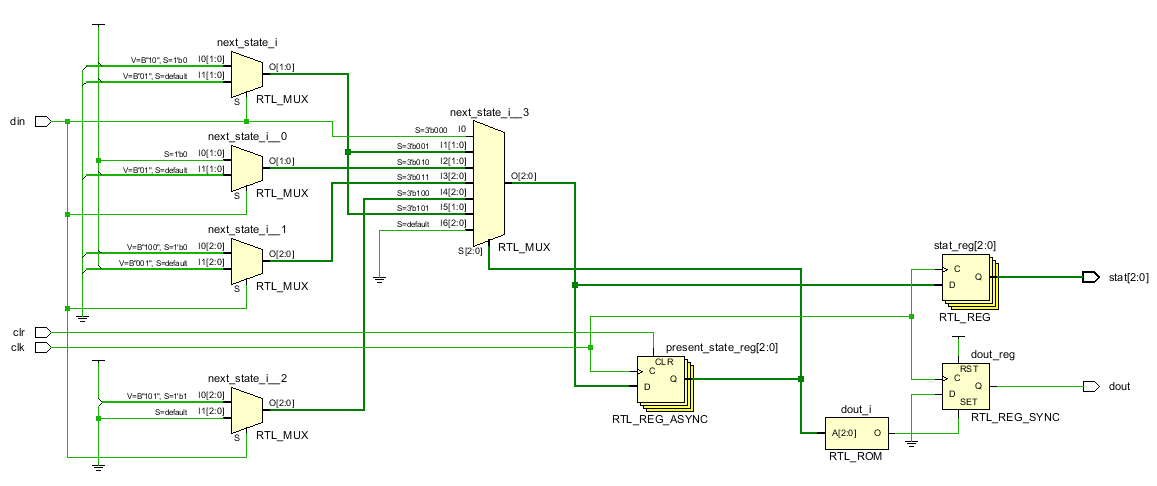
（4）状态机设计

****

共设计6个状态用以检测序列，逐位检测，符合时进入下一状态，S5为检测符合10001的状态。

**4、实验4.3实现**

（1）序列检测模块RTL电路结构图及说明



**5、实验4.3仿真验证**

（1）模块级仿真

测试方案设计说明

5位序列共计32中排列顺序，根据对每位逐位检测的原理可以得知，只需要检测下列5类10种情况：

00000 10000（第1位检测）

10000 11000（第2位检测）

10100 10000（第3位检测）

10010 10000（第4位检测）

10000 10001（第5位检测）

再将10种情况合并即可发现，只需检测6种情况：

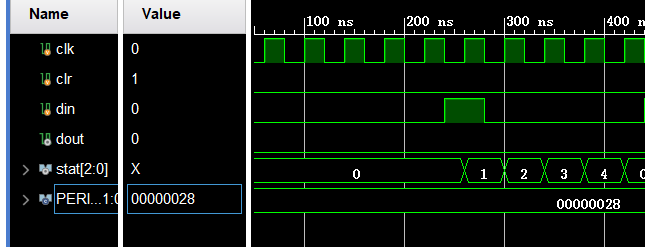
00000 10000

11000 10100

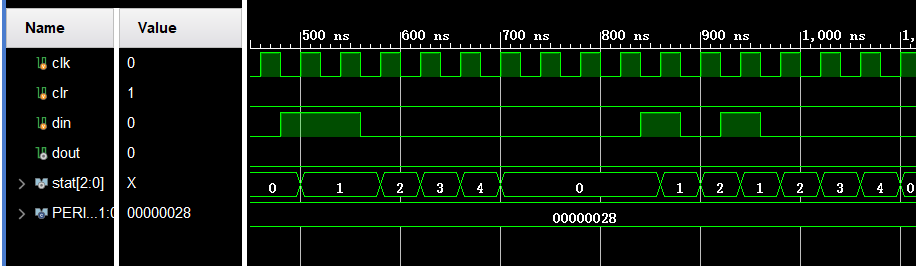
10010 10001

除了此6种状态外的26种状态都可以被退化为其中之一

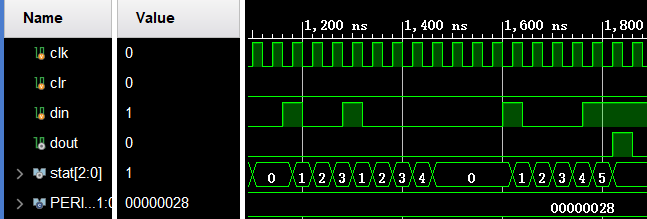
仿真结果及说明



检测00000和10000



检测11000和10100



检测10010和10001（遇到10001时dout输出1）

**6、实验中遇到的问题、现象及解决方法**

问题1：仿真报错

现象：[Vivado 12-4473] Detected error while running simulation. Please correct the…

问题原因：模块调用错误

解决方法：修改所调用的模块名

**7、本次实验心得体会**

通过本实验学习到了两种状态机的编写以及简单序列的检测，对数字逻辑状态机这一概念有了更深的了解，并且对状态机的实用有了一定实践经验。

**8、关于本次实验课程的改进建议**

无