

Chương 4: Giới thiệu phần cứng 8051

TS Nguyễn Hồng Quang



Electrical Engineering

1

4. Tổng quan

- 4.1 Giới thiệu về 8051
- 4.2 Kiến trúc hệ thống
- 4.3 Cấu trúc cổng I/O
- 4.5 Tổ chức bộ nhớ và giải mã địa chỉ



Electrical Engineering

2

4.1.1 Vi điều khiển 8051(microcontroller)

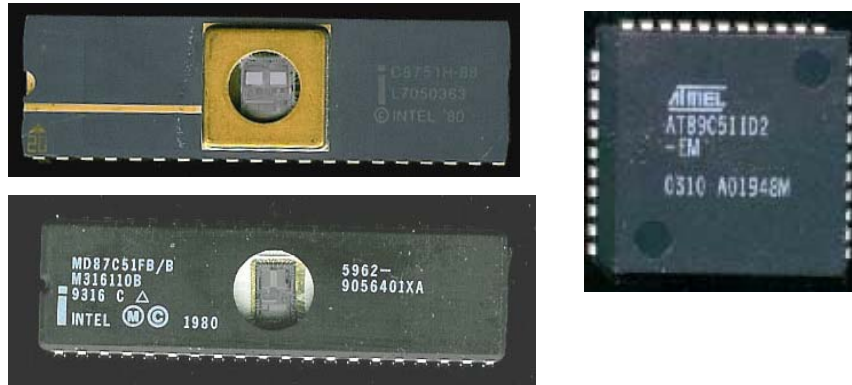
- 8031 do hãng Intel chế tạo
- 8051 có 4kbyte Flash Ram
- 89C51, 52 do hãng Intel chế tạo
- 87C51 do hãng Philip chế tạo
- 80515, 535 do hãng Siemens chế tạo



4.1.2 Vi điều khiển 89C51



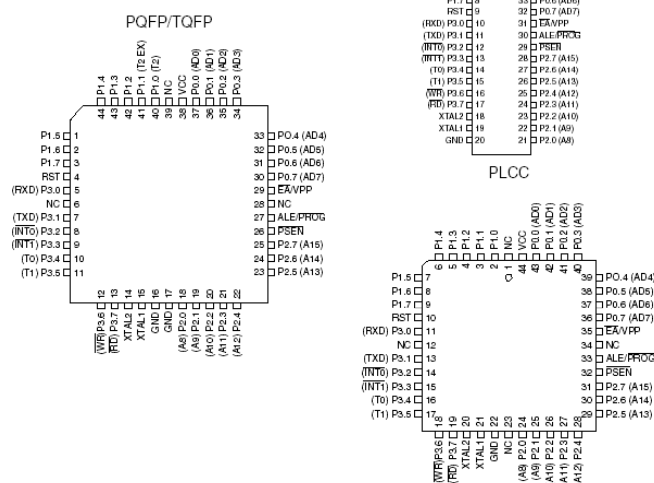
4.1.2 Hình ảnh họ 89



Electrical Engineering

5

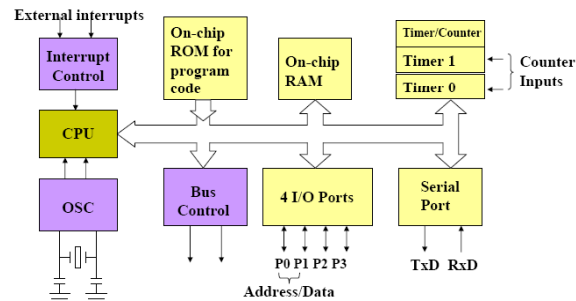
Pin Configurations



Electrical Engineering

6

4.2 Đặc điểm chung AT89C51/52



- Do hãng Atmel chế tạo
- 4K/8K byte Flash, 128 byte RAM
- 32 đường xuất nhập,
- Hai bộ định thời / bộ đếm 16 bit,
- 5 ngắt
- Một port nối tiếp song công
- Mạch dao động và tạo xung nhịp trên chip.



Electrical Engineering

7

4.2.1 Làm việc với 89C51

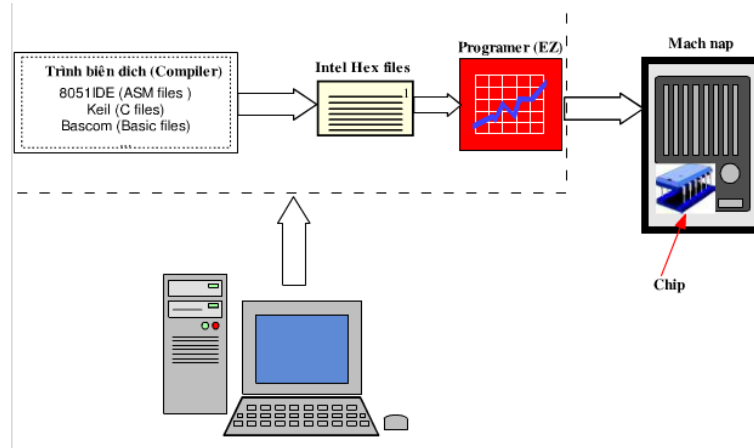
- Bộ nạp Flash RAM
 - 8051 programmer
- Chương trình dịch
 - Assembler AS5
 - Chương trình C: Keil, Read 51
- Phần mềm mô phỏng Proteus



Electrical Engineering

8

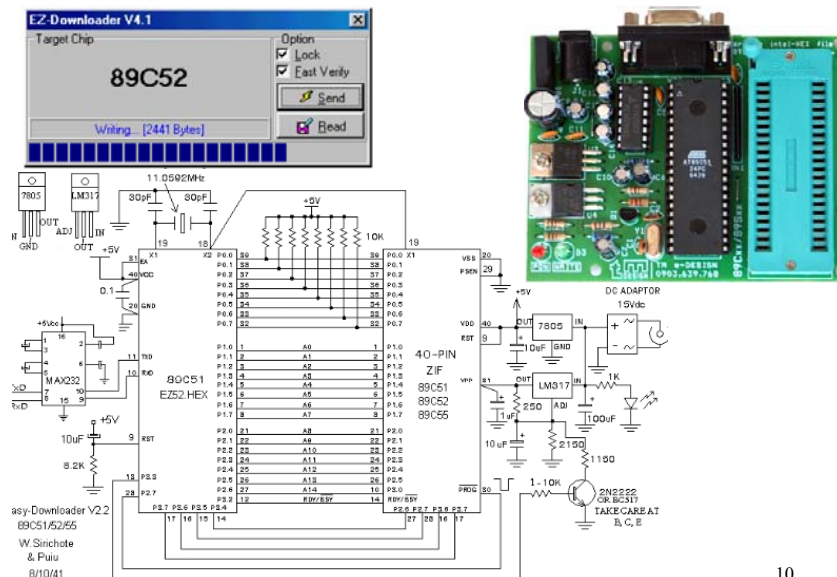
4.2.2 Flash programmer



Electrical Engineering

9

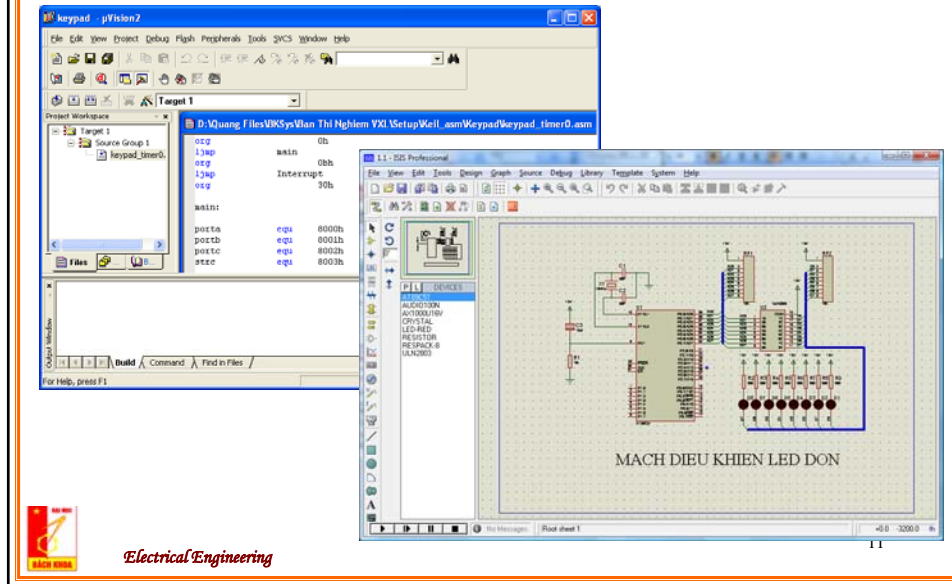
4.2.2 EZ downloader



Electrical Engineering

10

4.2.3 Compiler và Simulation



Electrical Engineering

4.3 Khối xử lý trung tâm CPU

CPU - Central Processing Unit

- Thanh ghi tích lũy (ký hiệu là A);
- Thanh ghi tích lũy phụ (ký hiệu là B) thường được dùng cho phép nhân và phép chia ;
- Khối logic số học (ALU=Arithmetic Logical Unit) ;
- Từ trạng thái chương trình (PSW= Program Status Word);
- Bốn băng thanh ghi (R0-R7).
- Con trỏ ngăn xếp (SP=Stack Point) cũng như con trỏ dữ liệu để định địa chỉ cho bộ nhớ dữ liệu ở bên ngoài;
- Thanh ghi đếm chương trình (PC= Program Counter);



Electrical Engineering

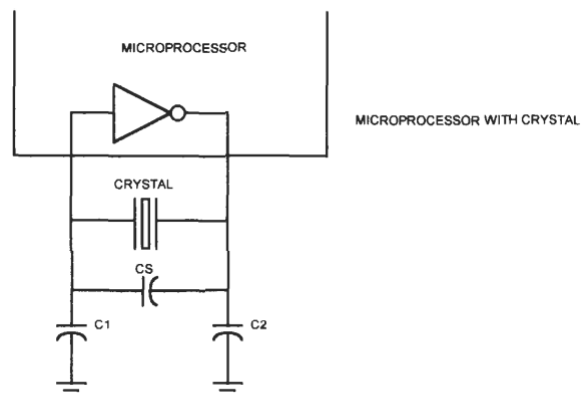
12

4.3.1 Các chân chính trong 8051

- **40 chân**
- **Vcc** Chân cung cấp điện, 5V DC, 40
- **GND** Chân nối đất, 0V, 20
- Chân thạch anh: 18, 19, dùng đồng hồ thạch anh với tần số lớn nhất là 24 Mhz



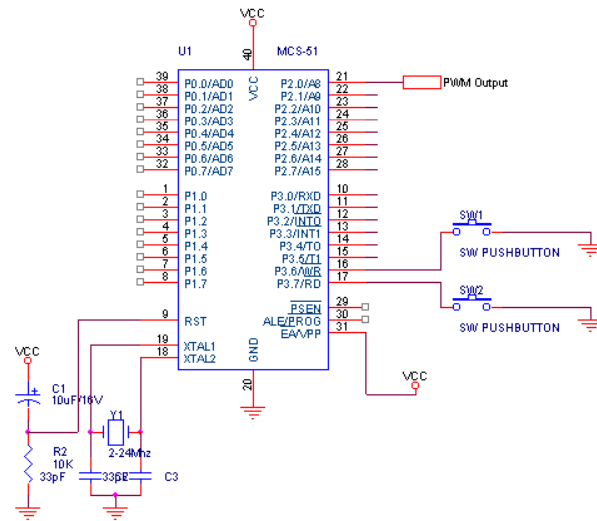
4.3.1 Thạch anh



12Mhz
11.0592 Mhz
8Mhz
24 MHz
3.96 Mhz

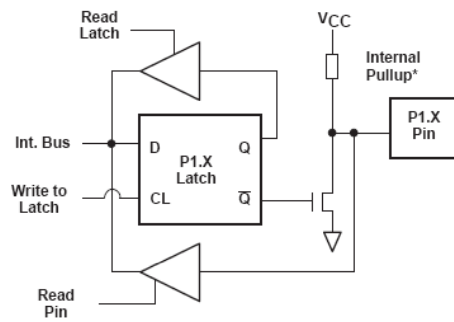


4.3.1 Ví dụ về Hardware



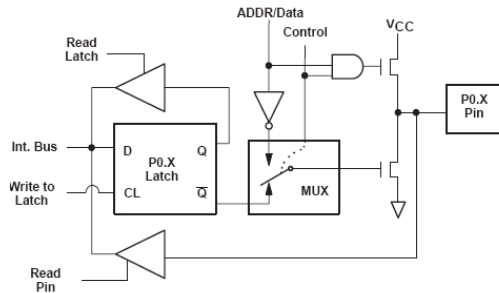
4.3.2 Các cổng vào ra

- 4 cổng, 32 bit vào ra
 - Port 0, 1, 2, 3
- Port 1
 - Chân 1 – 8 của 8051, ký hiệu P1.0, P1.1 .. P1.7
 - Dùng làm đường xuất và đường nhập, ghép nối với thiết bị ngoại vi



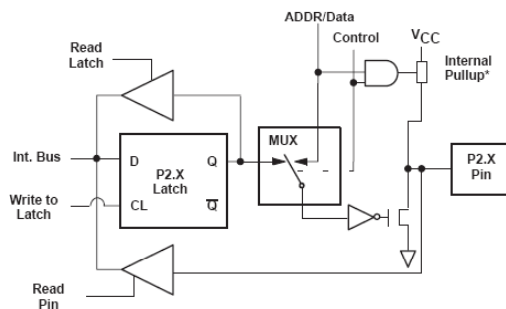
4.3.2 Các cổng vào ra(tiếp)

- Port 0 (chân 32-39) có 2 công dụng.
 - Dùng như nhiệm vụ xuất nhập
 - Khi ghép nối với thiết bị nhớ, port 0 trở thành bus địa chỉ và bus dữ liệu đa hợp
- byte thấp của bus địa chỉ nếu dùng địa chỉ



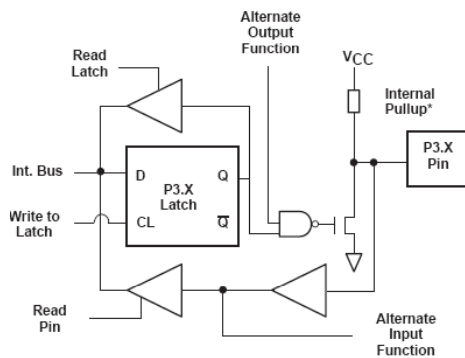
4.3.2 Các cổng vào ra (tiếp)

- Port 2 (chân 21-28) có 2 công dụng.
 - Dùng như nhiệm vụ xuất nhập
 - Khi ghép nối với thiết bị nhớ, port 2 trở thành bus địa chỉ
- byte cao của bus địa chỉ nếu dùng địa chỉ



4.3.2 Các cổng vào ra (tiếp)

- Port 3 (chân 10 – 17)
 - Có thể làm các chân vào ra trực tiếp
 - Tùy theo phần mềm có thể làm chức năng riêng



4.3.2 Port 3

- | | |
|--------|--|
| • P3.0 | RxD (ngõ vào cổng nối tiếp) |
| • P3.1 | TxD (Ngõ ra của port nối tiếp) |
| • P3.2 | (Ngõ vào ngắt ngoài 0) |
| • P3.3 | (Ngõ vào ngắt ngoài 1) |
| • P3.4 | T0 (Ngõ vào bên ngoài của bộ định thời) |
| • P3.5 | T1 (Ngõ vào bên ngoài của bộ định thời 1) |
| • P3.6 | (WR - Điều khiển ghi bộ nhớ dữ liệu ngoài) |
| • P3.7 | (RD Điều khiển đọc ghi bộ nhớ dữ liệu ngoài) |



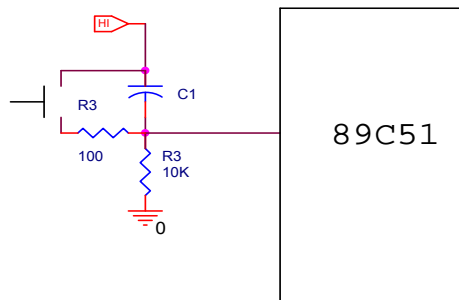
4.3.3 Các chân điều khiển

- PSEN
- ALE
- EA
- RESET



4.3.3 RESET

- Khởi động lại hệ thống
- Tích cực ở mức 1



REGISTER	RESET VALUE
PC	000H
ACC	00H
B	00H
PSW	00H
SP	07H
DPTR	0000H
P0-P3	FFH
IP	XX00000B
IE	0XX0000B
TMOD	00H
TCON	00H
TH0	00H
TL0	00H
TH1	00H
TL1	00H
SCON	00H
SBUF	Indeterminate
PCON (NMOS)	0XXXXXXB
PCON (CMOS)	0XX0000B

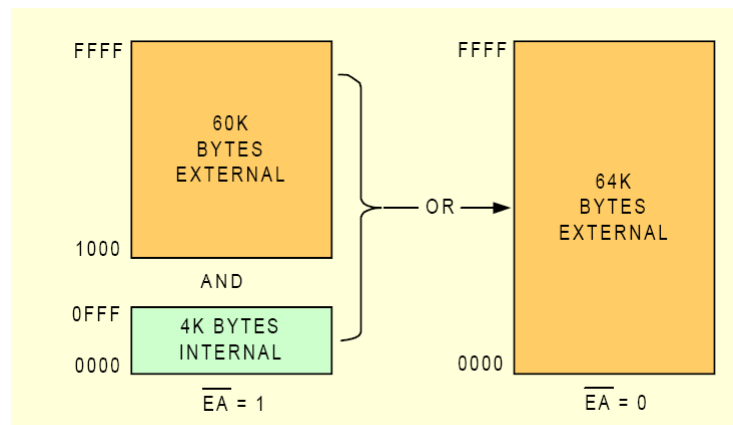


4.3.3 EA

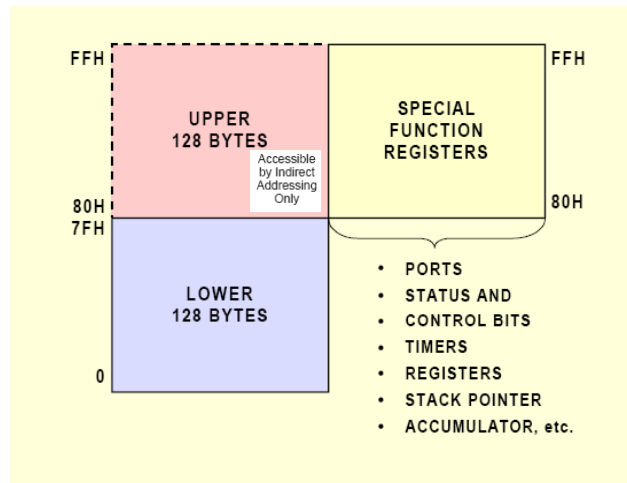
- Chân 31, cần điều khiển bằng người thiết kế
- $EA = 1$, thực hiện chương trình trong ROM nội
- $EA = 0$, thực hiện chương trình ROM ngoài



4.4 Kết cấu bộ nhớ chương trình 8051



4.4.1 Bộ nhớ RAM trong

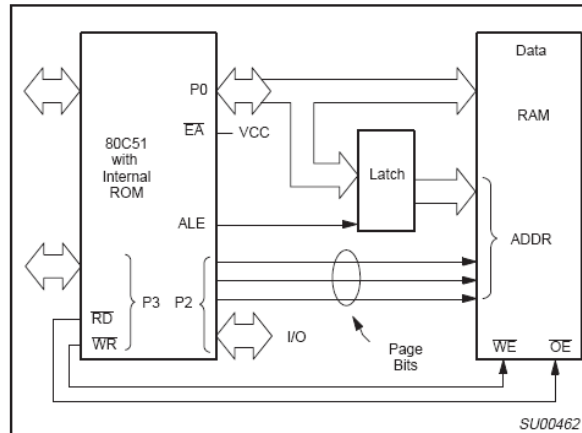


4.4.2 Ghép nối bộ nhớ (vào ra) ngoài

- Ghép nối thiết bị vào ra ngoài
 - Khi giới hạn bởi số cổng vào ra
 - Khi dung lượng nhớ bổ xung thêm
- Về lý thuyết, 8051 có thể có
 - 64k bộ nhớ chương trình (code memory)
 - 64K bộ nhớ dữ liệu
- Việc ghép nối bộ nhớ liên quan tới việc sử dụng tín hiệu địa chỉ để tạo ra tín hiệu chọn chip CE
- Chân PSEN sử dụng cho vùng nhớ chương trình
- Đường RD, WR cho vùng nhớ dữ liệu
- EA = Vcc dùng cho - on chip code rom
- EA = GND dùng vùng nhớ ngoài



4.4.2 Ví dụ ghép nối bộ nhớ RAM



4.4.2 PSEN (program store enable)

- Điều khiển bởi 8051
- Cho phép truy xuất bộ nhớ chương trình ngoài
- Thường nối với chân OE (output enable) của EPROM
- Bình thường PSEN ở mức 1



4.4.3 Nguyên tắc chung giải mã địa chỉ

- Bộ nhớ và các thiết bị ngoại vi đều có đường điều khiển ghép nối với vi xử lý
 - CS, CE : chip select or chip enable
- Đường này kết hợp với tín hiệu giải mã từ vi điều khiển
- Thường là tích cực thấp
- Thương thì tín hiệu đọc RD được nối với chân OE : output enable
- Trong bộ nhớ RAM thì thêm tín hiệu WR : write enable
- Tín hiệu RD, WD đều được điều khiển bằng Vi xử lý

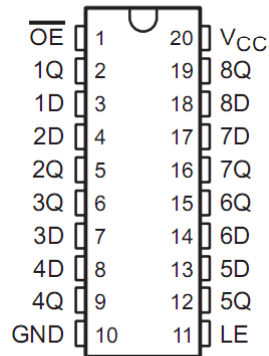


4.4.3 ALE (address latch enable)

- Chân 30, cung cấp bởi 8051
- Cho phép chốt địa chỉ và dữ liệu, giải mã bus địa chỉ và bus dữ liệu
- $ALE = 1$, dữ liệu
- $ALE = 0$, địa chỉ thấp

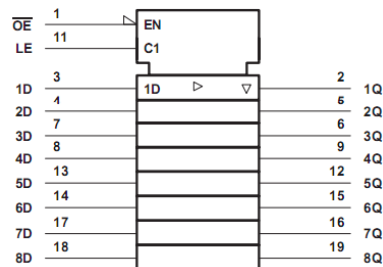


4.4.3 74HC373



FUNCTION TABLE
(each latch)

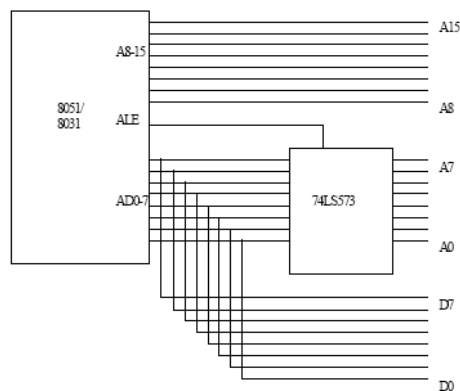
INPUTS			OUTPUT
OE	LE	D	Q
L	H	H	H
L	H	L	L
L	L	X	Q ₀
H	X	X	Z



Electrical Engineering

31

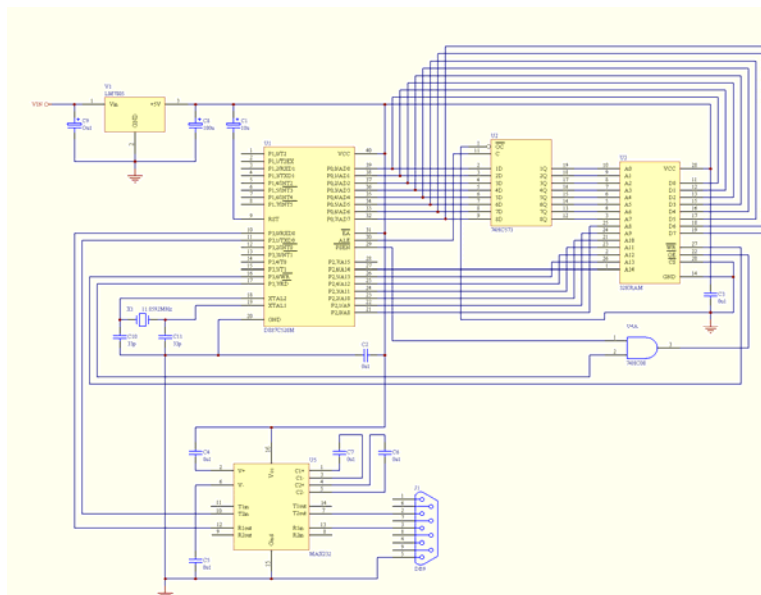
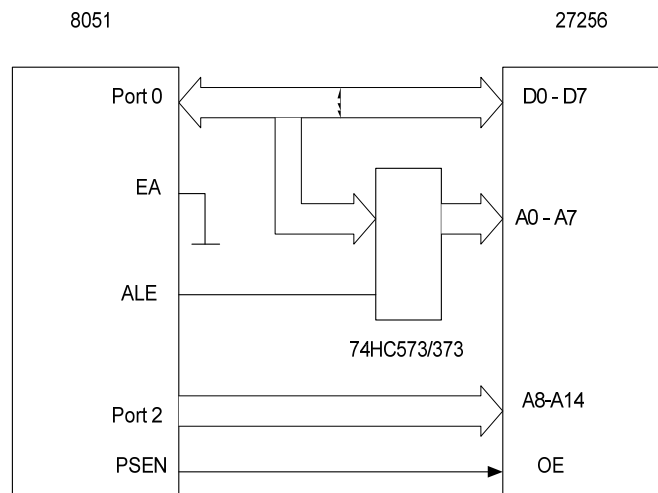
4.4.3 Sử dụng ALE trong thực tế



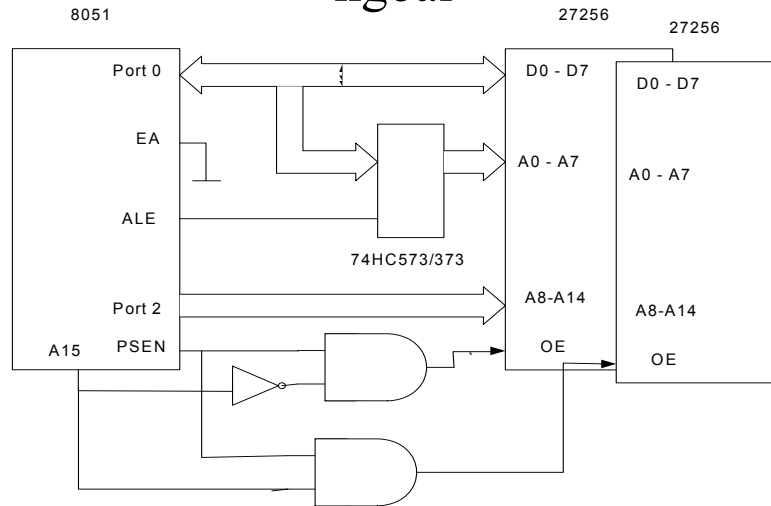
Electrical Engineering

32

4.4.4 Truy xuất bộ nhớ ngoài



4.4.4 Giải mã địa chỉ với RAM ngoài



Electrical Engineering

35

4.4.4 Ví dụ 4K Rom ngoài tại địa chỉ 1000

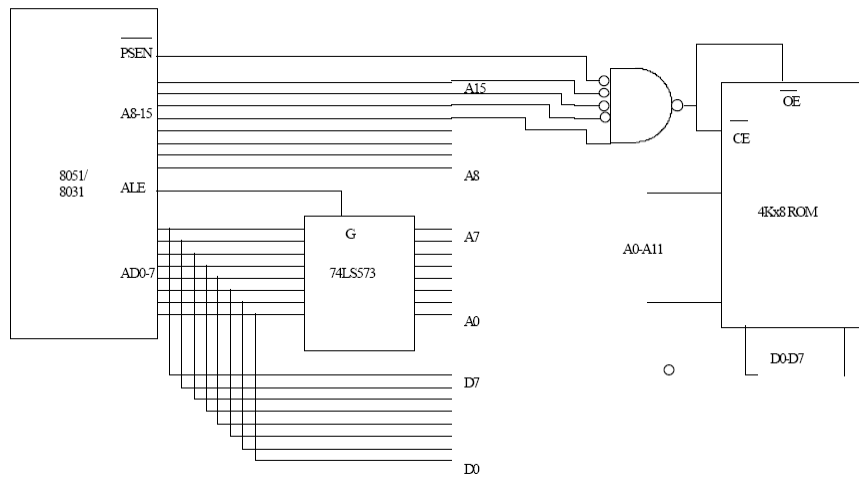
- 1000H = 0001 0000 0000 0000b
- 4 đường địa chỉ liên qua chính là
– A15, A14, A13, A12
- Mục tiêu
- Thiết kế mạch lô gic tạo ra tín hiệu tích cực thấp khi $[A15:A12] = 0001$ and $PSEN=0$
- Địa chỉ là 1000H to 1FFFH



Electrical Engineering

36

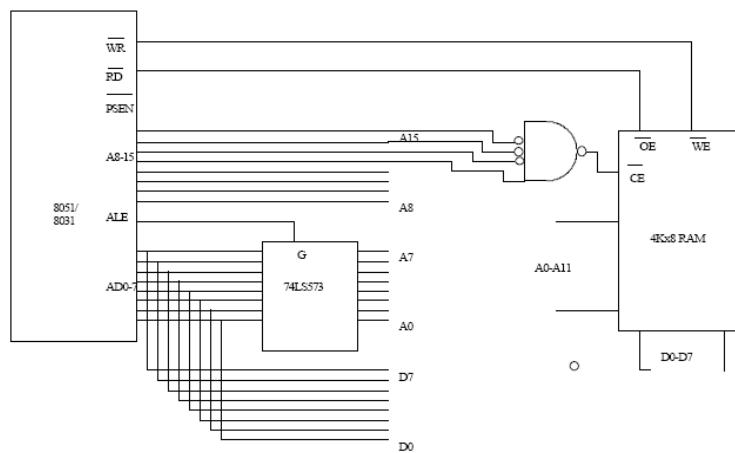
4.4.4 Sơ đồ ROM ngoài



Electrical Engineering

37

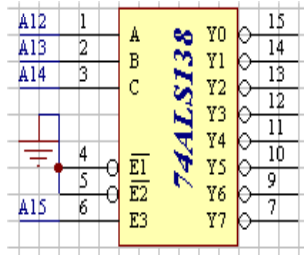
4.4.4 Sơ đồ 4K Ram ngoài tại 1000H



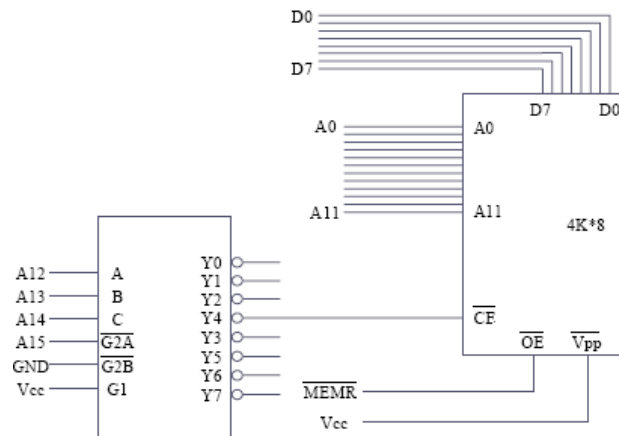
Electrical Engineering

38

4.4.4 Vi mạch 74LS138

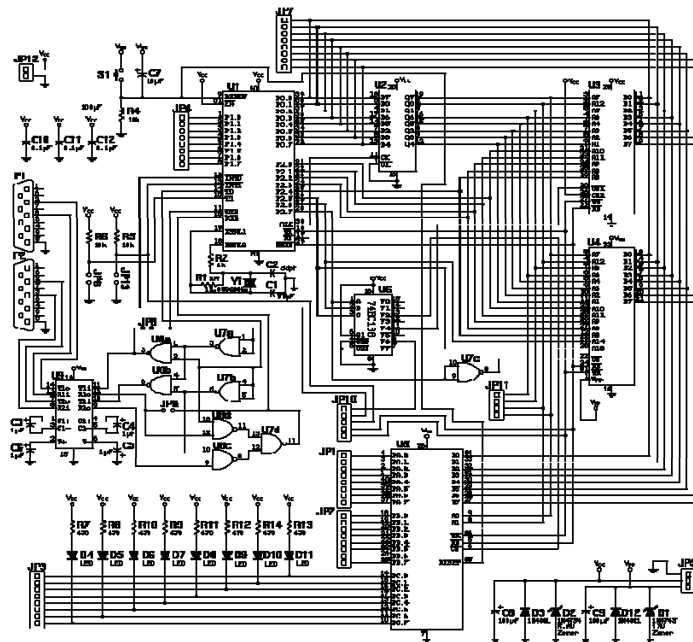


4.4.4 Tìm địa chỉ của Y4, Y7



Electrical Engineering

41



Electrical Engineering

42

Bài tập 1: Ghép nối mạch thực tế có Rom, RAM

Bộ nhớ chương trình 8K ROM chia làm hai vùng:

- ROM trong (On-chip) có địa chỉ vật lý: $0000H \div 0FFFH$.
- ROM ngoài (2732) có địa chỉ vật lý: $1000H \div 1FFFH$.
- Bộ nhớ dữ liệu được mở rộng thêm 32K RAM ngoài có địa chỉ vật lý: $2000H \div 9FFFH$.
- Mạch ghép nối vào/ ra sử dụng IC 8255 với địa chỉ của từng cấu hình như sau:
 - Địa chỉ cổng PA: A000H
 - Địa chỉ cổng PB: A001H
 - Địa chỉ cổng PC: A002H
 - Địa chỉ của từ điều khiển PSW: A003H



Bài tập 2

Sử dụng 1 vi mạch 74138 và các cổng cần thiết để thiết kế mạch giải mã địa chỉ tạo ra các tín hiệu chọn chip tương ứng các vùng địa chỉ sau:

Tín hiệu chọn chip	Vùng địa chỉ	Đặc tính truy xuất
$\overline{CS0}$	0000H - 3FFFH	\overline{PSEN}
$\overline{CS1}$	4000H - 7FFFH	\overline{PSEN}
$\overline{CS2}$	6000H - 7FFFH	$\overline{RD}, \overline{WR}$
$\overline{CS3}$	8000H - 87FFFH	\overline{RD}
$\overline{CS4}$	8800H - 8FFFFH	\overline{WR}

