

## ☀ CHƯƠNG 8 : BIẾN ĐỔI AD & DA

### ⊕ BẾN ĐỔI SỐ - TƯƠNG TỰ (DAC)

- ◆ DAC dùng mạng điện trở có trọng lượng khác nhau
  - ◆ DAC dùng mạng điện trở hình thang
- ◆ DAC dùng nguồn dòng có trọng lượng khác nhau
  - ◆ Đặc tính kỹ thuật của DAC

### ⊕ BIẾN ĐỔI TƯƠNG TỰ - SỐ (ADC)

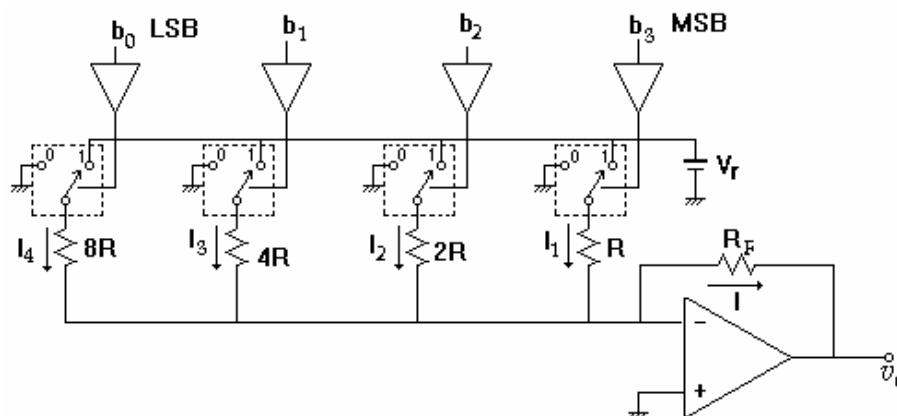
- ◆ Mạch lấy mẫu và giữ
- ◆ Nguyên tắc mạch ADC
- ◆ ADC dùng điện thế tham chiếu nấc thang
  - ◆ ADC gần đúng kế tiếp
    - ◆ ADC dốc đơn
    - ◆ ADC tích phân
    - ◆ ADC lưỡng cực
    - ◆ ADC song song

Có thể nói sự biến đổi qua lại giữa các tín hiệu từ dạng tương tự sang dạng số là cần thiết vì:

- Hệ thống số xử lý tín hiệu số mà tín hiệu trong tự nhiên là tín hiệu tương tự: cần thiết có mạch đổi tương tự sang số.
- Kết quả từ các hệ thống số là các đại lượng số: cần thiết phải đổi thành tín hiệu tương tự để có thể tác động vào các hệ thống vật lý và thể hiện ra bên ngoài (thí dụ tái tạo âm thanh hay hình ảnh) hay dùng vào việc điều khiển sau đó (thí dụ dùng điện thế tương tự để điều khiển vận tốc động cơ)

## 8.1. Biến đổi số - tương tự (digital to analog converter, ADC)

### 8.1.1 Mạch biến đổi DAC dùng mạng điện trở có trọng lượng khác nhau (Weighted resistor network)



(H 8.1)

Trong mạch trên, nếu thay OP-AMP bởi một điện trở tải, ta có tín hiệu ra là dòng điện. Như vậy OP-AMP giữ vai trò biến dòng điện ra thành điện thế ra, đồng thời nó là một mạch cộng

$$\begin{aligned} \text{Ta có } v_0 &= -R_F \cdot I = -(2^3 b_3 + 2^2 b_2 + 2b_1 + b_0) V_r \cdot R_F / 2^3 R \\ &= -(2^{n-1} b_{n-1} + 2^{n-2} b_{n-2} + \dots + 2b_1 + b_0) V_r \cdot R_F / 2^{n-1} \cdot R \end{aligned}$$

Nếu  $R_F = R$  thì:

$$v_0 = -(2^{n-1} b_{n-1} + 2^{n-2} b_{n-2} + \dots + 2b_1 + b_0) V_r / 2^{n-1}.$$

Thí dụ:

- 1/ Khi số nhị phân là 0000 thì  $v_0 = 0$   
1111 thì  $v_0 = -15V_r / 8$
- 2/ Với  $V_r = 5V$ ;  $R = R_F = 1k\Omega$

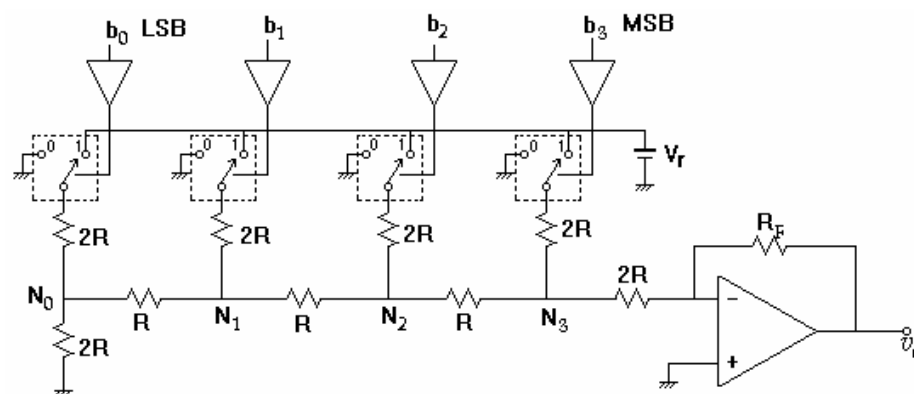
Ta có kết quả chuyển đổi như sau:

$b_3$	$b_2$	$b_1$	$b_0$	$v_0$ (V)
0	0	0	0	0
0	0	0	1	-0,625 ← LSB
0	0	1	0	-1,250
0	0	1	1	-1,875
0	1	0	0	-2,500
0	1	0	1	-3,125
0	1	1	0	-3,750
0	1	1	1	-4,375
1	0	0	0	-5,000
1	0	0	1	-5,625
1	0	1	0	-6,250
1	0	1	1	-6,875
1	1	0	0	-7,500
1	1	0	1	-8,125
1	1	1	0	-8,750
1	1	1	1	-9,375 ← Full Scale ( $V_{FS}$ )

Mạch có một số hạn chế:

- Sự chính xác tùy thuộc vào điện trở và mức độ ổn định của nguồn tham chiếu  $V_r$
- Với số nhị phân nhiều bit thì cần các điện trở có giá trị rất lớn, khó thực hiện.

### 8.1.2 Mạch đổi DAC dùng mạng điện trở hình thang



(H 8.2)

Cho  $R_F = 2R$  và lần lượt

Cho  $b_3 = 1$  các bit khác = 0, ta được:  $v_0 = -8(V_r / 24)$

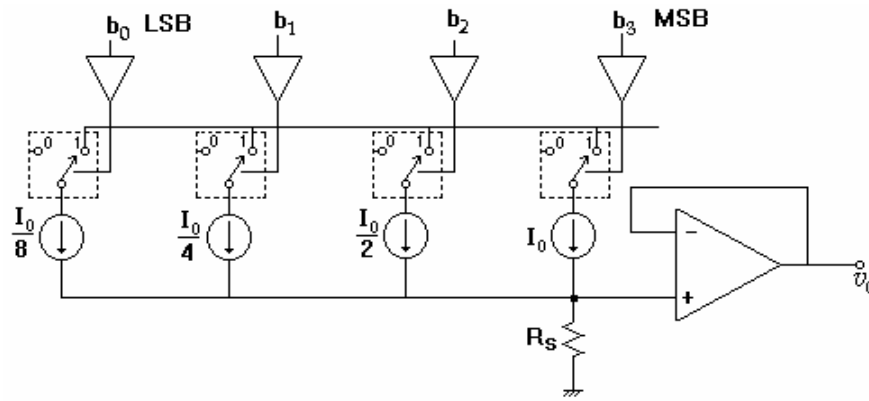
Cho  $b_2 = 1$  các bit khác = 0, ta được:  $v_0 = -4(V_r / 24)$

Cho  $b_1 = 1$  các bit khác = 0, ta được:  $v_0 = -2(V_r / 24)$

Cho  $b_0 = 1$  các bit khác = 0, ta được:  $v_0 = -(V_r / 24)$

Ta thấy  $v_0$  tỉ lệ với giá trị B của tổ hợp bit  $B = (b_3 b_2 b_1 b_0)_2 \Rightarrow v_0 = -B(V_r / 24)$

### 8.1.3 Mạch đổi DAC dùng nguồn dòng có trọng lượng khác nhau



(H 8.3)

### 8.1.4 Đặc tính kỹ thuật của mạch đổi DAC

#### 8.1.4.1. Bit có ý nghĩa thấp nhất (LSB) và bit có ý nghĩa cao nhất (MSB)

Qua các mạch biến đổi DAC kể trên ta thấy vị trí khác nhau của các bit trong số nhị phân cho giá trị biến đổi khác nhau, nói cách khác trị biến đổi của một bit tùy thuộc vào trọng lượng của bit đó.

Nếu ta gọi trị toàn giai là  $V_{FS}$  thì bit LSB có giá trị là:

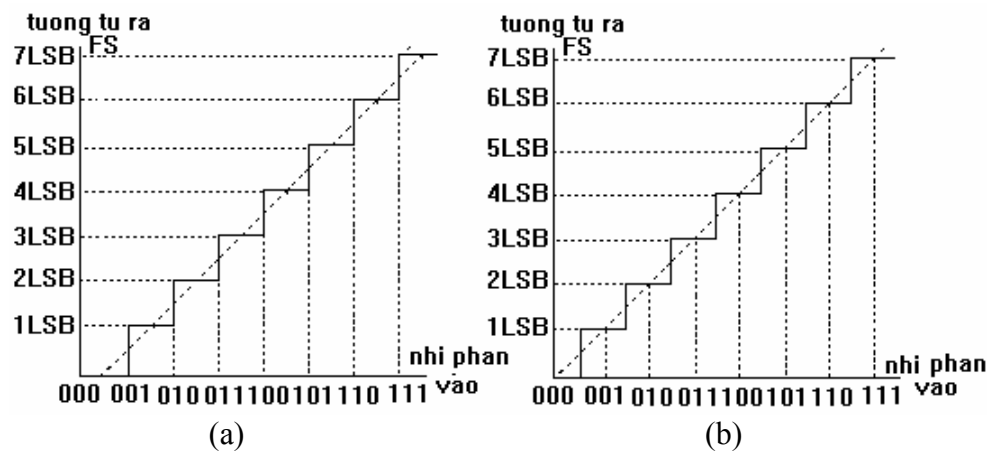
$$\text{LSB} = V_{FS} / (2^n - 1)$$

và bit

$$\text{MSB} = V_{FS} \cdot 2^{n-1} / (2^n - 1)$$

Điều này được thể hiện trong kết quả của thí dụ 2 ở trên.

(H 8.4) là đặc tuyến chuyển đổi của một số nhị phân 3 bit



(H 8.4)

(H 8.4a) là đặc tuyến lý tưởng, tuy nhiên, trong thực tế để đường trung bình của đặc tính chuyển đổi đi qua điểm 0 điện thế tương tự ra được làm lệch  $(1/2)\text{LSB}$  (H 8.4b). Như vậy điện thế tương tự ra được xem như thay đổi ở ngay giữa hai mã số nhị phân vào kế nhau. Thí

dụ khi mã số nhị phân vào là 000 thì điện thế tương tự ra là 0 và điện thế tương tự ra sẽ lên nấc kế 000+(1/2)LSB rồi nấc kế tiếp ở 001+(1/2)LSB.v.v....Trị tương tự ra ứng với 001 gọi tắt là 1LSB và trị toàn giai  $V_{FS} = 7\text{LSB}$  tương ứng với số 111

#### 8.1.4.2 Sai số nguyên lượng hóa (quantization error)

Trong sự biến đổi, ta thấy ứng với một giá trị nhị phân vào, ta có một khoảng điện thế tương tự ra. Như vậy có một sai số trong biến đổi gọi là sai số nguyên lượng hóa và  $= (1/2)\text{LSB}$

#### 8.1.4.3. Độ phân giải (resolution)

Độ phân giải được hiểu là giá trị thay đổi nhỏ nhất của tín hiệu tương tự ra có thể có khi số nhị phân vào thay đổi. Độ phân giải còn được gọi là trị bước (step size) và bằng trọng lượng bit LSB.

Số nhị phân n bit có  $2^n$  giá trị và  $2^n - 1$  bước

Hiệu thế tương tự ra xác định bởi  $v_0 = k.(B)_2$

Trong đó k chính là độ phân giải và  $(B)_2$  là số nhị phân

Người ta thường tính phần trăm phân giải:

$$\%res = (k / V_{FS})100 \%$$

Với số nhị phân n bit

$$\%res = [1 / (2^n - 1)]100 \%$$

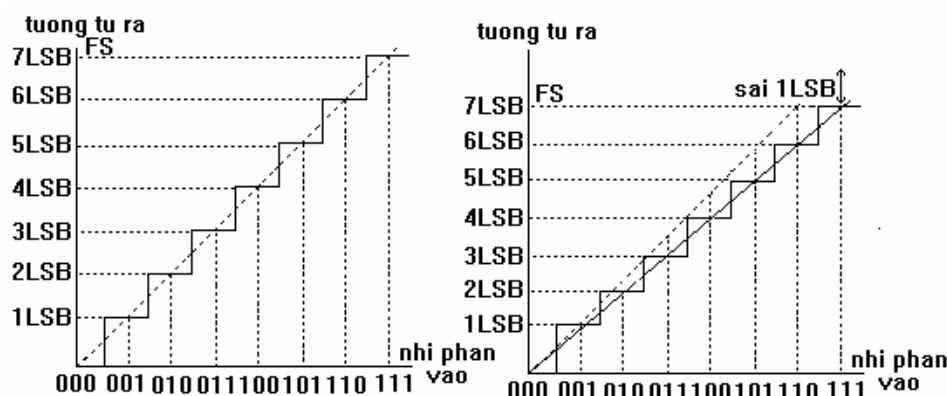
Các nhà sản xuất thường dùng số bit của số nhị phân có thể được biến đổi để chỉ độ phân giải. Số bit càng lớn thì độ phân giải càng cao (finer resolution)

#### 8.1.4.4. Độ tuyến tính (linearity)

Khi điện thế tương tự ra thay đổi đều với số nhị phân vào ta nói mạch biến đổi có tính tuyến tính

#### 8.1.4.5. Độ đúng (accuracy)

Độ đúng (còn gọi là độ chính xác) tuyệt đối của một DAC là hiệu số giữa điện thế tương tự ra và điện thế ra lý thuyết tương ứng với mã số nhị phân vào. Hai số nhị phân kế nhau phải cho ra hai điện thế tương tự khác nhau đúng 1LSB, nếu không mạch có thể tuyến tính nhưng không đúng (H 8.5)



a/ Tuyến tính

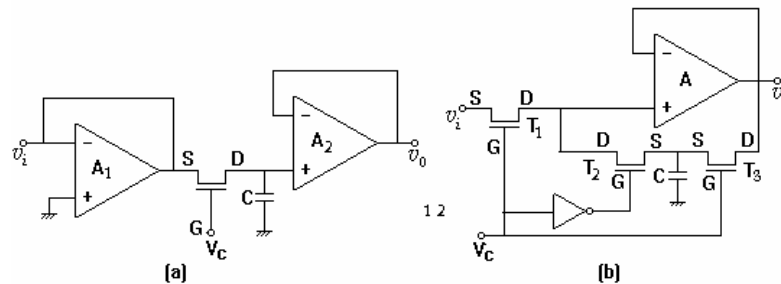
b/ Tuyến tính nhưng không đúng  
(H 8.5)

## 8.2. Biến đổi tương tự - số (analog to digital converter, ADC)

### 8.2.1 Mạch lấy mẫu và giữ (sample and hold)

Để biến đổi một tín hiệu tương tự sang tín hiệu số, người ta không thể biến đổi mọi giá trị của tín hiệu tương tự mà chỉ có thể biến đổi một số giá trị cụ thể bằng cách **lấy mẫu** tín hiệu đó theo một chu kỳ xác định nhờ một tín hiệu có dạng xung. Ngoài ra, mạch biến đổi cần một khoảng thời gian cụ thể (khoảng  $1\mu\text{s} - 1\text{ms}$ ) do đó **cần giữ mức tín hiệu** biến đổi trong khoảng thời gian này để mạch có thể thực hiện việc biến đổi chính xác. Đó là nhiệm vụ của mạch lấy mẫu và giữ.

(H 8.6) là dạng mạch lấy mẫu và giữ cơ bản: Điện thế tương tự cần biến đổi được lấy mẫu trong thời gian rất ngắn do tụ nạp điện nhanh qua tổng trở ra thấp của OP-AMP khi các transistor dẫn và giữ giá trị này trong khoảng thời gian transistor ngưng (tụ phóng rất chậm qua tổng trở vào rất lớn của OP-AMP)

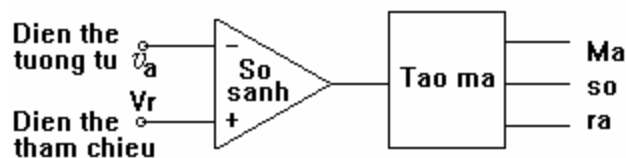


(H 8.6)

### 8.2.2 Nguyên tắc mạch biến đổi ADC

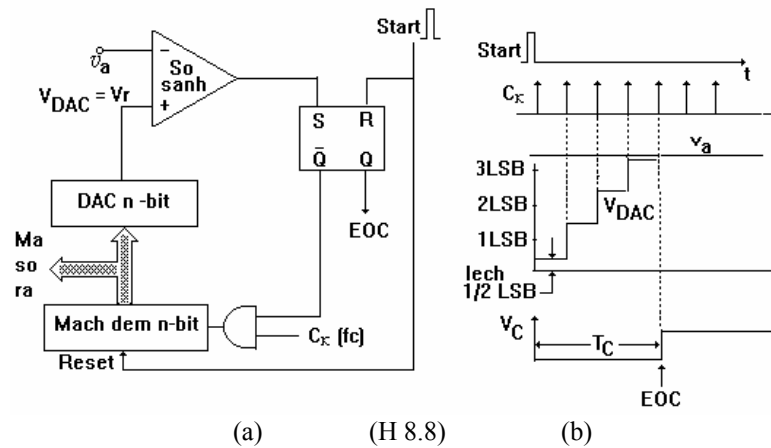
Mạch biến đổi ADC gồm bộ phận trung tâm là một mạch so sánh (H 8.7). Điện thế tương tự chưa biết  $v_a$  áp vào một ngõ vào của mạch so sánh, còn ngõ vào kia nối đến một điện thế tham chiếu thay đổi theo thời gian  $V_r(t)$ . Khi chuyển đổi điện thế tham chiếu tăng theo thời gian cho đến khi bằng hoặc gần bằng với điện thế tương tự (với một sai số nguyên lượng hóa). Lúc đó mạch tạo mã số ra có giá trị ứng với điện thế vào chưa biết. Vậy nhiệm vụ của mạch tạo mã số là thử một bộ số nhị phân sao cho hiệu số giữa  $v_a$  và trị nguyên lượng hóa sau cùng nhỏ hơn  $1/2 \text{ LSB}$

$$|v_a - (V_{FS} / 2^n - 1)(B)_2| < 1/2 \text{ LSB}$$



(H 8.7)

### 8.2.3 Mạch đổi dùng điện thế tham chiếu nấc thang

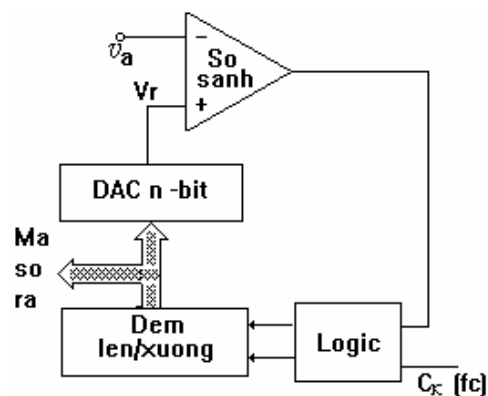


Một cách đơn giản để tạo điện thế tham chiếu có dạng nấc thang là dùng một mạch DAC mà số nhị phân vào được lấy từ mạch đếm lên (H 8.8). Khi có xung bắt đầu FlipFlop và mạch đếm được đặt về 0 nên ngõ ra  $\bar{Q}$  của FF lên 1, mở cổng AND cho xung  $C_K$  vào mạch đếm. Ngõ ra mạch đếm tăng dần theo dạng nấc thang ( $V_{DAC}$ ), đây chính là điện thế tham chiếu, khi  $V_r$  còn nhỏ hơn  $v_a$ , ngõ ra mạch so sánh còn ở mức thấp và  $\bar{Q}$  vẫn tiếp tục ở mức cao, nhưng khi  $V_r$  vừa vượt  $v_a$  ngõ ra mạch so sánh lên cao khiến  $\bar{Q}$  xuống thấp, đóng cổng AND không cho xung  $C_K$  qua và mạch đếm ngưng. Đồng thời ngõ ra  $Q$  lên cao báo kết thúc sự chuyển đổi. Số đếm ở mạch đếm chính là số nhị phân tương ứng với điện thế vào.

Gọi thời gian chuyển đổi là  $t_c$ . Thời gian chuyển đổi tùy thuộc điện thế cần chuyển đổi. Thời gian lâu nhất ứng với điện thế vào bằng trị toàn giai:

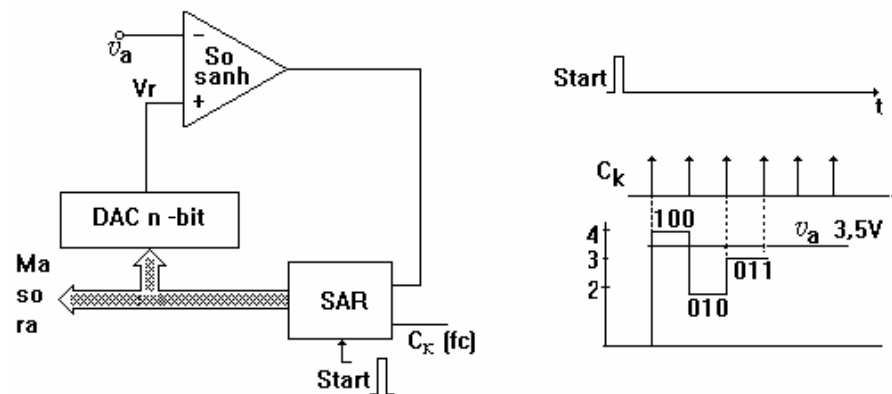
$$t_c(\max) = 2^n / f_{CK} = 2^n \cdot T_{CK}$$

Mạch đổi này có tốc độ chậm. Một cách cải tiến là thay mạch đếm lên bởi một mạch đếm lên/xuống (H 8.9). Nếu ngõ ra mạch so sánh cho thấy  $V_r$  nhỏ hơn  $v_a$ , mạch Logic sẽ điều khiển đếm lên và ngược lại thì mạch sẽ đếm xuống. Nếu  $v_a$  không đổi  $V_r$  sẽ dao động quanh trị  $v_a$  với hai trị số khác nhau 1 LSB



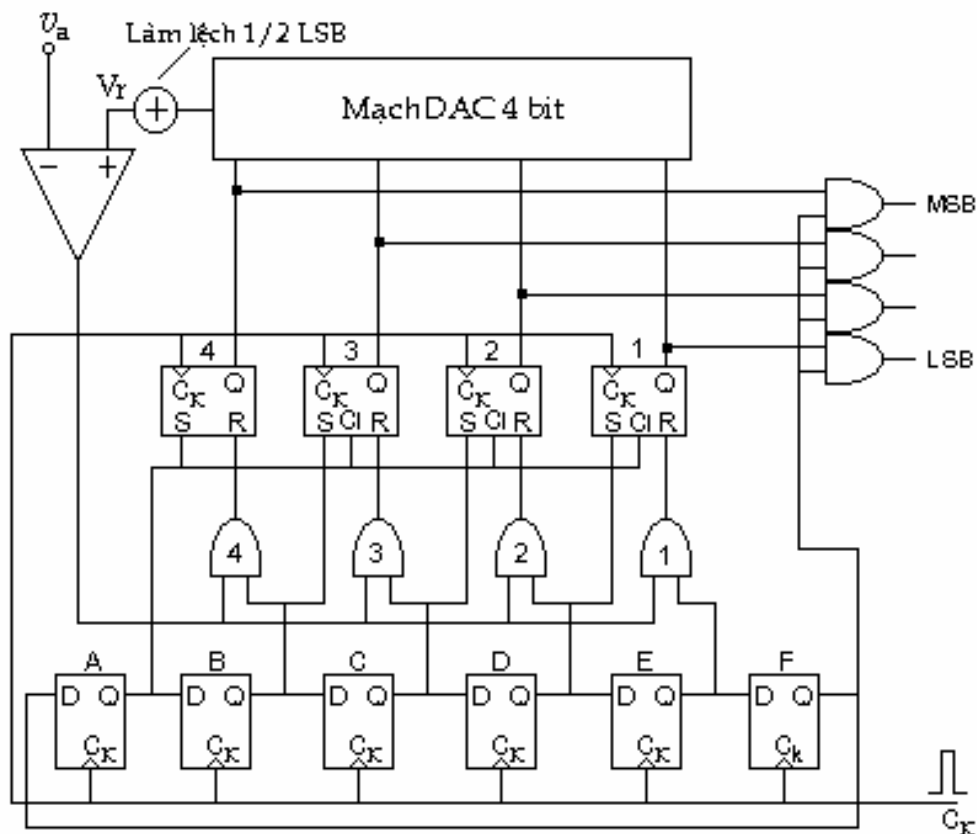
(H 8.9)

### 8.2.4 Mạch đổi lấy gần đúng kế tiếp (successive approximation converter)



(H 8.10)

Mạch đổi lấy gần đúng kế tiếp dùng cách tạo điện thế tham chiếu một cách có hiệu quả hơn khiến việc chuyển đổi ra mã số  $n$  bit chỉ tốn  $n$  chu kỳ xung  $C_K$ . Mạch này bao gồm: một mạch so sánh, một mạch ghi dịch đặc biệt (SAR) và một mạch DAC (H 8.11).



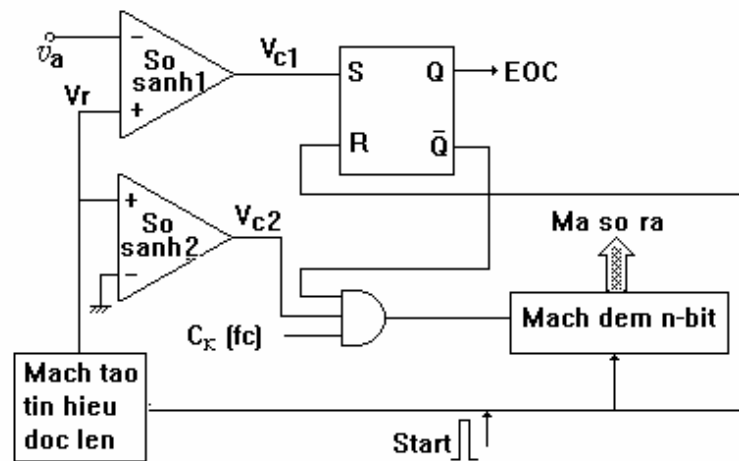
(H 8.11)

Mạch SAR (H 8.11) là mạch ghi dịch có kết hợp điều khiển Logic. Mạch gồm 6 FF D mắc thành chuỗi, ngõ ra FF cuối (F) hồi tiếp về FF đầu (A), khối điều khiển gồm 4 cổng AND và 4 FF RS có ngõ vào tác động mức cao, các ngõ ra Q của các FF RS được đưa vào mạch DAC để tạo điện thế tương tự  $V_r$  (dùng so sánh với điện thế ra từ mạch lấy mẫu và giữ  $v_a$ ), đồng thời đây cũng là mã số ra khi sự biến đổi đã kết thúc.

**Vận hành:** Lúc có xung bắt đầu, mạch SAR được đặt về 0. Ngã ra DAC được làm lệch  $1/2$  LSB để tạo đặc tính chuyển đổi như đã nói trong phần trước, kể đó SAR đưa bit MSB lên cao (bằng cách preset FF A), các bit khác bằng 0, số này được đưa vào mạch DAC để tạo điện thế tham chiếu  $V_r$  để so sánh với  $v_a$ . Tùy theo kết quả so sánh, nếu  $V_r > v_a$  thì ngã ra mạch so sánh ở mức cao khiến SAR bỏ đi bit MSB khi có xung  $C_K$  kế tiếp xuất hiện, còn nếu  $V_r < v_a$  thì ngã ra mạch so sánh ở mức thấp, khiến SAR giữ bit MSB lại (FF RS 4 giữ nguyên trạng thái) đồng thời đưa bit có nghĩa kế tiếp lên cao (do FF 3 được set từ giá trị 1 ở ngã ra FF B, trị 1 này được chuyển từ FF A sang). Mạch so sánh tiếp tục làm việc và kết quả sẽ được quyết định theo cùng cách thức như đối với bit MSB.... Tiếp tục như vậy cho đến bit cuối cùng của SAR, lúc đó  $v_a$  gần  $V_r$  nhất và ta được kết quả chuyển đổi trong thời gian tối đa là  $n$  chu kỳ xung đồng hồ. Mạch chuyển đổi chấm dứt khi ngã ra FF F lên mức cao cho phép mở các đệm để cho mã số ra.

### 8.2.5 Mạch đổi dùng tín hiệu dốc đơn (single ramp converter)

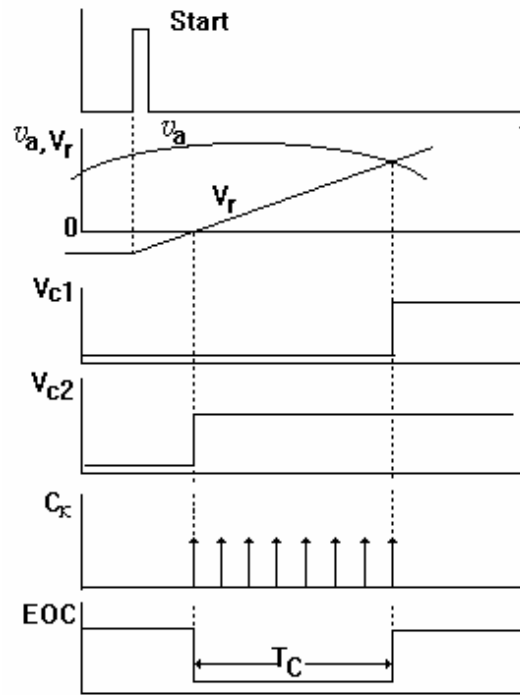
Điện thế chuẩn từng nấc tạo bởi mạch DAC có thể được thay thế bởi điện thế tham chiếu có dốc lên liên tục tạo bởi mạch tạo tín hiệu dốc lên (thường là mạch tích phân).



(H 8.12)

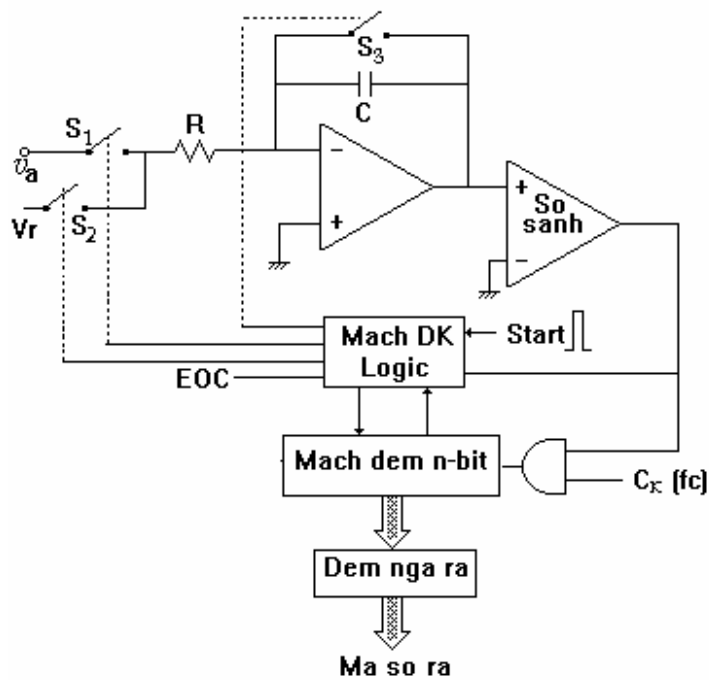
Xung bắt đầu đặt mạch đếm  $n$  bit về 0 và khởi động mạch tạo dốc lên để tạo  $V_r$ , từ một trị hơi âm, khi  $V_r$  cắt trục 0 ngã ra mạch so sánh 2 lên cao mở cổng AND cho xung  $C_K$  vào mạch đếm. Khi đường dốc đạt trị số bằng trị tương tự cần biến đổi ngã ra mạch so sánh 1 lên cao đưa ngã ra  $\overline{Q}$  của FF xuống thấp, cổng AND đóng và kết thúc sự chuyển đổi. Số đếm được ở mạch đếm tỷ lệ với điện thế tương tự vào. Mạch có khuyết điểm là độ dốc của  $V_r$  tùy thuộc thông số RC của mạch tích phân nên không chính xác.





(H 8.13)

### 8.2.6 Mạch đổi lấy tích phân (Integrating Converter)



(H 8.14)

Mạch này giải quyết được khuyết điểm của mạch biến đổi dùng tín hiệu dốc đơn, nghĩa là độ chính xác không tùy thuộc RC.

Xung bắt đầu đưa mạch đếm về 0, mạch điều khiển mở khóa  $S_3$  của mạch tích phân, đóng khóa  $S_1$  để đưa tín hiệu tương tự  $v_a$  (giả sử âm) vào mạch tích phân đồng thời mở khóa  $S_2$ . Ngõ ra mạch tích phân có trị âm nhỏ ban đầu. Tín hiệu tương tự vào được lấy tích phân, độ dốc  $-v_a / RC$ . Khi ngõ ra mạch tích phân vượt trục 0, ngõ ra mạch so sánh lên cao mở cổng

AND đưa xung  $C_K$  vào mạch đếm. Không kể lượng lệch âm ban đầu, hiệu thế ngã ra mạch tích phân là:

$$V_I(t) = \int -\frac{V_a}{RC} dt$$

Giả sử  $v_a$  không đổi trong thời gian chuyển đổi

$$V_I(t) = -(v_a \cdot t / RC)$$

Nếu  $v_a$  âm thì ngã ra mạch tích phân là đường dốc lên đều.

Khi mạch đếm tràn (tức đếm hết dung lượng và tự động quay về 0) mạch Logic điều khiển mở khóa  $S_1$  và đóng khóa  $S_2$  đưa điện thế tham chiếu  $V_r$  (dương) đến mạch lấy tích phân. Ngã ra mạch tích phân bây giờ là đường dốc xuống với độ dốc là  $-V_r / RC$ . Khi  $V_I$  xuống 0, mạch so sánh xuống thấp đóng cổng AND và kết thúc quá trình biến đổi. Số đếm sau cùng của mạch đếm tỷ lệ với điện thế tương tự vào.

Giả sử RC không đổi trong quá trình biến đổi, tích phân trong thời gian  $t_1$  bằng tích phân trong thời gian  $t_2$  nên ta có:

$$|v_a| t_1 = V_r \cdot t_2$$

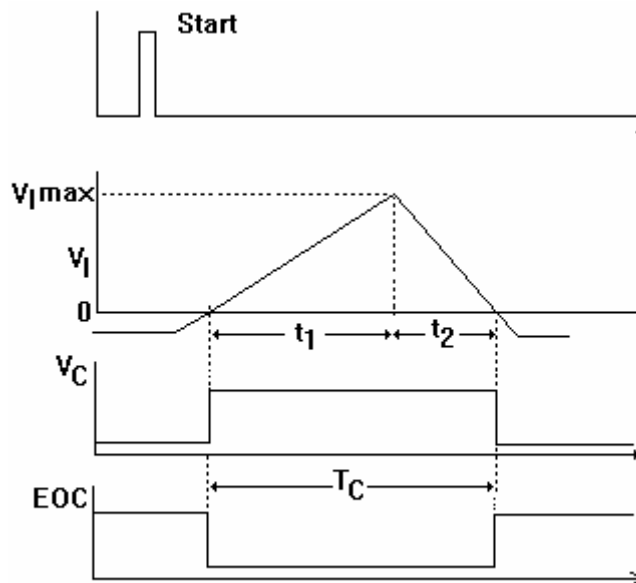
$t_1$  là thời gian đếm từ 0 cho đến khi tràn nên

$$t_1 = 2^n / f_{CK}$$

$$\text{và } t_2 = N / f_{CK}.$$

$N$  là số đếm sau cùng.

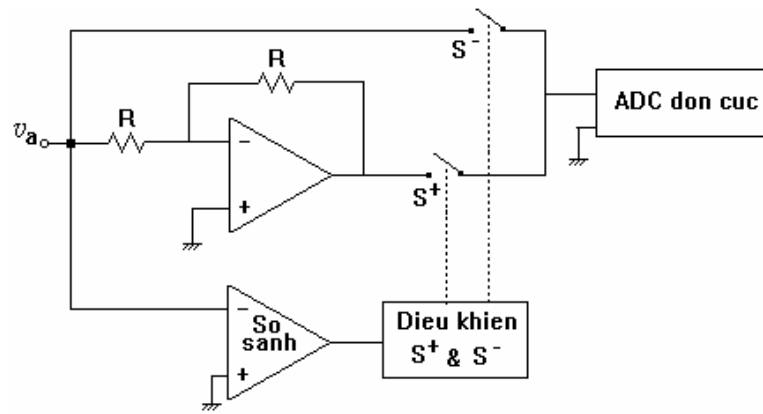
Tóm lại ta thấy số đếm được không phụ thuộc RC



(H 8.15)

### 8.2.7 Mạch đổi lưỡng cực

Một cách đơn giản để thực hiện chuyển đổi một tín hiệu tương tự lưỡng cực là dùng một mạch đảo tương tự và một mạch so sánh để xác định  $v_a$  âm hay dương để đảo hay không trước khi đưa vào mạch ADC đơn cực (H 8.16)

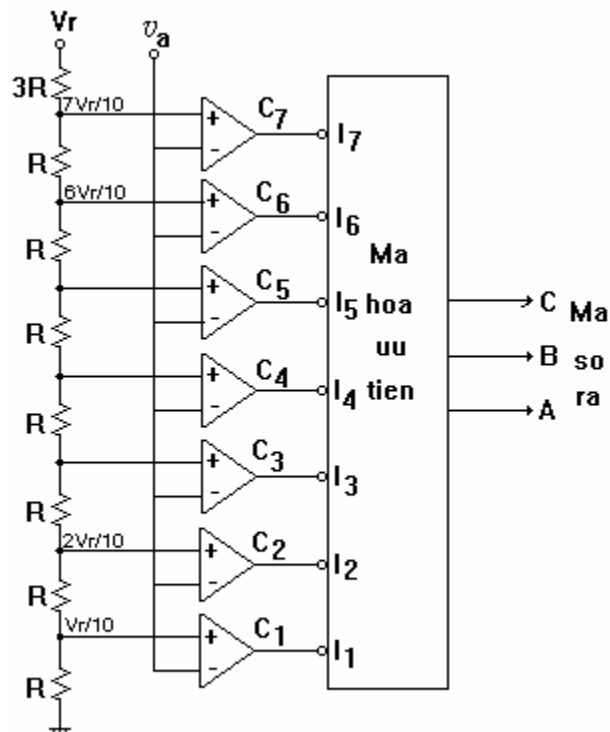


(H 8.16)

### 8.2.8 Mạch đổi song song (parallel hay flash conversion)

Đây là mạch đổi có tốc độ chuyển đổi rất nhanh, có thể đạt vài triệu lần trong một giây, áp dụng vào việc chuyển đổi tín hiệu hình trong kỹ thuật video. Thí dụ để có mạch đổi 3 bit, người ta dùng 7 mạch so sánh ở ngõ vào và một mạch mã hóa ưu tiên để tạo mã số nhị phân ở ngõ ra (H 8.17).

- Khi  $v_a < V_r/10$ , các ngõ ra mạch so sánh đều lên cao khiến mã số ra là 000
  - Khi  $V_r/10 < v_a < 2V_r/10$ , ngõ ra mạch so sánh 1 xuống thấp khiến mã số ra là 001
  - Khi  $2V_r/10 < v_a < 3V_r/10$ , ngõ ra mạch so sánh 2 xuống thấp khiến mã số ra là 010
- Cứ như thế, ta thấy mã số ra tỷ lệ với điện thế tương tự vào



(H 8.17)