

Nguyễn Danh Nam - 20191978

Lớp : CITN - AKTD - K64

Môn : Vi xử lý - 2021-1- Đề số: 1

Câu 1.

a. Hệ vi xử lý gồm:

① CPU: - quản lý mọi hoạt động của hệ thống $\text{S\ddot{o}}$, thực hiện các thao tác với

- trong CPU gồm 3 bộ phận chính:

+) Khối tính toán ALU: thực hiện các phép toán về logic, kết quả được đưa lên thanh ghi hoặc ô nhớ.

+) Các thanh ghi: là các bộ nhớ có dung lượng nhỏ nhưng tốc độ truy cập cao dùng để lưu dữ liệu tạm thời và thao tác với khối ALU.

② Khối ALU: điều khiển, kiểm soát các

③ bộ nhớ: lưu trữ dữ liệu dưới dạng các ô nhớ, các thanh ghi trong bộ nhớ là địa chỉ và nội dung ô nhớ.

④ thiết bị nhập/xuất: trao đổi thông tin với máy tính, thiết bị khác.

⑤ System bus: liên kết các khối ở bên trong hệ vi xử lý, truyền tín hiệu. gồm 3 phần chính:

- Data bus: truyền dữ liệu (2 chiều)

- Control bus: truyền tín hiệu điều khiển (2 chiều)

- address bus: truyền địa chỉ (1 chiều)

b. Bộ LOAD $M(X)$:

- Thanh ghi PC chứa dữ liệu địa chỉ của lệnh LOAD $M(X)$

- PC truyền dữ liệu tới MAR qua internal bus

- CPU cho phép đọc, bộ nhớ truyền nội dung của ô nhớ có địa chỉ trên MAR tới MBR

- CPU gửi tín hiệu nhận, MBR truyền nội dung lệnh LOAD vào IR opcode

$PC \leftarrow PC + 1$

- tiếp tục chu trình trên, MBR lại truyền tiếp nội dung của ô nhớ MAR

- chấp gửi đến IR address

- CPU gửi tín hiệu, khi đó giá trị của A là X.

Nguyễn Danh Nam - 20191978

Lớp : CTTN - ĐKTD - K64

Môn : Vi xử lý - 2021-1- DE số: 1

Câu 2.

a. Truyền thông vào ra nối tiếp :

⊕. Định nghĩa : Là việc truyền dữ liệu theo từng bit, tại từng thời điểm một cách tuần tự nối tiếp nhau, trên 1 đường truyền duy nhất.

⊖. Mục đích : dùng để truyền dữ liệu từ máy thu tới máy phát. bằng việc chuyển đổi dữ liệu song song trong máy phát thành nối tiếp và chuyển dữ liệu nối tiếp thành song song tại máy thu.

⊖. nguyên lý : sử dụng thành ghi 8 bit biến dữ liệu song song thành nối tiếp

⊖. Chế độ :

- đơn công : bên phát chỉ phát, bên thu chỉ thu

- bán song công : bên ra 2 bên đều có thể thu phát nhưng tại 1 thời điểm chỉ có thể 1 thu 1 phát

- song công hoàn toàn : cả 2 bên đều có thể thu phát đồng thời.

⊕. phương thức : truyền lần lượt 8 bit với 1 bit mở đầu và 1 bit kết thúc tạo thành khung, có thể thêm bit chẵn lẻ

⊖. nhịp truyền : là số bit truyền được trong 1 giây

Nguyễn Danh Nam - 20191978

Lớp : CTTN - ĐKTD - K64

Môn : Vi xử lý - 2021-1- Đề số: 1

Câu 2.

b. Khởi tạo truyền thông nối tiếp:

- MOV IE, #10010000B.

- 2 bit được bật là EA và ES với EA: cho phép ngắt các ngắt và ES là cho phép ngắt công nối tiếp.

- MOV SCOR, #01010000

- 2 bit được bật là SM1 và REN:

Chọn chế độ 1: SMD = 0, SM1 = 1

cho phép thu: REN = 1

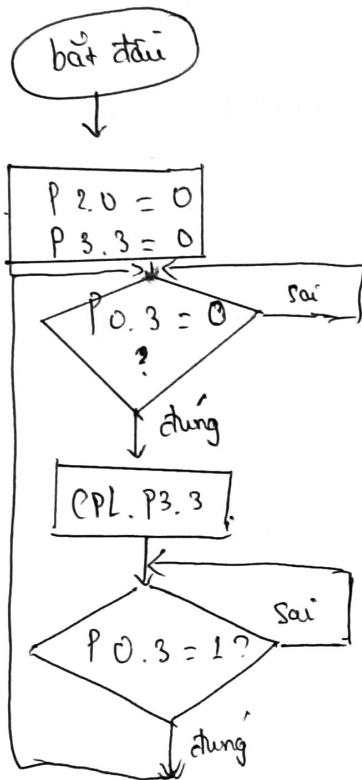
Nguyễn Danh Nam - 20191978

Lớp: CTĐN-ĐKTD-K64

Môn: Vi xử lý - 2021-1 - Đề số: 1

Phần 3.

a. 6. Lưu đồ:



Code:

ORG 0000H

LSMP MAIN

MAIN:

CLR P2.0 ; tạo thông cho đèn

CLR P3.3 ; bật đèn (trạng thái đèn)

LOOP1: JNB P0.3, LOOP1

CPL P3.3 ; đảo trạng thái đèn

LOOP2: JNB P0.3, LOOP2

SJMP LOOP1

END

b.

Nguyễn Danh Nam - 20191978

Lớp : CTIN - ĐKTD K64

Môn : Vi xử lý - 2021-1 - ĐỀ 86'

Câu 3.

c. code:

ORG 0000H

LSMP MAIN

ORG. OBH. ; ngắt 0

LSMP ngatD

MAIN:

MOV A, #1

CJNZ A, #1, Xung1, tạo xung 30%

CJNZ A, #2, Xung2, tạo xung 50%

CJNZ A, #3, Xung3, tạo xung 80%

Xung 1: MOV R0, #30 ; tạo 30% xung cao

MOV R1, #70 ; tạo 70% xung thấp

MOV B, #100

ADD A, #1 ; nhảy xung sau

JMP run ; chạy

Xung 2: MOV R0, #50 ; tạo 50% xung cao

MOV R1, #50 ; tạo 50% xung thấp

MOV B, #100

MOV

ADD A, #1

JMP run

Xung 3: MOV R0, #20 ; tạo 20% xung cao

MOV R1, #80 ; 80% xung thấp

MOV B, #100

MOV A, #1

JMP run

Nguyễn Danh Nam - 20/10/1978

Lớp: CTIN-ĐKTĐ - K64

Môn: Vi xử lý - 2021-1 - Đề số: 1

run:

MOV TMOD, #2, time0, mode2

MOV TH0, #0FCH

MOV TL0, #B7H

MOV IE, #10000010B; ngắt timer0.

SETB P0.3

COUNT: SJMP COUNT; chờ ngắt

ngắt0: DEC R0; giảm R0

CJNE R0, #0, EXIT;

MOV R0, R1; g xung từ thấp lên cao, ngược lại.

SUBB ~~R0~~ A, R1

MOV R1, A

MOV A, #100; tạo tiếp xung mới.

CPL P3.3; tạo xung vuông.

EXIT: RETI