

# Bộ nhớ bán dẫn

Nguyễn Quốc Cường – 31

Semiconductor Memory

1

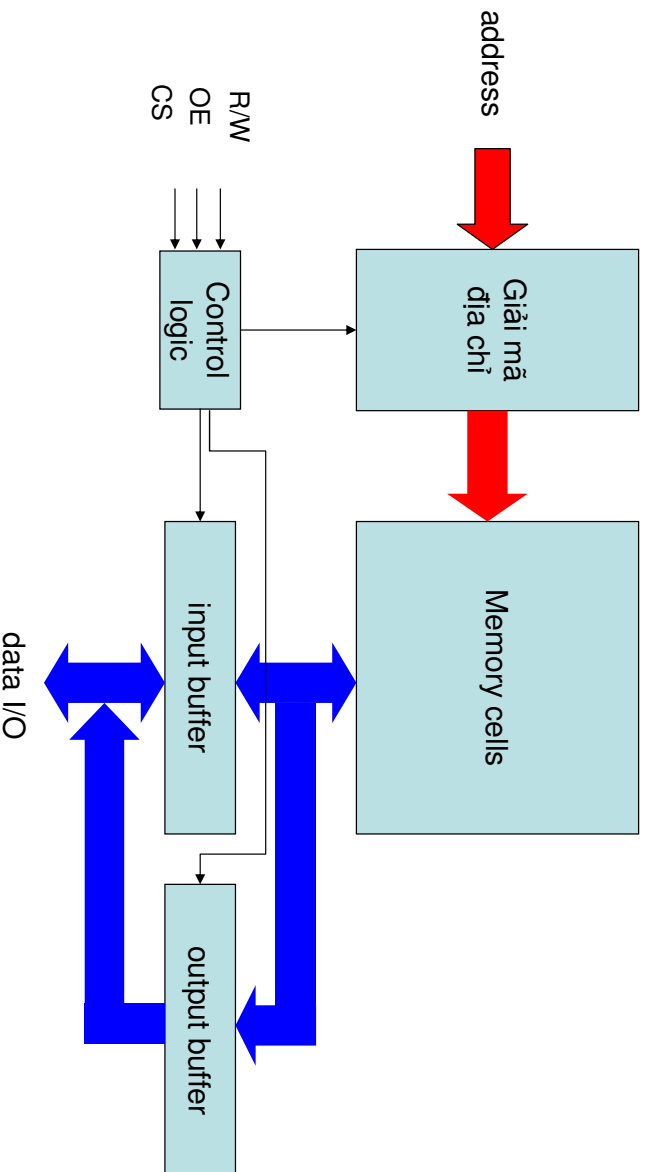
## Nội dung

- RAM tĩnh
- RAM động
- ROM / PROM / EPROM

Semiconductor Memory

2

## Sơ đồ khối của SRAM



Semiconductor Memory

3

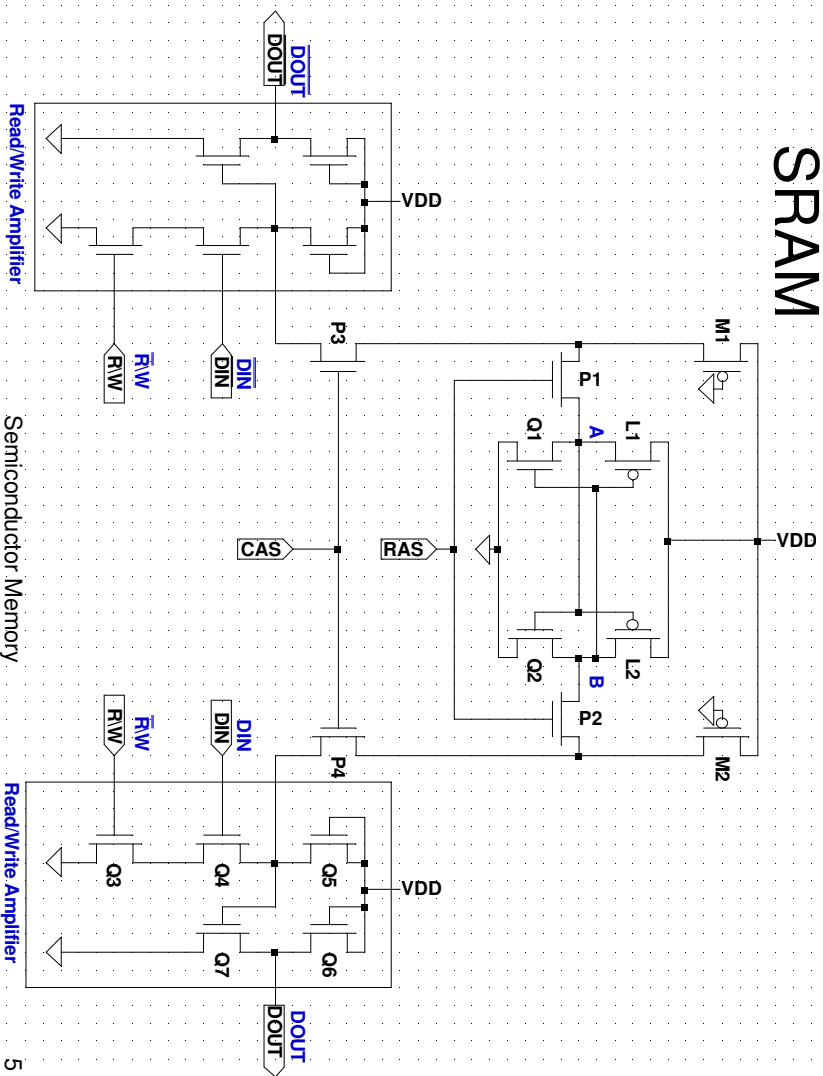
## RAM

- **RAM động (DRAM: Dynamic RAM):**
  - thông tin được lưu giữ trên một tụ cho một bit
  - đọc/ghi thông tin thông qua một access transistor (hoặc pass transistor)
  - điện tích trên tụ bị dò (qua các tiếp giáp bán dẫn) → thông tin có thể bị mất → cần một mạch “refresh” định kỳ vài mili giây
- **RAM tĩnh (SRAM: Static RAM):**
  - Cho phép đọc và ghi thông tin
  - Không cần mạch làm refresh định kỳ như DRAM

Semiconductor Memory

4

# SRAM



- **RAS: Row Address Select**
  - lựa chọn hàng (tích cực cao)
- **CAS: Column Address Select**
  - lựa chọn cột (tích cực cao)
- P1, P2, P3, P4: pass transistor (access transistor)
- M1, M2: active-load

## Đọc SRAM

- Cell lưu giữ giá trị 1:
  - Q1 OFF: A = HIGH
  - Q2 ON: B = LOW
- Đọc cell:
  - R\W = 0: Q3 ON
  - RAS = 1: P1 và P2 ON
  - CAS = 1: P3 và P4 ON
  - cực gate của Q7 được nối với GND thông qua P4, P2 và Q2: Q7 sẽ turn-off →  $D_{OUT} = \text{HIGH}$
- Tương tự

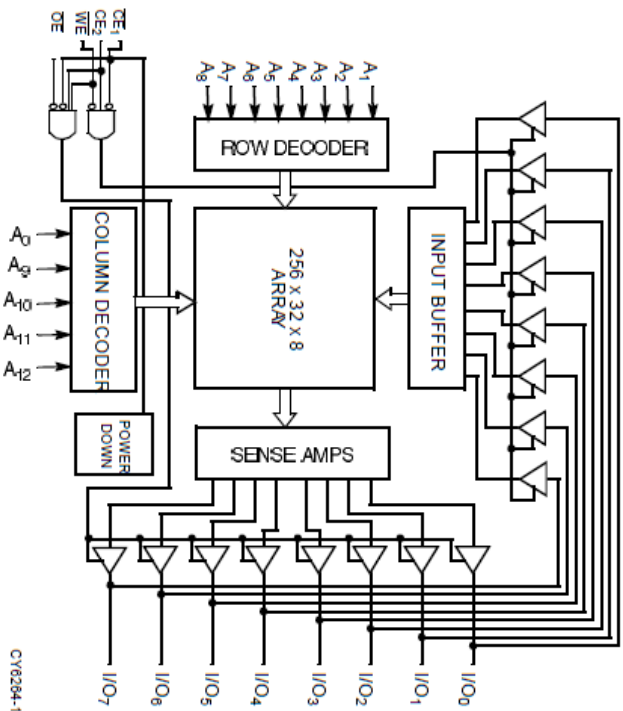
$$\overline{D_{OUT}} = \text{LOW}$$

## Viết SRAM

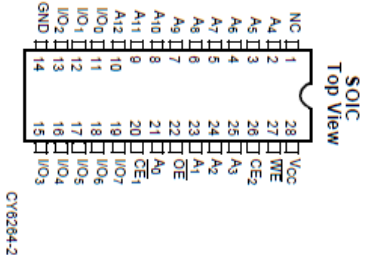
- Cell lưu giữ giá trị 1:
  - Q1 OFF: A = HIGH
  - Q2 ON: B = LOW
- Viết giá trị 0 vào cell:
  - R\W = 1: Q3 ON
  - RAS = 1: P1 và P2 ON
  - CAS = 1: P3 và P4 ON
  - DIN = 0: Q4 OFF, tuy nhiên Q4' (của mạch read/write amplifier bên trái) sẽ ON (do sử dụng đảo của DIN) → điện áp điểm A sẽ giảm → Q2 sẽ chuyển từ ON sang OFF → Q1 sẽ chuyển từ OFF sang ON
  - Q1 ON, Q2 OFF → cell lưu giữ giá trị 0

CY6264  
SRAM 8K x 8

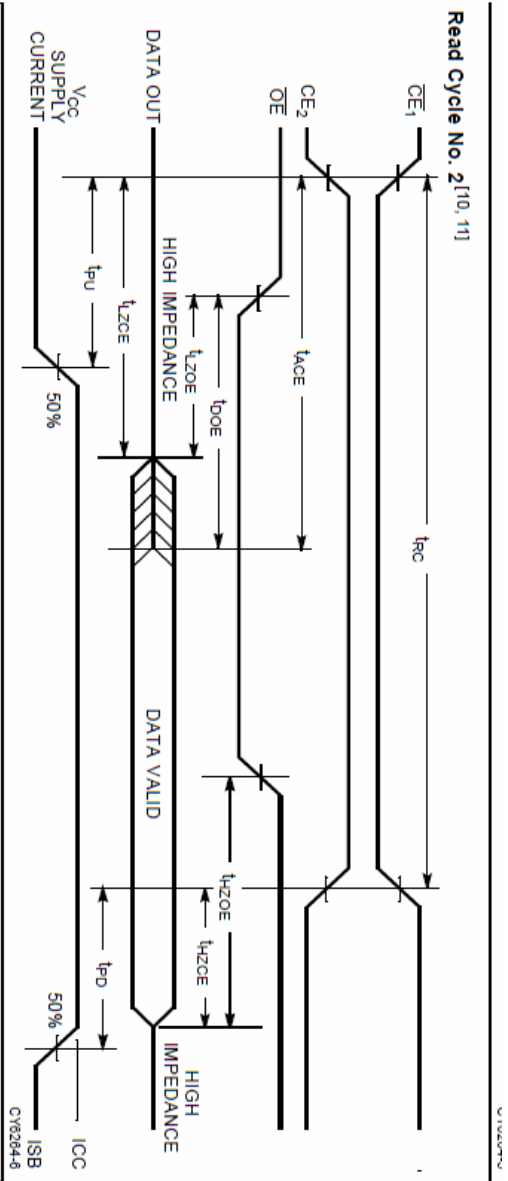
Logic Block Diagram



Pin Configuration



Chu kỳ đọc



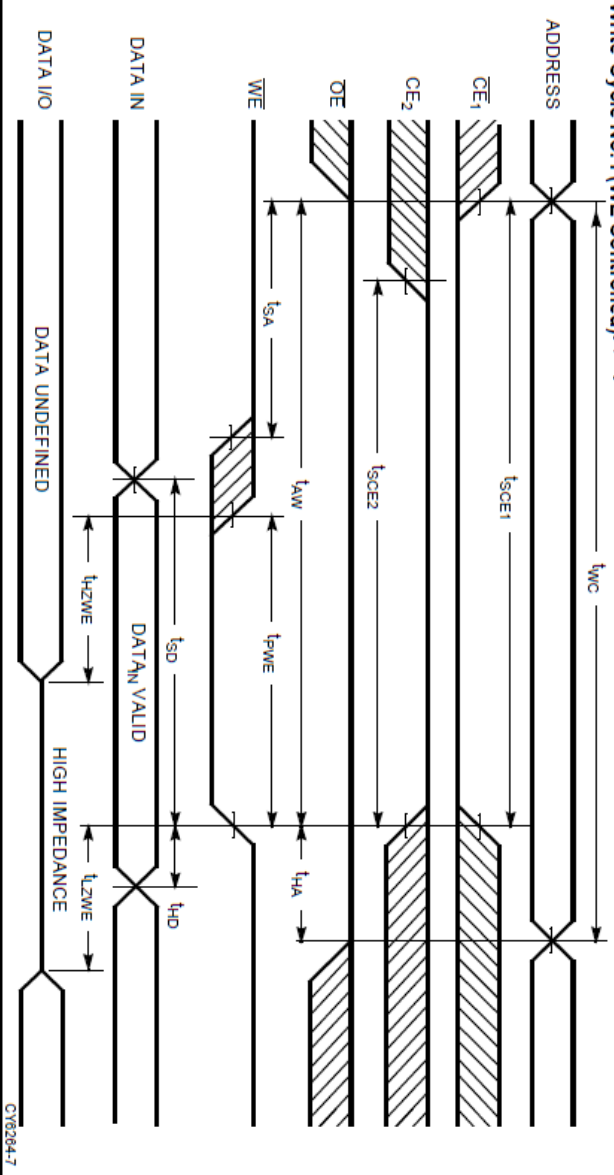
Switching Characteristics Over the Operating Range<sup>(4)</sup>

Parameter	Description	6264-55		6264-70		Unit
		Min.	Max.	Min.	Max.	
READ CYCLE						
t <sub>RC</sub>	Read Cycle Time	55		70		ns
t <sub>AA</sub>	Address to Data Valid		55		70	ns
t <sub>OH</sub>	Data Hold from Address Change	5		5		ns
t <sub>ACE1</sub>	$\overline{CE}_1$ LOW to Data Valid		55		70	ns
t <sub>ACE2</sub>	$CE_2$ HIGH to Data Valid		40		70	ns
t <sub>DOE</sub>	$\overline{OE}$ LOW to Data Valid		25		35	ns
t <sub>LZOE</sub>	$\overline{OE}$ LOW to Low Z	3		5		ns
t <sub>HZOE</sub>	$\overline{OE}$ HIGH to High Z <sup>[5]</sup>		20		30	ns
t <sub>LZCE1</sub>	$\overline{CE}_1$ LOW to Low Z <sup>[6]</sup>	5		5		ns
t <sub>LZCE2</sub>	$CE_2$ HIGH to Low Z	3		5		ns
t <sub>HZCE</sub>	$\overline{CE}_1$ HIGH to High Z <sup>[5, 6]</sup> $CE_2$ LOW to High Z		20		30	ns
t <sub>PU</sub>	$\overline{CE}_1$ LOW to Power-Up	0		0		ns
t <sub>PD</sub>	$\overline{CE}_1$ HIGH to Power-Down		25		30	ns

Semiconductor Memory

Chu kỳ viết

Write Cycle No. 1 ( $\overline{WE}$  Controlled)<sup>(9, 11)</sup>



CV0284-7

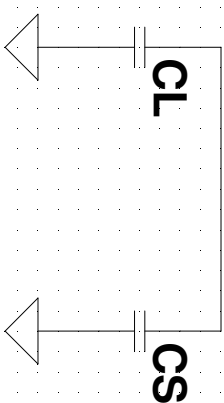
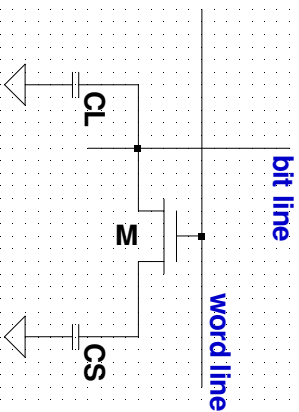
Semiconductor Memory

WRITE CYCLE <sup>[7]</sup>					
t <sub>wc</sub>	Write Cycle Time	50	70		ns
t <sub>sce1</sub>	$\overline{CE}_1$ LOW to Write End	40	60		ns
t <sub>sce2</sub>	CE <sub>2</sub> HIGH to Write End	30	50		ns
t <sub>aw</sub>	Address Set-Up to Write End	40	55		ns
t <sub>ha</sub>	Address Hold from Write End	0	0		ns
t <sub>sa</sub>	Address Set-Up to Write Start	0	0		ns
t <sub>pwe</sub>	$\overline{WE}$ Pulse Width	25	40		ns
t <sub>sd</sub>	Data Set-Up to Write End	25	35		ns
t <sub>hd</sub>	Data Hold from Write End	0	0		ns
t <sub>hzwe</sub>	$\overline{WE}$ LOW to High Z <sup>[5]</sup>		20		ns
t <sub>lzwe</sub>	$\overline{WE}$ HIGH to Low Z	5	5		ns

# DRAM

- DRAM: xuất hiện vào những năm 1970s
- Ưu điểm:
  - Mật độ cao hơn SRAM
  - Công suất tiêu thụ nhỏ
- Nhược điểm:
  - Tốc độ truy cập chậm hơn
  - Cần mạch refresh

# DRAM cell



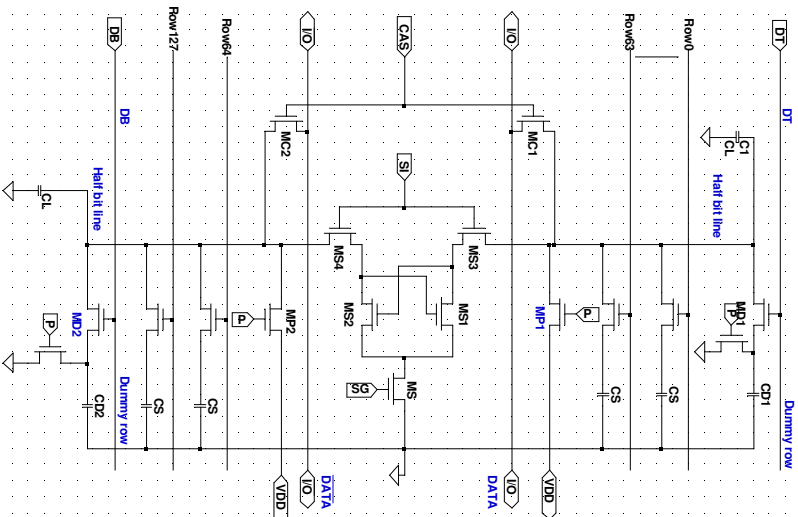
Thường  $C_L$  gấp vài chục lần  $C_S$  ( $C_S \sim 40fF$ ,  $C_L \sim 300fF$ )  
 $C_L$  charge điện áp = 5V:

Nếu  $C_S$  được charge điện áp 4.5V (giá trị "1")  $\rightarrow$  khi cân bằng điện áp  $\sim 4.9V$

Nếu  $C_S$  được charge điện áp 0V (giá trị "0") khi cân bằng điện áp  $\sim 4.5V$

Semiconductor Memory

15



Semiconductor Memory

16



## ĐỌC RAM

1. Tín hiệu  $P = \text{high}$ , sau đó  $P = \text{low}$
2. Tín hiệu lựa chọn hàng tích cực high đồng thời tín hiệu dummy row tích cực (nếu lựa chọn hàng phía trên thì Dummy row Bottom phải tích cực và ngược lại)
3. Tín hiệu SI (isolation signal) và SG (signal gate) tích cực high
4. Tín hiệu CAS tích cực

Semiconductor Memory

17

## ĐỌC DRAM

- Precharge:
  - Tín hiệu  $P = \text{high}$
  - MP1 và MP2 dẫn: CL của Half bit line được nạp đến VDD
  - Cực D của MD1 và MD2 được charge đến 0  $\rightarrow$  CD1 và CD2 charge bằng 0
  - Tín hiệu  $P = \text{low}$ : kết thúc precharge
- Tín hiệu selected row được kích hoạt (1 trong 128 tín hiệu): Giả sử row63 được lựa chọn
- Nếu cell lưu giá trị “1”:  $V_{CS} = 4.5V$
- Nếu cell lưu giá trị “0”:  $V_{CS} = 0V$

Semiconductor Memory

18

## đọc giá trị “1” ( $V_{CS} = 4.5V$ )

- $C_L$  được nối với  $C_S$  điện áp cân bằng  $VBLT \sim 4.9V$
- Tín hiệu DB tích cực  $\rightarrow VBLB \sim 4.75V$  (do sự phân bố lại điện tích giữa  $C_L$  và  $C_{D2}$ , charge 0)
- Tín hiệu SI và SG tích cực:
  - $M_{S1}$ ,  $M_{S3}$  và  $M_{S4}$  dẫn
  - Do  $VBLT > VBLB \rightarrow M_{S2}$  dẫn còn  $M_{S1}$  không dẫn  $\rightarrow VBLT$  giữ nguyên giá trị,  $VBLB = 0$ .
- Tín hiệu CAS tích cực:
  - $DATA = VBLT = “1”$
  - $\_DATA$  (đảo của  $DATA$ ) =  $VBLB = “0”$

## đọc giá trị “0”

- Phân bố lại điện tích giữa  $V_{\{CL\}}$  và  $V_{\{CS\}} \rightarrow VBLT = 4.5V$
- Phân bố lại điện tích giữa  $V_{\{CD2\}}$  và  $C_L \rightarrow VBLB = 4.75V$
- Tín hiệu SI và SG tích cực:
  - $M_{S1}$ ,  $M_{S3}$  và  $M_{S4}$  dẫn
  - Do  $VBLT < VBLB \rightarrow M_{S1}$  dẫn còn  $M_{S2}$  không dẫn  $\rightarrow VBLB$  giữ nguyên giá trị,  $VBLT = 0$ .
- Tín hiệu CAS tích cực:
  - $DATA = VBLT = “0”$
  - $\_DATA$  (đảo của  $DATA$ ) =  $VBLB = “1”$

- Nếu các cell bottom được lựa chọn thì giá trị xuất hiện tại DATA và \_DATA sẽ cần phải lấy đảo lại giá trị cất trong cell

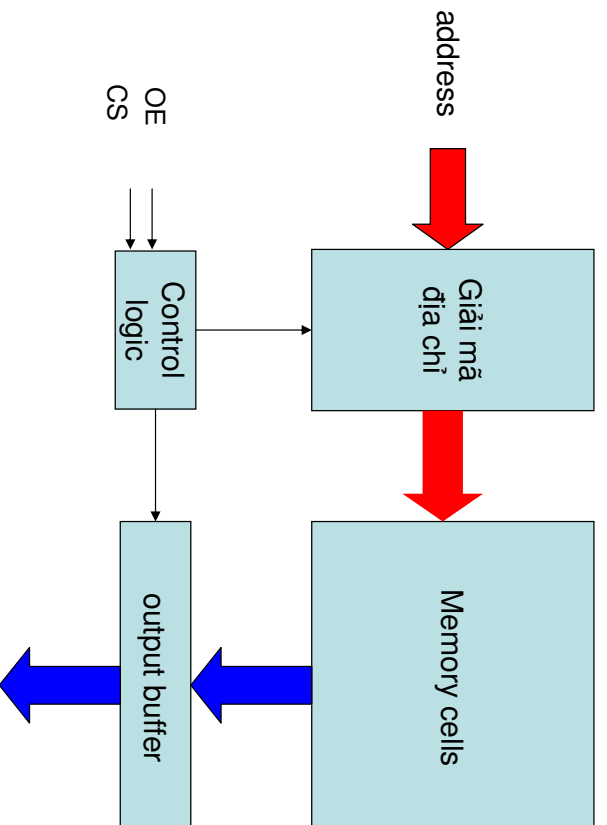
## viết giá trị vào DRAM

- Thông tin cần viết sẽ được đặt vào DATA và \_DATA
- Tín hiệu CAS tích cực → tụ C\_L được charge
- Tín hiệu Row tích cực, tụ C\_S được charge thông qua điện tích trên C\_L

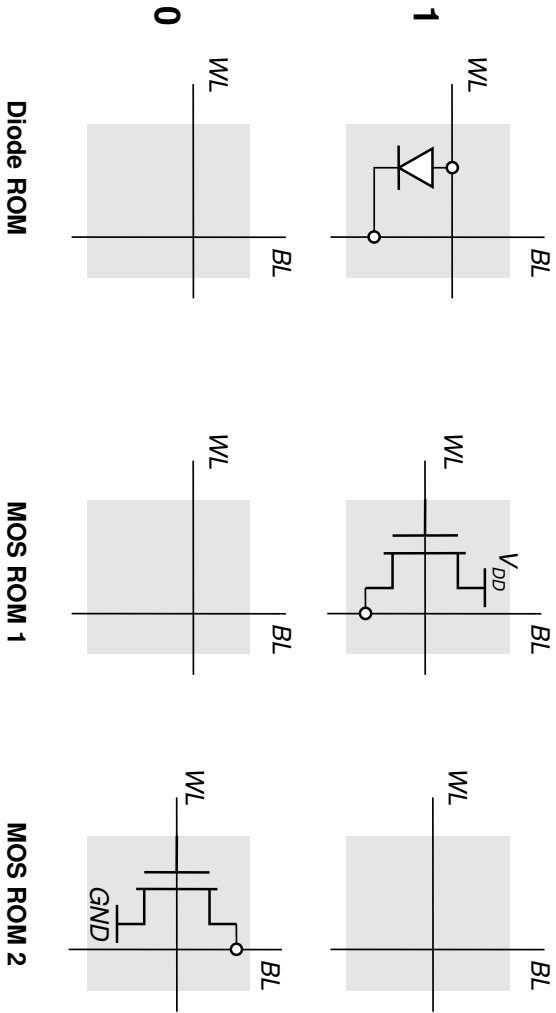
## refresh

- Điện tích trên  $C_S$  sẽ bị thay đổi (do các điện trở giữa gate và drain) → cần refresh các tụ
- Việc “refresh” được thực hiện liên tục theo một chu kỳ nhất định và được thực hiện theo hàng
- Đầu tiên các tụ  $C_L$  và  $C_D$  được precharge (giả thiết precharge các top row):
  - $V_{CL} = VDD$
  - $V_{CD1}$  và  $V_{CD2} = 0$
- Tín hiệu Row và tín hiệu DB (dummy bottom) tích cực → phân bổ lại điện tích của các  $C_L$
- Sau đó tín hiệu SI và SG tích cực → refresh tín hiệu điện áp của  $C_S$
- Tín hiệu CAS sẽ KHÔNG TÍCH CỰC trong chu kỳ refresh

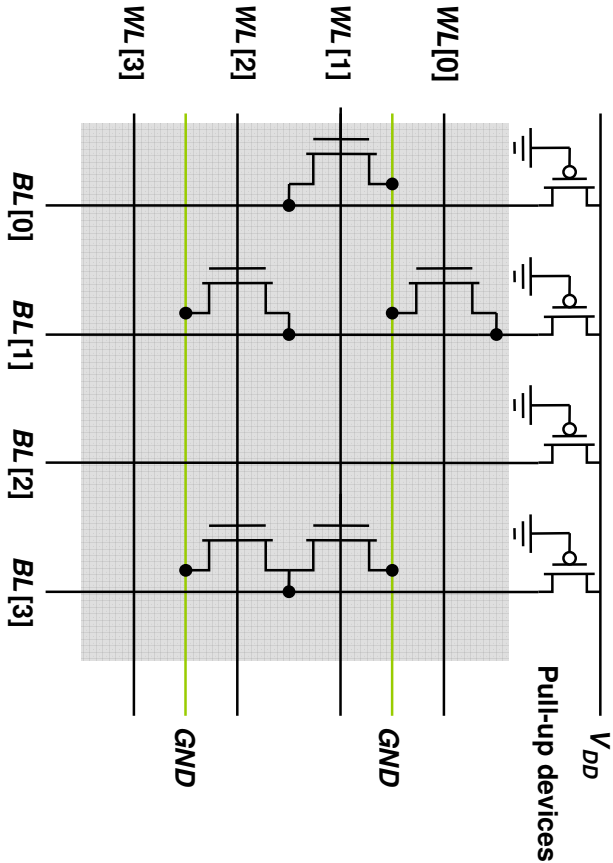
## ROM



# ROM cell

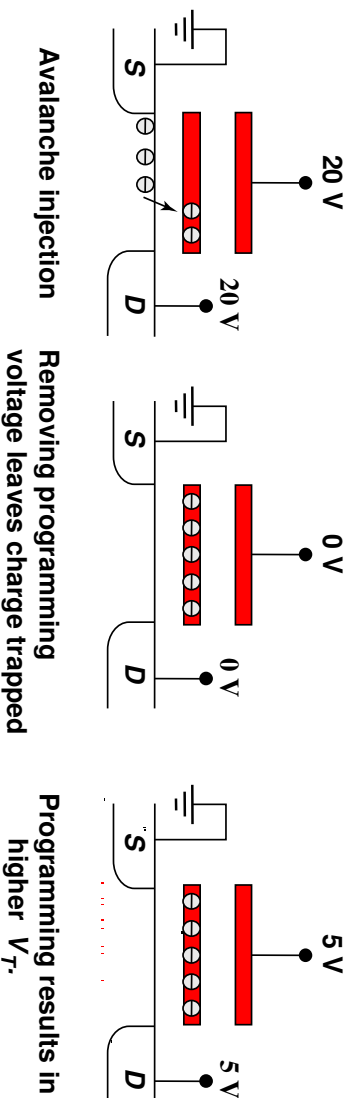


# MOS-NOR-ROM

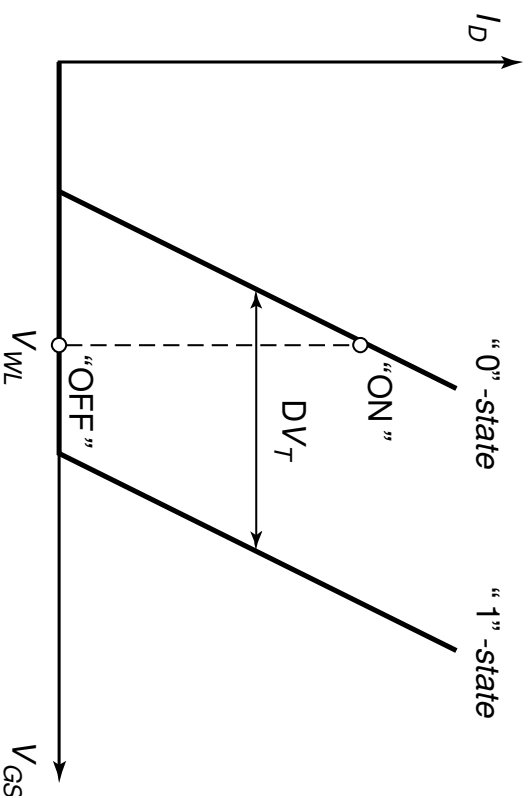


- Thông tin các từ lấy ra tại bit line (BL)
- BL sẽ là NOR của các tín hiệu WL (Word line)
- Các loại ROM dựa trên các kiểu cell kể trên được gọi là PROM (Programmable ROM)
- Nhược điểm: chỉ lập trình được 1 lần.
- Khắc phục: sử dụng EPROM

## MOS có cực gate để ngỏ



# Điện áp ngưỡng của MOS



Semiconductor Memory

29

## EPROM

- Khi bit nhớ chưa được lập trình, điều này có nghĩa là floating gate chưa được nạp điện tích thì control gate có tác dụng như là cực điều khiển bình thường. Nếu đặt một điện áp High (cỡ  $> 2V$ ) vào cực gate thì sẽ hình thành kênh dẫn giữa D và S
  - Để lập trình cho phần tử nhớ thì floating gate cần phải được nạp điện sao cho muốn hình thành kênh dẫn giữa D và S thì điện áp đặt vào control gate phải lớn hơn rất nhiều lần  $2V$ 
    - Điện áp cỡ  $16V$  đến  $20V$  (phụ thuộc vào công nghệ) cần được đặt giữa cực D và S. Đồng thời cực control gate cũng cần phải có điện áp cao ( $\sim 25V$  hoặc bằng điện áp cực D)
    - Khi phần tử nhớ là *chưa lập trình* thì điện áp cao đặt vào cực control gate sẽ làm cho MOSFET làm việc ở vùng pinch-off (vùng bão hoà) khi đó các điện tử sẽ chuyển động nhanh từ S đến D dưới tác dụng của điện trường.
    - Do tác động của điện trường do cực gate gây ra, một số điện tử sẽ xuyên qua vùng oxide cách điện và đến floating gate  $\rightarrow$  cực được nạp điện tích âm. Điều này sẽ làm giảm tác động của điện trường do cực control gây ra  $\rightarrow$  cần bằng điện tích. Các điện tích âm sẽ bị giữ lại ở floating gate ngay cả khi các điện áp lập trình không còn tác động.
    - Do floating gate tích điện âm  $\rightarrow$  để tạo được kênh dẫn giữa D và S cần một điện áp đặt vào control gate cao hơn so với khi floating gate chưa bị nạp điện  $\rightarrow$  như vậy phần tử nhớ đã được lập trình.
  - Điện tích có thể bị giữ ở floating gate trong thời gian vài năm.
  - Để xoá EPROM đưa các phần tử nhớ về unprogrammed state, các điện tử cần được giải phóng khỏi floating gate. Điều này được thực hiện bởi tác động của tia cực tím lên phần tử nhớ (cỡ 20 phút). Các điện tử khi nhận được năng lượng của các photon sẽ thoát khỏi floating gate và trở về đế.
- Các EPROM do đó được chế tạo với một cửa sổ để cho phép chiếu tia cực tím đến các phần tử nhớ.

Semiconductor Memory

30

## Electrically Erasable PROM (EEPROM)

- **Nhược điểm của EPROM:**
  - khi lập trình cần phải tháo ra khỏi mạch
  - tùy thuộc vào cường độ của tia cực tím mà thời gian xóa ROM có thể lâu (1 giờ).
- **EEPROM:** cho phép xóa ROM bằng điện áp.

## EEPROM

- floating gate và Drain được đặt rất gần nhau ( < 20nm)
- khi đặt một điện áp cỡ 20V lên cực control gate và D (nối đất), điện trường cao sẽ tạo ra dòng điện trong chất cách điện → floating gate được nạp điện
- để xóa (discharge) điện tích trên floating gate thì một điện áp ngược được đặt vào D và control gate. Điện trường sẽ làm các điện tử rời khỏi floating gate.



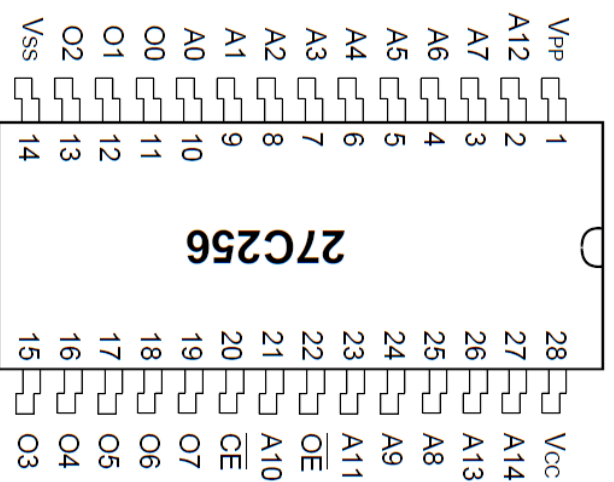
## Flash EEPROM

- Sử dụng các điện áp cao (20V) để xoá ROM là nhược điểm của EEPROM
- Flash Memory là một biến thể của EEPROM với các cực control và floating được đặt rất gần nhau (cỡ 10nm) điều này cho phép discharge (xoá) bằng cách đặt các điện áp 12V giữa control gate và source
  - xoá:  $V_{GS} = -12V$  ( S nối đất còn D để hở)
  - lập trình:  $V_{GS} = 12V$  (G nối đất) còn D nối 7V, giống như với EEPROM các điện tử chuyển động trong kênh dẫn sẽ bị điện trường G làm chuyển động qua vùng oxide và đến cực floating gate

Semiconductor Memory

33

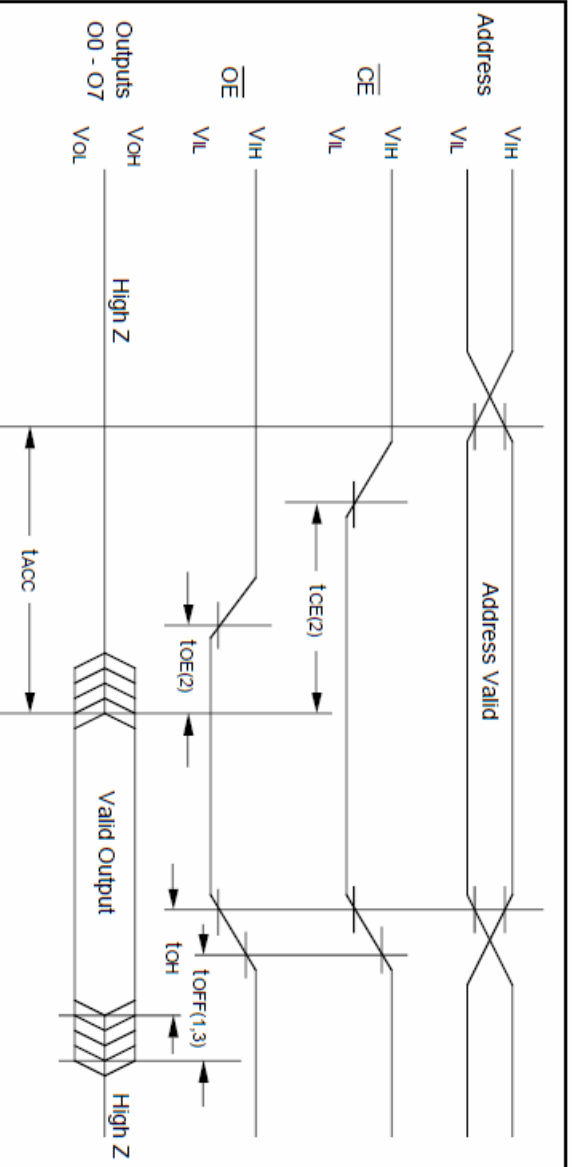
## CMOS EEPROM 27C256



Semiconductor Memory

34

**FIGURE 1-1: READ WAVEFORMS**



- Notes: (1)  $t_{OFF}$  is specified for  $\overline{OE}$  or  $\overline{CE}$ , whichever occurs first  
 (2)  $\overline{OE}$  may be delayed up to  $t_{CE} - t_{OE}$  after the falling edge of  $\overline{CE}$  without impact on  $t_{CE}$   
 (3) This parameter is sampled and is not 100% tested.

Semiconductor Memory

35

**TABLE 1-3: READ OPERATION AC CHARACTERISTICS**

AC Testing Waveform: Output Load: Input Rise and Fall Times: Ambient Temperature:										V <sub>IH</sub> = 2.4V and V <sub>IL</sub> = 0.45V; V <sub>OH</sub> = 2.0V V <sub>OL</sub> = 0.8V 1 TTL Load + 100 pF 10 ns Commercial: Industrial: Automotive:										T <sub>amb</sub> = 0°C to +70°C T <sub>amb</sub> = -40°C to +85°C T <sub>amb</sub> = -40°C to +125°C			
Parameter	Sym	27C256-90*		27C256-10*		27C256-12		27C256-15		27C256-20		Units	Conditions										
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max												
Address to Output Delay	t <sub>ACC</sub>	—	90	—	100	—	120	—	150	—	200	ns	$\overline{CE} = \overline{OE} = V_{IL}$										
$\overline{CE}$ to Output Delay	t <sub>CE</sub>	—	90	—	100	—	120	—	150	—	200	ns	$\overline{OE} = V_{IL}$										
$\overline{OE}$ to Output Delay	t <sub>OE</sub>	—	40	—	45	—	55	—	65	—	75	ns	$\overline{CE} = V_{IL}$										
$\overline{CE}$ or $\overline{OE}$ to O/P High Impedance	t <sub>OFF</sub>	0	30	0	30	0	35	0	50	0	55	ns											
Output Hold from Address $\overline{CE}$ or $\overline{OE}$ , whichever goes first	t <sub>OH</sub>	0	—	0	—	0	—	0	—	0	—	ns											

Semiconductor Memory

36

### FIGURE 1-2: PROGRAMMING WAVEFORMS (1)

**TABLE 1-5: PROGRAMMING AC CHARACTERISTICS**

### for Program, Program Verify and Program Inhibit Modes

AC Testing Waveform:  $V_H=2.4V$  and  $V_L=0.45V$ ;  $V_{OH}=2.0V$ ;  $V_{OL}=0.8V$   
Output Load: 1 TTL Load + 100pF  
Ambient Temperature:  $T_{amb}=25^{\circ}C \pm 5^{\circ}C$   
 $V_{CC}=6.5V \pm 0.25V$ ,  $V_{PP}=V_H=13.0V \pm 0.25V$

Parameter	Symbol	Min.	Max.	Units	Remarks
Address Set-Up Time	t <sub>AS</sub>	2	—	μs	
Data Set-Up Time	t <sub>DS</sub>	2	—	μs	
Data Hold Time	t <sub>DH</sub>	2	—	μs	
Address Hold Time	t <sub>AH</sub>	0	—	μs	
Float Delay (2)	t <sub>DF</sub>	0	130	ns	
VCC Set-Up Time	t <sub>VCS</sub>	2	—	μs	
Program Pulse Width (1)	t <sub>PW</sub>	95	105	μs	100 μs typical
$\overline{\text{CE}}$ Set-Up Time	t <sub>CES</sub>	2	—	μs	
$\overline{\text{OE}}$ Set-Up Time	t <sub>OES</sub>	2	—	μs	
VPP Set-Up Time	t <sub>VPS</sub>	2	—	μs	
Data Valid from $\overline{\text{OE}}$	t <sub>OE</sub>	—	100	ns	

Note 1: For express algorithm, initial programming width tolerance is  $100\text{ }\mu\text{s} \pm 5\%$ .

2: This parameter is only sampled and not 100% tested. Output float is defined as the point where data is no longer driven (see timing diagram).