

---

# **Các bộ biến đổi dữ liệu (Data Converters: ADC/DAC)**

---

# GiỚI THIỆU VỀ DAC

# Bộ chuyển đổi Số - Tương tự (DAC)

- Đặc điểm:
  - Có thể không đồng bộ hoặc đồng bộ
  - Phần tử tích cực chính là op amp
  - Thời gian chuyển đổi có thể thay đổi từ nhanh (một chu kỳ đồng hồ, T) tới chậm ( $2^{\text{No. bit}} * T$ )

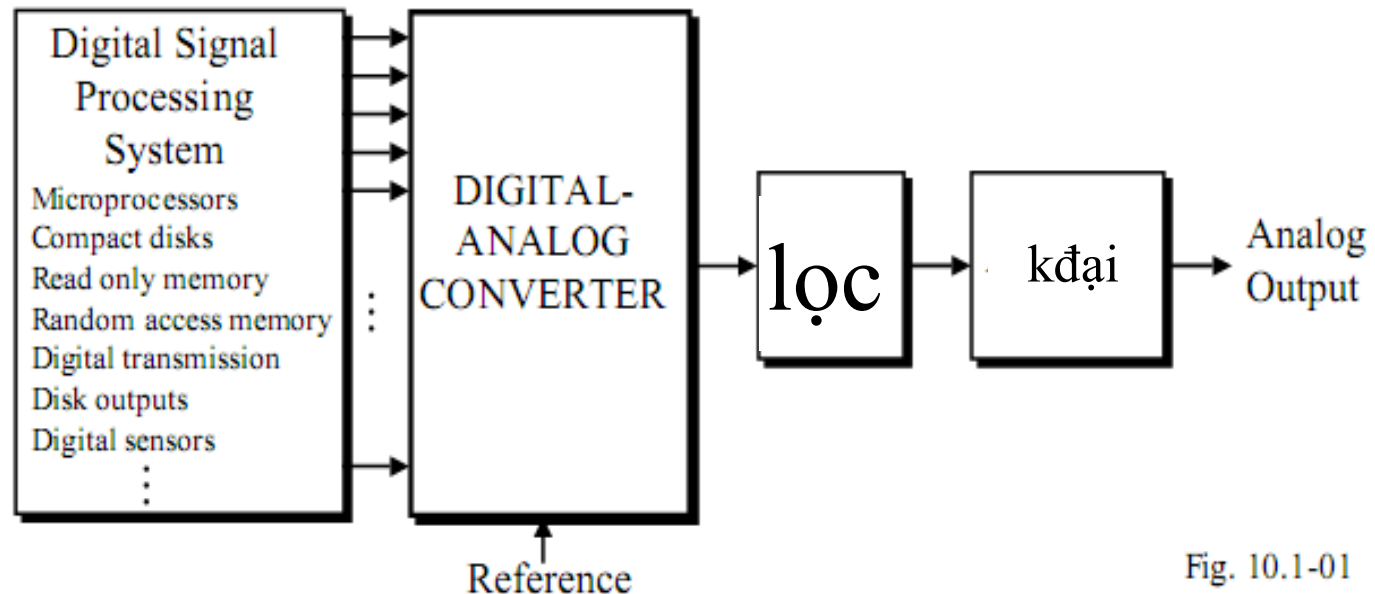
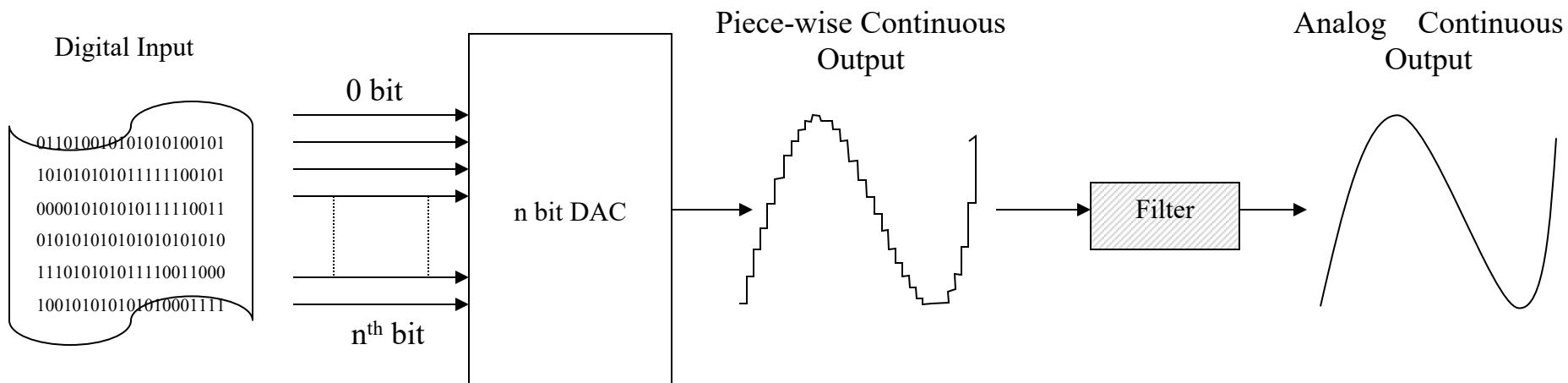
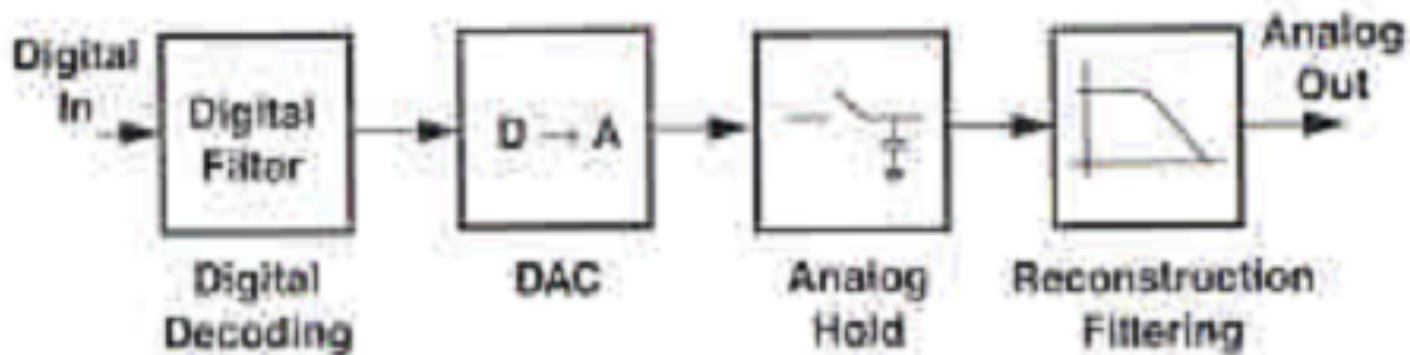


Fig. 10.1-01

# Ứng dụng thường gặp

- Được sử dụng khi cần một tín hiệu tương tự liên tục.
- Tín hiệu từ DAC có thể được làm mịn bởi một bộ lọc thông thấp

## D/A Conversion

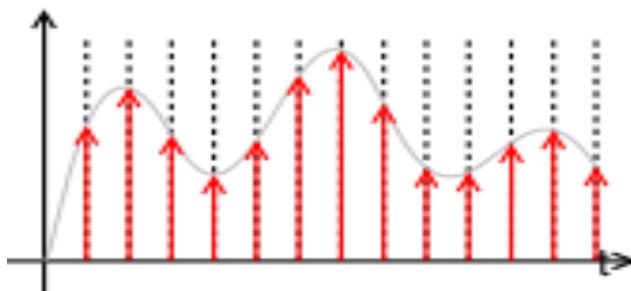
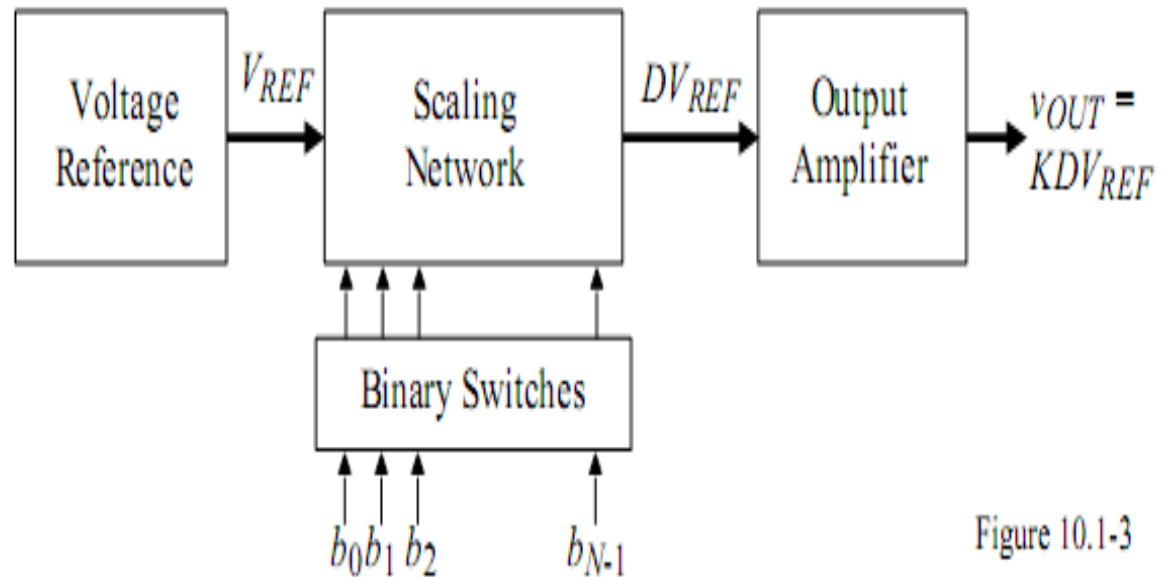


# Sơ đồ khối của một DAC

## Block Diagram of a Digital-Analog Converter

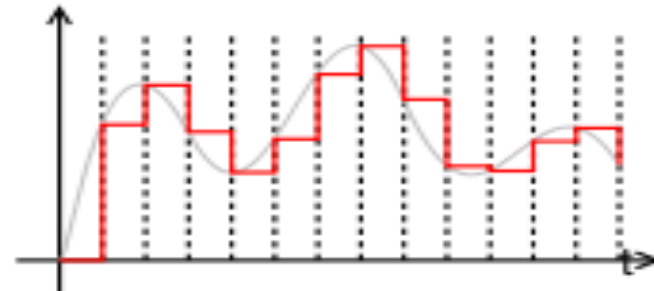
**Đầu ra tiêu biểu:**

*DACs nhận/giữ một số vào, chuyển đổi nó thành một tín hiệu vật lý, và giữ giá trị đó cho một khoảng thời gian mẫu nhất định. Việc này gọi là giữ mẫu bậc 0, kết quả sẽ tạo ra tín hiệu ra không đổi trong từng khoảng.*



Ideally Sampled Signal

DAC  
→



Output typical of a real, practical DAC due to  
sample & hold

# Điện áp tham chiếu (Áp dụng cho cả DAC/ADC )

- Xác định đặc trưng của DACs
  - Có thể thiết lập bên ngoài hoặc được tạo ra bên trong DAC
  - $V_{ref}$  đặt điện áp đầu ra tối đa cho DAC (nếu không khuếch đại)
- Điện áp ra toàn thang là:

$$E_{o(fs)} = \frac{V_{ref}(2^n - 1)}{2^n}$$

- $V_{ref}$  quyết định các bước thay đổi của áp đầu ra tương tự do mỗi LSB của tín hiệu vào số tạo nên (độ phân giải)

$$X = k \cdot A \cdot B$$

$X$  = Đầu ra tương tự

$k$  = Hằng số

$A = V_{ref}$

$B$  = Đầu vào số nhị phân

# Điện áp tham chiếu (cũng áp dụng cho ADC )

- Vref trong so với ngoài ?

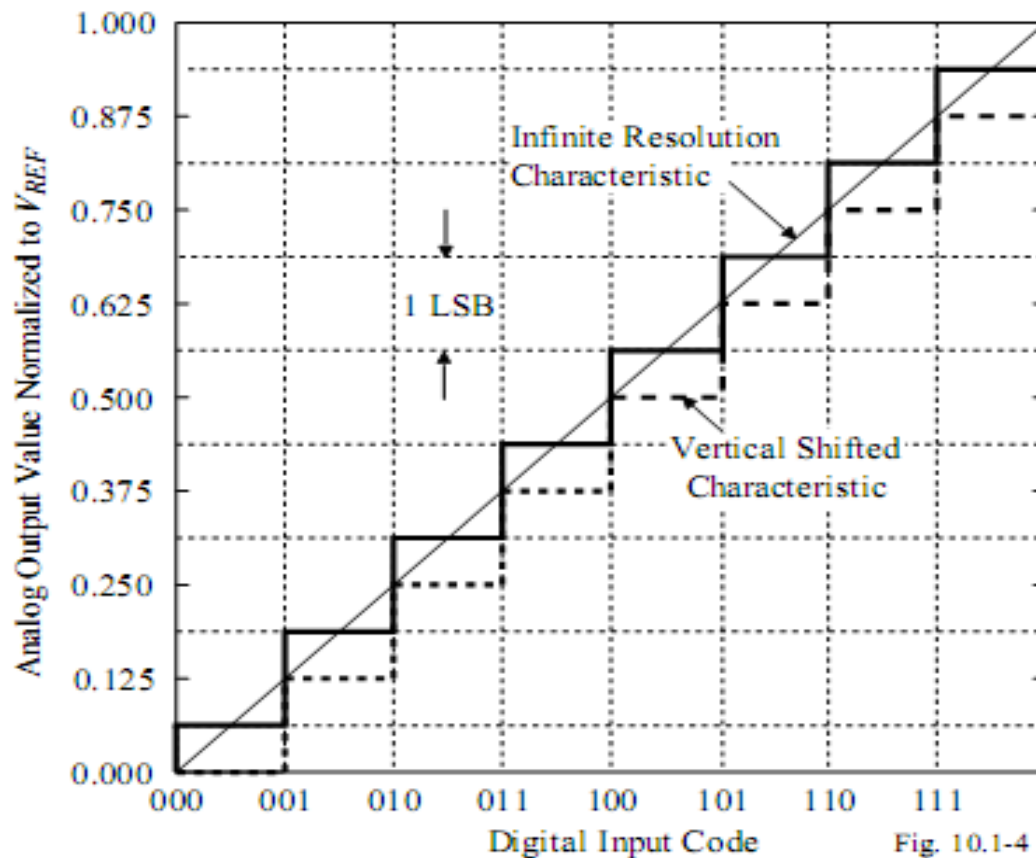
trong	ngoài
<ul style="list-style-type: none"><li>• không có bộ nhân DAC</li><li>• <math>V_{ref}</math> được sửa bởi ng chế tạo</li><li>• Đủ điều kiện cho một phạm vi nhiệt độ xác định</li></ul>	<ul style="list-style-type: none"><li>• bộ nhân DAC</li><li>• biến đổi <math>V_{ref}</math></li><li>• xét dòng cần thiết</li><li>• xét tác động của cấu trúc bên trong</li></ul>

\*Multiplying DAC is advantageous considering the external reference.

- bộ nhân DAC\*
- -xét nguồn bên ngoài gói DAC
- bộ không nhân DAC
  - xét nguồn bên trong gói DAC

# Đặc tính đầu vào-đầu ra

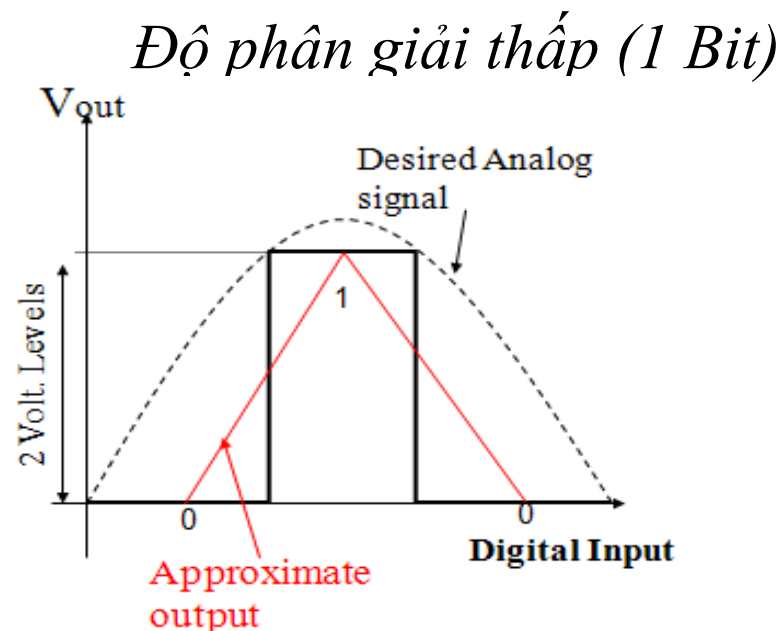
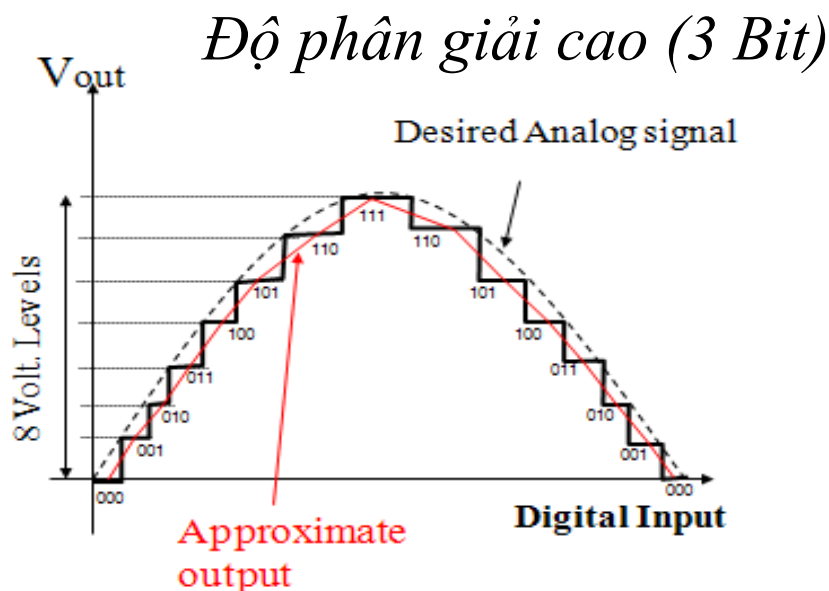
- Hình vẽ biểu diễn đặc tính I/O của một DAC 3-bit
- Mỗi số nhị phân được lấy mẫu bởi DAC tương ứng với một mức ra khác nhau.





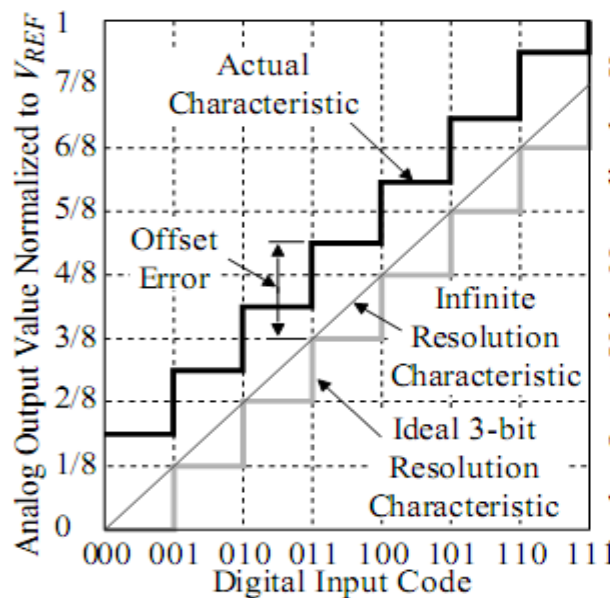
# Sai số độ phân giải

- Sai số cố hữu (không loại trừ được) liên quan đến độ phân giải  $= \frac{\text{Ref Voltage}}{2^{\# \text{ of bits}}}$
- Tăng số Bits  $\Rightarrow$  giảm sai số và tăng độ phân giải
- Giảm số Bits  $\Rightarrow$  tăng sai số và giảm độ phân giải
  - Q: Làm thế nào mà độ phân giải ảnh hưởng đến kết quả đo.
  - A: LSB có thể trong miền nhiễu và không tạo ra đầu ra; khó tìm ra bộ KĐTT để khuếch đại tín hiệu nhỏ như vậy

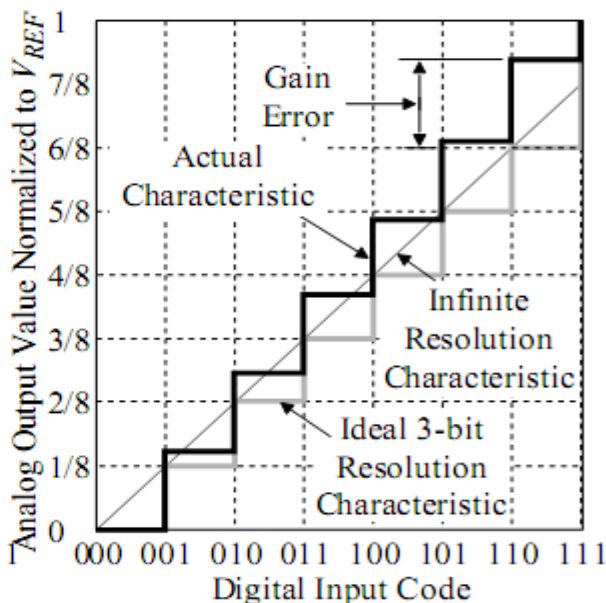


# Sai số hệ số khuếch đại và bù

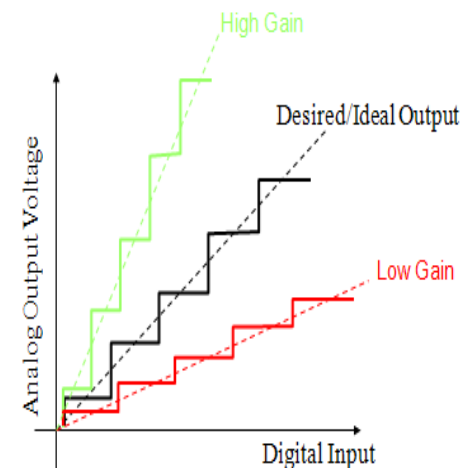
- Một sai số bù là độ sai khác không đổi giữa đặc tính thực tế có độ phân giải hữu hạn và đặc tính lý tưởng có độ phân giải vô hạn được đo tại bất kỳ bước nhảy theo phương đứng nào (at any vertical jump).
- Sai số hskđ là sai khác giữa độ nghiêng của đường đặc tính thực tế và đường đặc tính lý tưởng được đo tại bước nhảy theo phương đứng ở vị trí ngoài cùng bên phải.



Offset Error in a 3-bit DAC



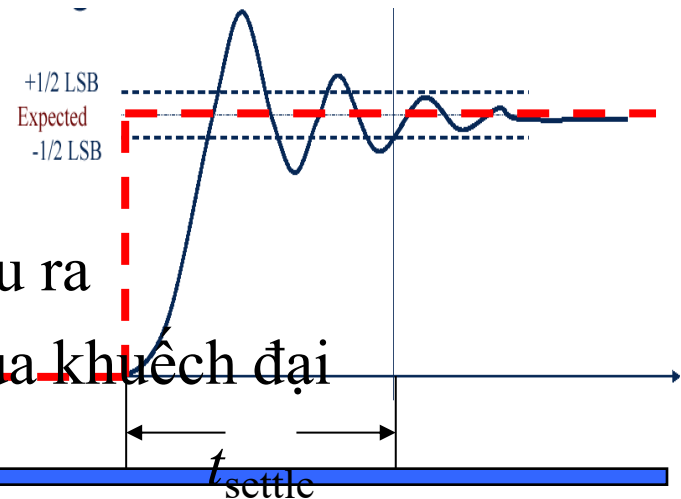
Gain Error in a 3-bit DAC



\*This error may be detected when all input bits are low Fig. 10.1-6

# Thời gian ổn định và độ quá điều chỉnh

- Khoảng thời gian giữa một lệnh để cập nhật (thay đổi) giá trị đầu ra của nó và thời điểm nó đạt đến giá trị cuối cùng của nó, trong phạm vi sai số chỉ định trước ( $V_{\text{LSB}} = \pm \frac{1}{2} \text{ LSB}$ )
  - Thời gian xác lập thường xác định tần số hoạt động tối đa của DAC (DAC nhanh hơn thì có thời gian xác lập ngắn hơn)
  - Một trong những yếu tố hạn chế chủ yếu của bất kỳ DAC thương mại là thời gian xác lập của các op-amp
  - Chuyển mạch điện tử  $\rightarrow$  nhanh
- Đầu ra DAC lý tưởng sẽ là chuỗi xung  $\rightarrow$  cập nhật tức thời
- Nguyên nhân:
  - Tốc độ quét (slew) của bộ khuếch đại đầu ra
  - Lượng quá độ t/h và độ rung (ringing) của bộ khuếch đại



# Tóm tắt: Các loại sai số DAC

---

- Sai số khuếch đại
  - Sai số bù
  - Sai số toàn miền
  - Sai số đầu ra không đơn điệu
  - Sai số phi tuyến vi phân
  - Sai số phi tuyến tích phân
  - Thời gian xác lập và sai số quá điều chỉnh
  - Sai số do độ phân giải
- 
- **Các nguồn nguyên nhân gây ra sai số?**
-

# Tóm tắt: nguyên nhân gây ra sai số

---

- Độ lệch của các nguồn điện áp so với giá trị định danh.
- Biến thiên và dung sai của điện trở
- Bộ KĐTT không lý tưởng
- Các thành phần của mạch khác không lý tưởng, phụ thuộc nhiệt độ, vv

---

# Chi tiết về DAC

# CÁC BỘ CHUYỂN ĐỔI DAC SONG SONG

- Phân loại các bộ chuyển đổi DAC

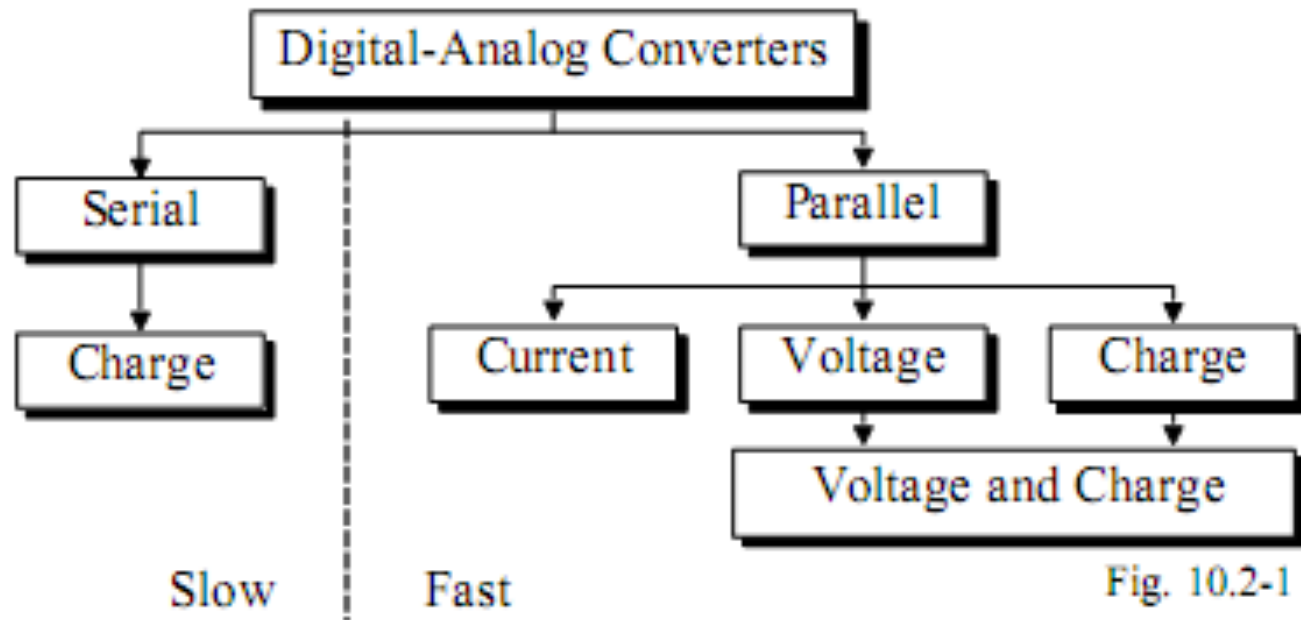


Fig. 10.2-1

# DAC kiểu đếm gộp dòng (Current Scaling)

## General Current Scaling DACs

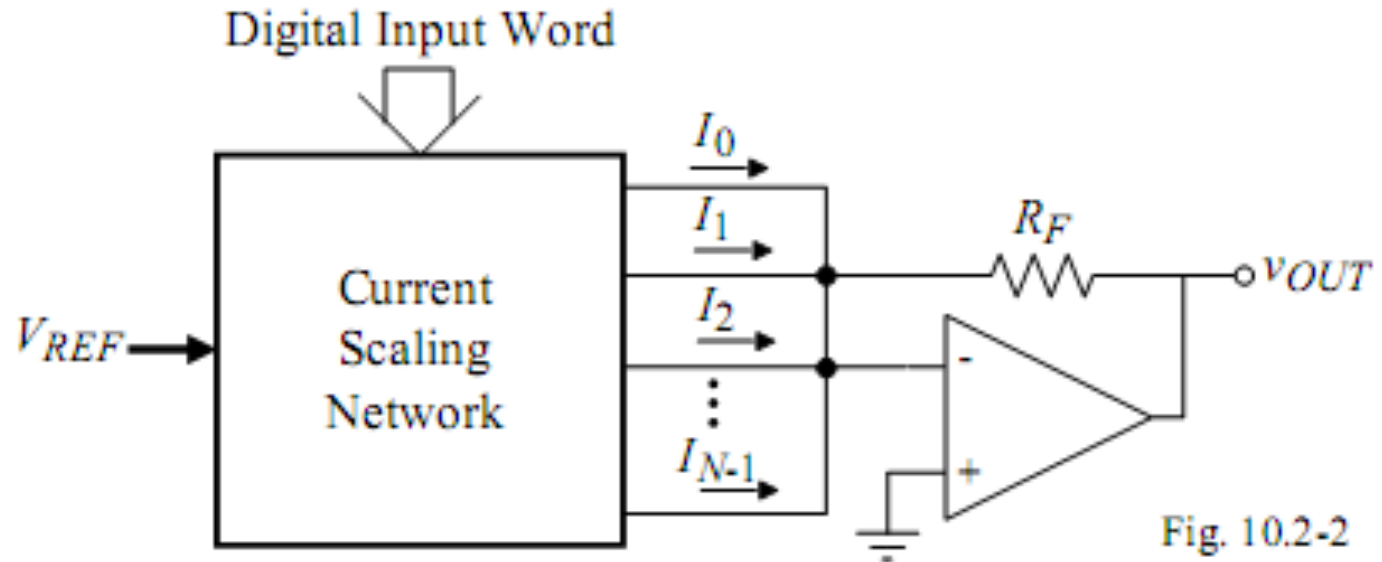


Fig. 10.2-2

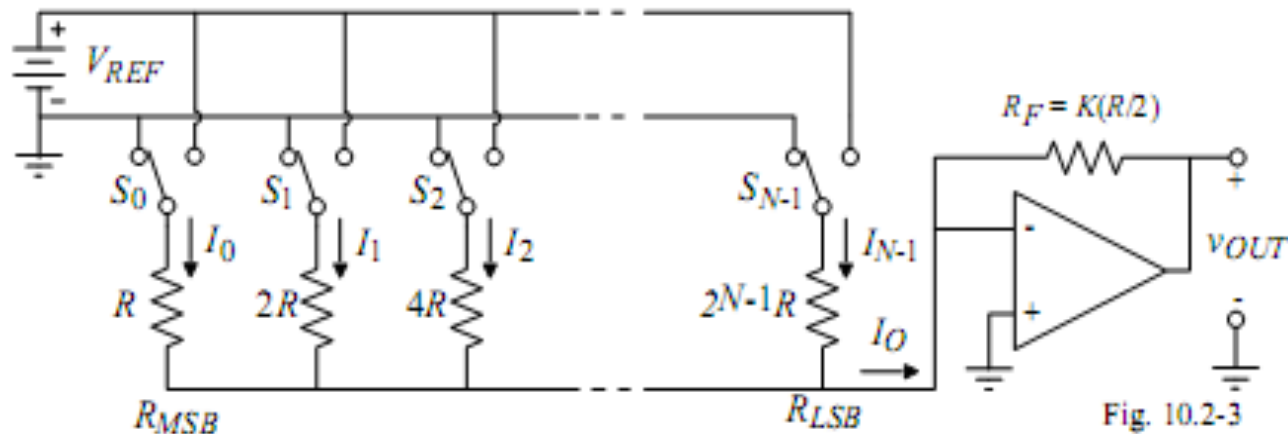
The output voltage can be expressed as

$$V_{OUT} = -R_F(I_0 + I_1 + I_2 + \dots + I_{N-1})$$

where the currents  $I_0, I_1, I_2, \dots$  are binary weighted currents.



# DAC thang điện trở trọng số nhị phân



Comments:

1.)  $R_F$  can be used to scale the gain of the DAC. If  $R_F = KR/2$ , then

$$v_{OUT} = -R_F I_O = \frac{-KR}{2} \left( \frac{b_0}{R} + \frac{b_1}{2R} + \frac{b_2}{4R} + \dots + \frac{b_{N-1}}{2^{N-1}R} \right) V_{REF} \Rightarrow v_{OUT} = -K \left( \frac{b_0}{2} + \frac{b_1}{4} + \frac{b_2}{8} + \dots + \frac{b_{N-1}}{2^N} \right) V_{REF}$$

where  $b_i$  is 1 if switch  $S_i$  is connected to  $V_{REF}$  or 0 if switch  $S_i$  is connected to ground.

2.) Component spread value =  $\frac{R_{MSB}}{R_{LSB}} = \frac{R}{2^{N-1}R} = \frac{1}{2^{N-1}}$

3.) Attributes:

Insensitive to parasitics  $\Rightarrow$  fast

Large component spread value

Trimming required for large values of  $N$

Nonmonotonic

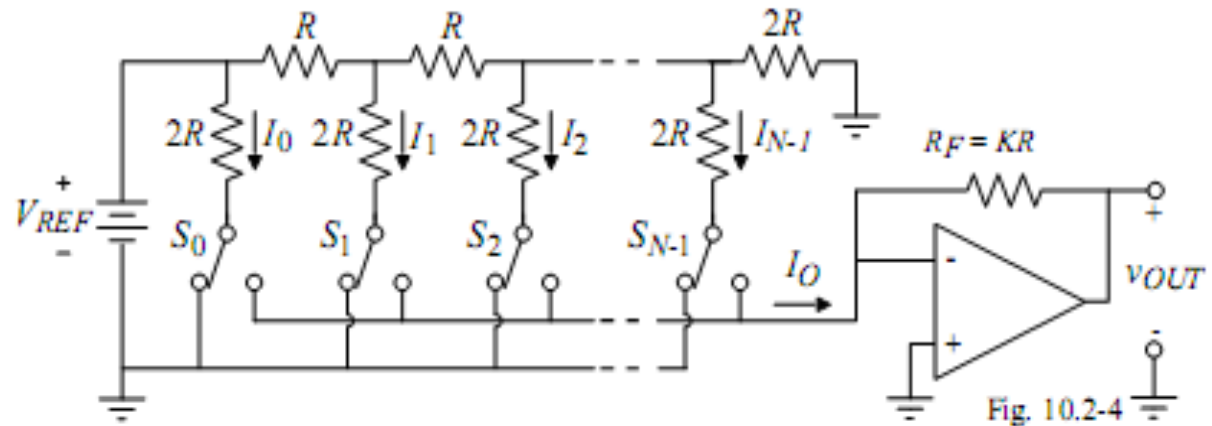
# DAC thang điện trở trọng số nhị phân

---

- Ưu điểm
    - đơn giản
    - nhanh
  - Nhược điểm
    - Yêu cầu dải giá trị điện trở lớn (2048:1 cho 12-bit) với độ chính xác cao cho các giá trị điện trở thấp
    - Yêu cầu các khóa có điện trở rất nhỏ
    - Có thể có vấn đề khi KĐTT tạo dòng thấp ở dải thấp của DAC độ chính xác cao.
-

# DAC thang điện trở loại R-2R

Use of the R-2R concept to avoid large element spreads:



How does the R-2R ladder work?

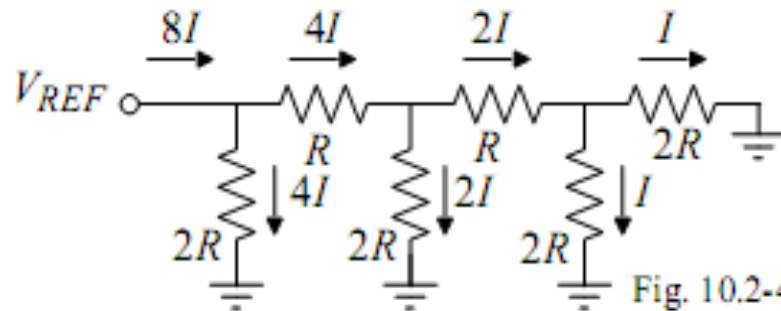
“The resistance seen to the right of any of the vertical  $2R$  resistors is  $2R$ .”

Attributes:

- Not sensitive to parasitics

(currents through the resistors never change as  $S_i$  is varied)

- Small element spread. Resistors made from same unit ( $2R$  consist of two in series or  $R$  consists of two in parallel)
- Not monotonic



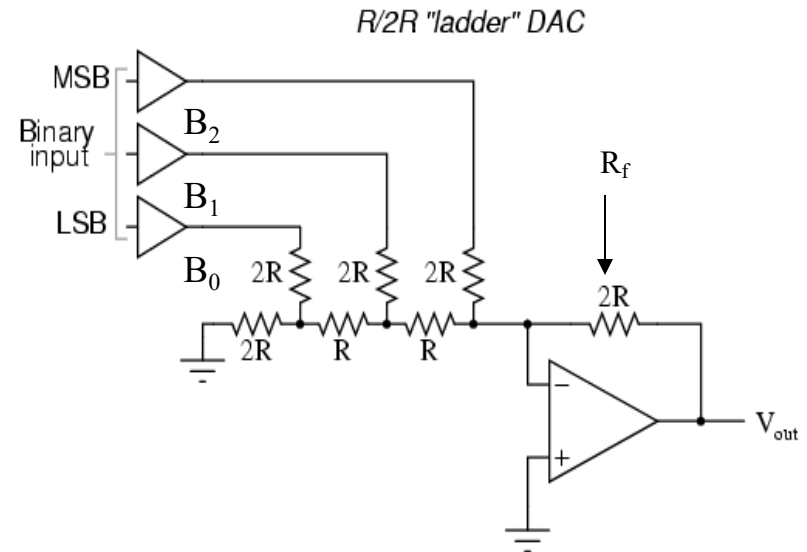
# DAC thang điện trở loại R-2R

- Mạch có thể được phân tích sử dụng định lý Thevenin (thay thế mạng với nguồn điện áp tương đương và điện trở)
- Kết quả cuối cùng:

$$V_{\text{out}} = -V_{\text{ref}} \frac{R_f}{R} \sum_{i=0}^{n-1} \frac{B_i}{2^{n-i}}$$

So sánh với mạch DAC loại trọng số nhị phân

$$V_{\text{out}} = -V_{\text{ref}} \frac{R_f}{R} \sum_{i=0}^{n-1} \frac{B_i}{2^{(n-1)-i}}$$



# DAC thang điện trở loại R-2R

- Độ phân dải

$$|V_{\min}| = \frac{R_f |V_{ref}|}{R 2^n}$$

- Nếu  $R_f = R$  thì độ phân dải là:  $\frac{|V_{ref}|}{2^n}$

và  $V_{\text{outmax}}$  là  $|V_{\max}| = |V_{ref}| \left( 1 - \frac{1}{2^n} \right)$

# DAC thang điện trở loại R-2R

---

- Ưu điểm :

Chỉ có 2 giá trị điện trở

Cho phép dùng các điện trở có độ chính xác thấp

- \* Nhược điểm

Tốc độ chuyển đổi chậm hơn

---

# Nhận xét chung

---

- Mạch chỉ tạo ra đầu ra đơn cực
- Thay thế đất bằng  $-V_{\text{ref}}$  sẽ cho phép  $V_{\text{out}}$  là dương hoặc âm

# DACs loại cộng gộp điện áp (Voltage Scaling)

## General Voltage Scaling Digital Analog Converter

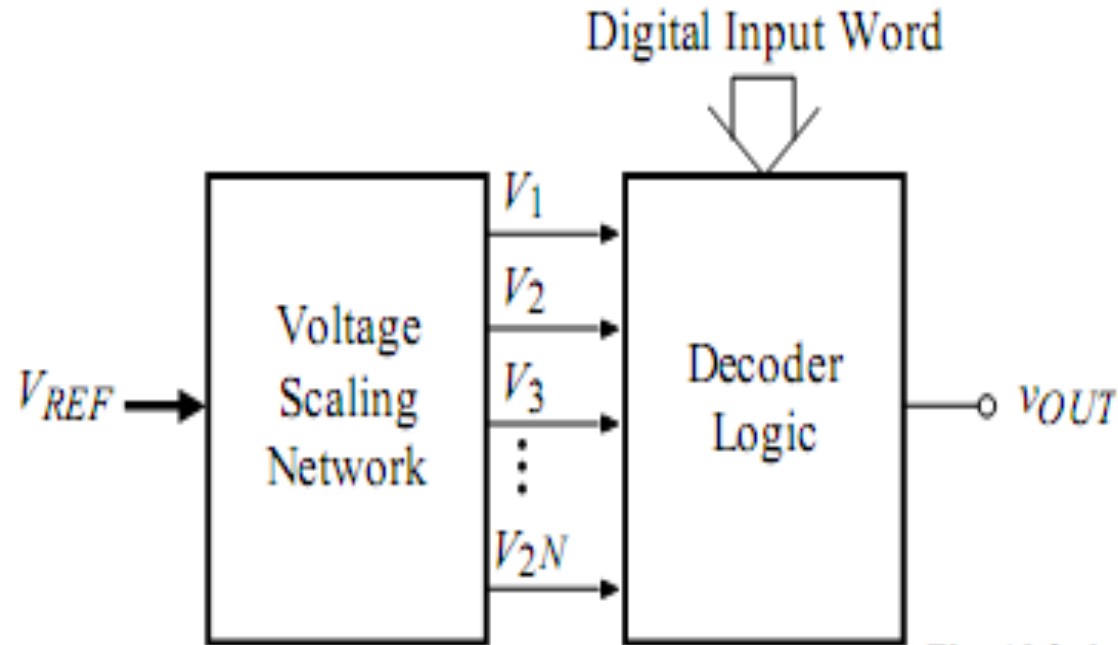


Fig. 10.2-6

### Operation:

Creates all possible values of the analog output then uses a decoding network to determine which voltage to select based on the digital input word.



# Bộ DAC cộng gộp điện áp 3-Bit

The voltage at any tap can be expressed as:  $v_{OUT} = \frac{V_{REF}}{8} (n - 0.5) = \frac{V_{REF}}{16} (2n - 1)$

Attributes:

- Guaranteed monotonic
- Compatible with CMOS technology
- Large area if  $N$  is large
- Sensitive to parasitics
- Requires a buffer
- Large current can flow through the resistor string.

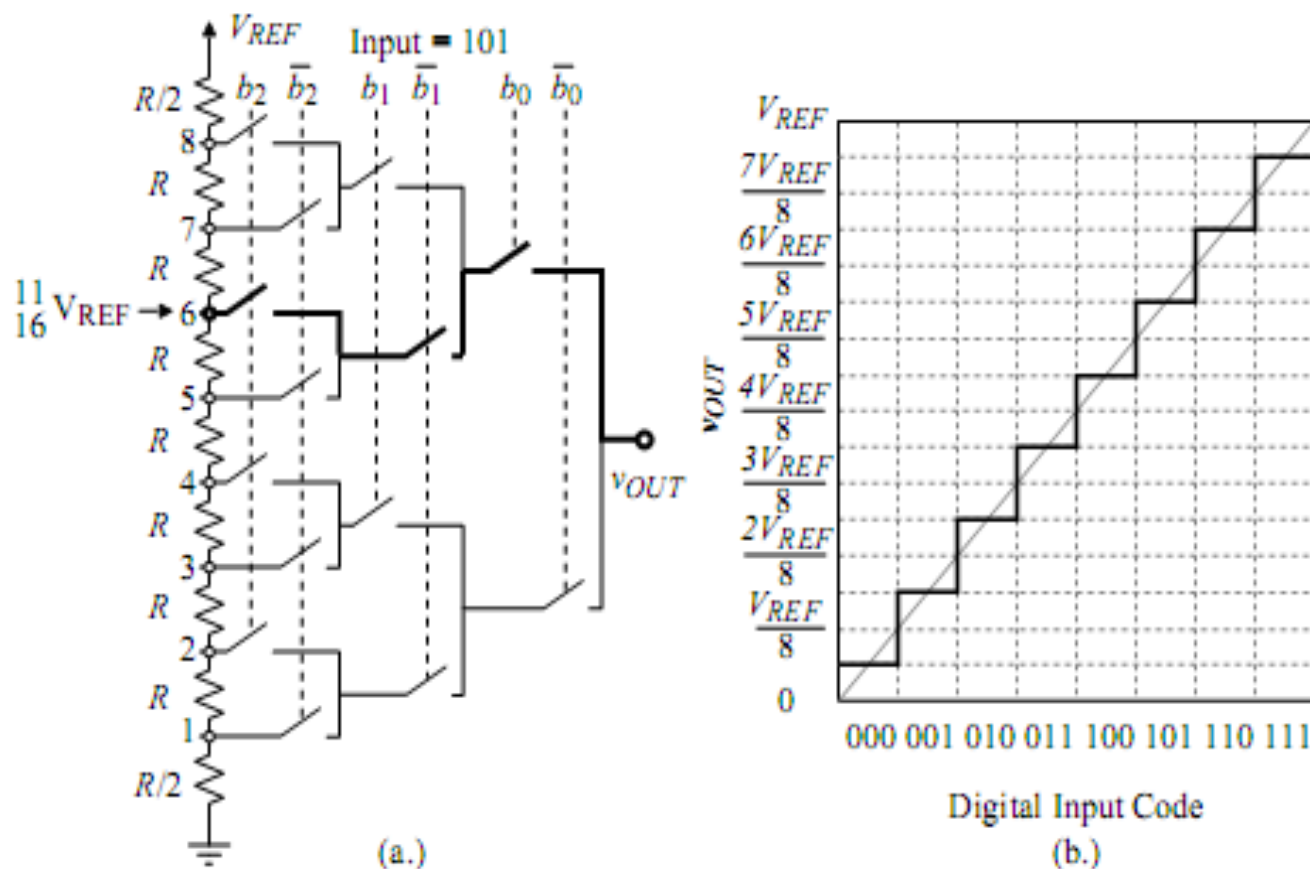


Figure 10.2-7 - (a.) Implementation of a 3-bit voltage scaling DAC. (b.) Input-output characteristics of Fig. 10.2-7(a.)

## Thực hiện bộ DAC cộng gộp điện áp 3-Bit

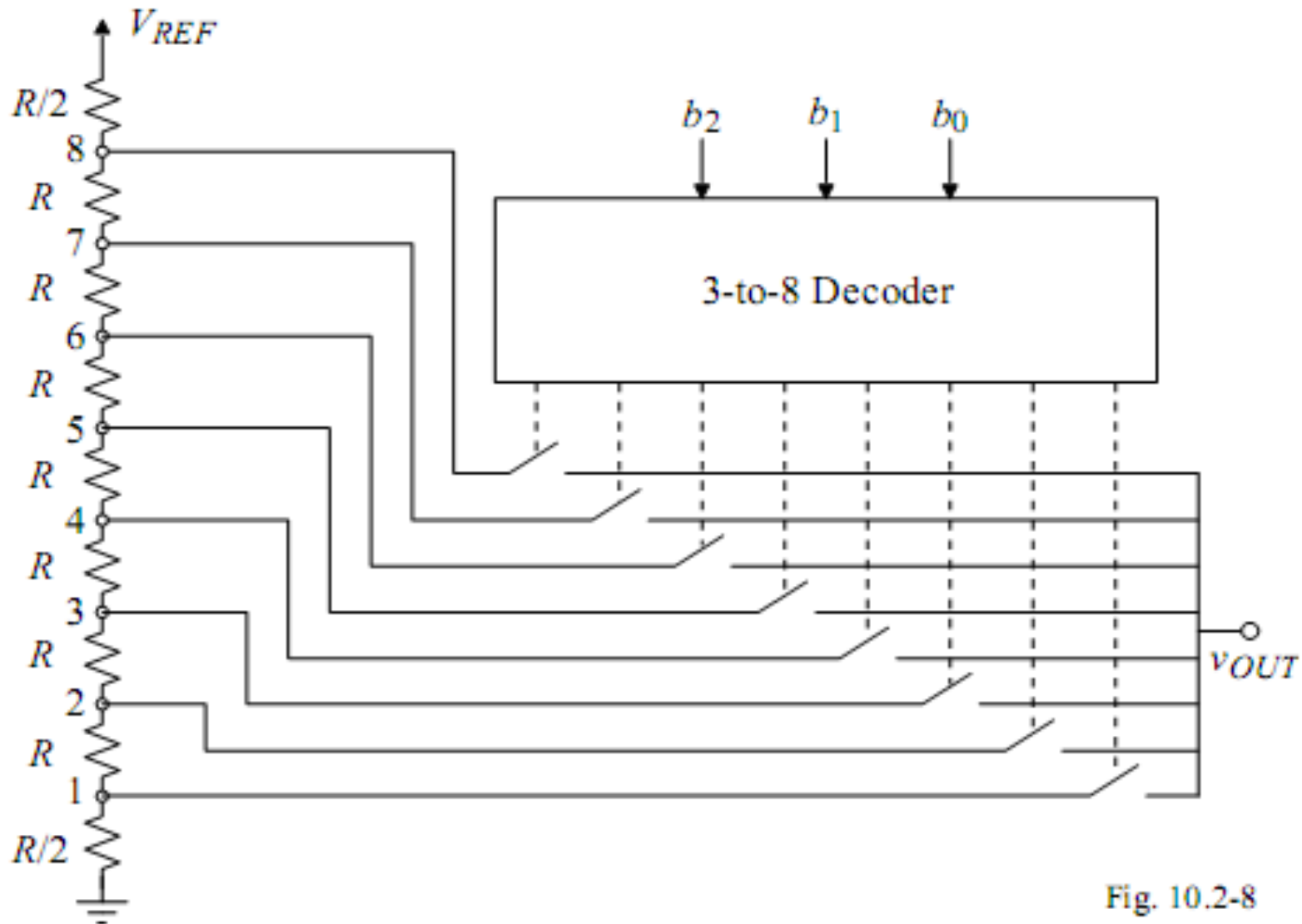
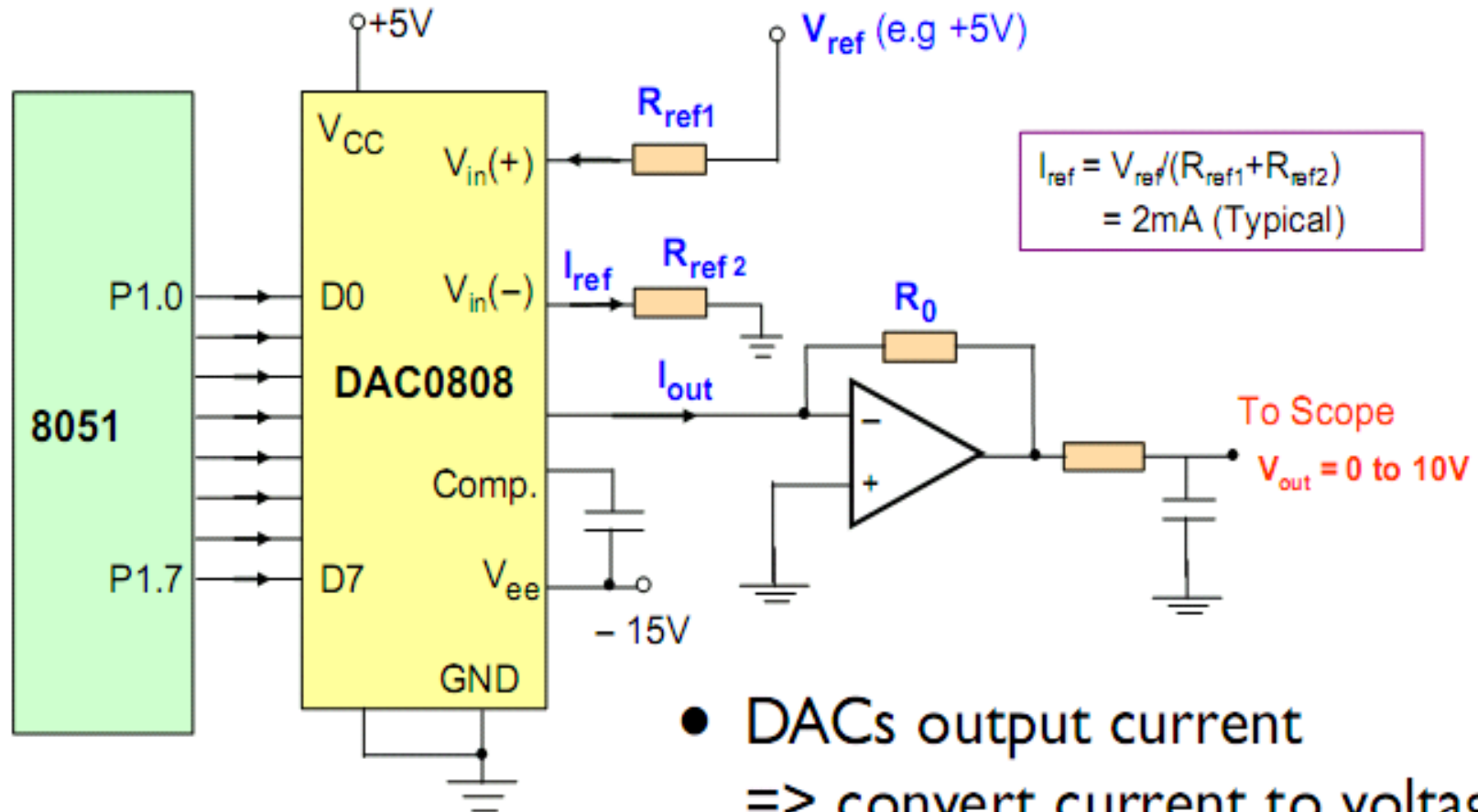


Fig. 10.2-8

# Tóm tắt chất lượng của các bộ DAC (Optional)

DAC	Figure	Primary Advantage	Primary Disadvantage
Current-scaling, binary weighted resistors	10.2-3	Fast, insensitive to parasitic capacitance	Large element spread, nonmonotonic
Current-scaling, R-2R ladder	10.2-4	Small element spread, increased accuracy	Nonmonotonic, limited to resistor accuracy
Current-scaling, active devices	10.2-5	Fast, insensitive to switch parasitics	Large element spread, large area
Voltage-scaling	10.2-7	Monotonic, equal resistors	Large area, sensitive to parasitic capacitance
Charge-scaling, binary weighted capacitors	10.2-10	Best accuracy	Large area, sensitive to parasitic capacitance
Binary weighted, charge amplifier	10.2-12	Best accuracy, fast	Large element spread, large area
Current-scaling subDACs using current division	10.3-3	Minimizes area, reduces element spread which enhances accuracy	Sensitive to parasitic capacitance, divider must have $\pm 0.5LSB$ accuracy
Charge-scaling subDACs using charge division	10.3-4	Minimizes area, reduces element spread which enhances accuracy	Sensitive to parasitic capacitance, slower, divider must have $\pm 0.5LSB$ accuracy
Binary weighted charge amplifier subDACs	10.3-6	Fast, minimizes area, reduces element spread which enhances accuracy	Requires more op amps, divider must have $\pm 0.5LSB$ accuracy
Voltage-scaling ( <i>MSBs</i> ), charge-scaling ( <i>LSBs</i> )	10.3-7	Monotonic in <i>MSBs</i> , minimum area, reduced element spread	Must trim or calibrate resistors for absolute accuracy
Charge-scaling ( <i>MSBs</i> ), voltage-scaling ( <i>LSBs</i> )	10.3-8	Monotonic in <i>LSBs</i> , minimum area, reduced element spread	Must trim or calibrate resistors for absolute accuracy
Serial, charge redistribution	10.4-1	Simple, minimum area	Slow, requires complex external circuits
Pipeline, algorithmic	10.4-3	Repeated blocks, output at each clock after $N$ clocks	Large area for large number of bits
Serial, iterative algorithmic	10.4-4	Simple, one precise set of components	Slow, requires additional logic circuitry

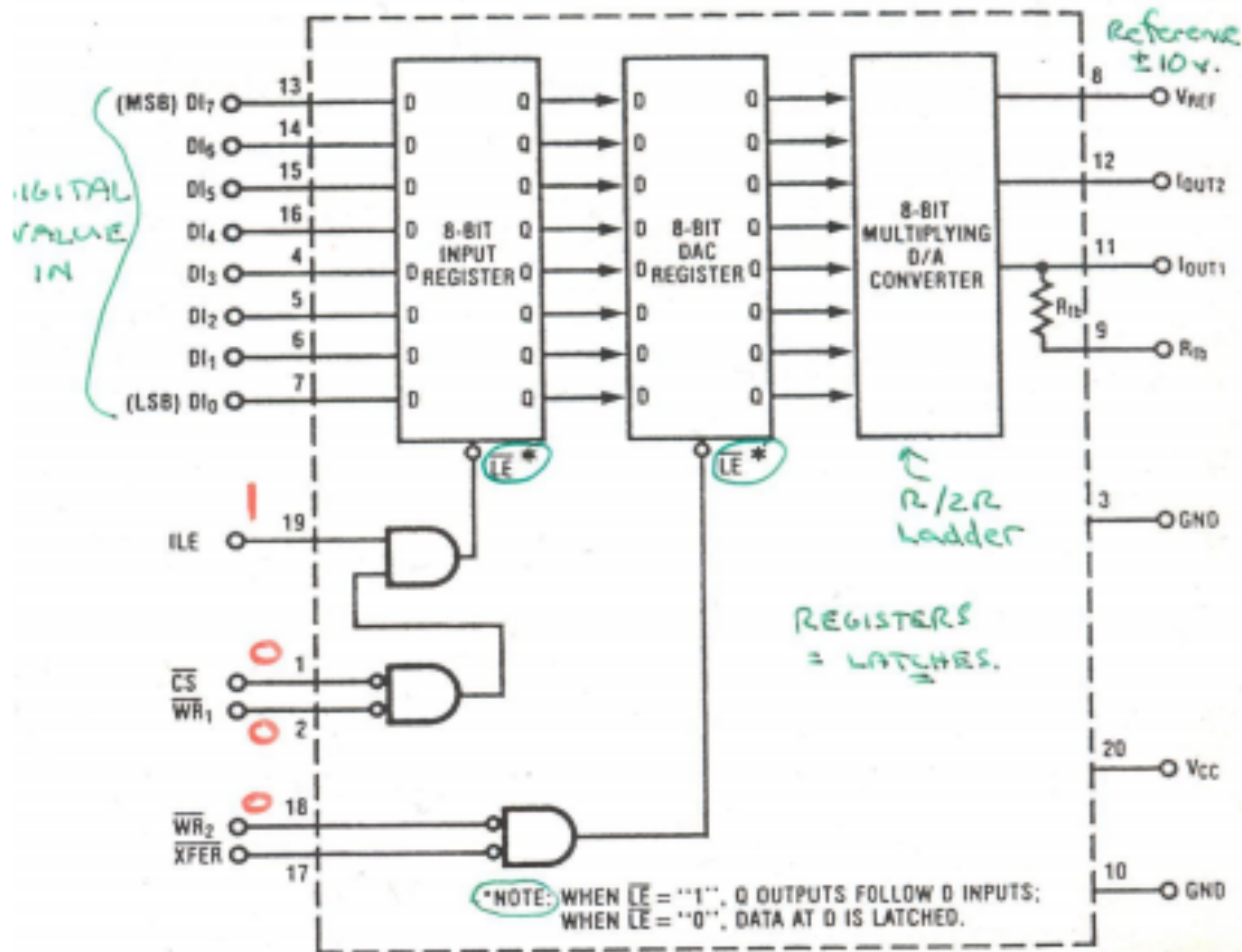
# DAC 808



Output voltage,  $V_{out} = I_{out} \times R_0$

$$I_{out} = I_{ref} \left( \frac{D_7}{2} + \frac{D_6}{4} + \frac{D_5}{8} + \frac{D_4}{16} + \frac{D_3}{32} + \frac{D_2}{64} + \frac{D_1}{128} + \frac{D_0}{256} \right)$$

# DAC 0831 (8-bit)



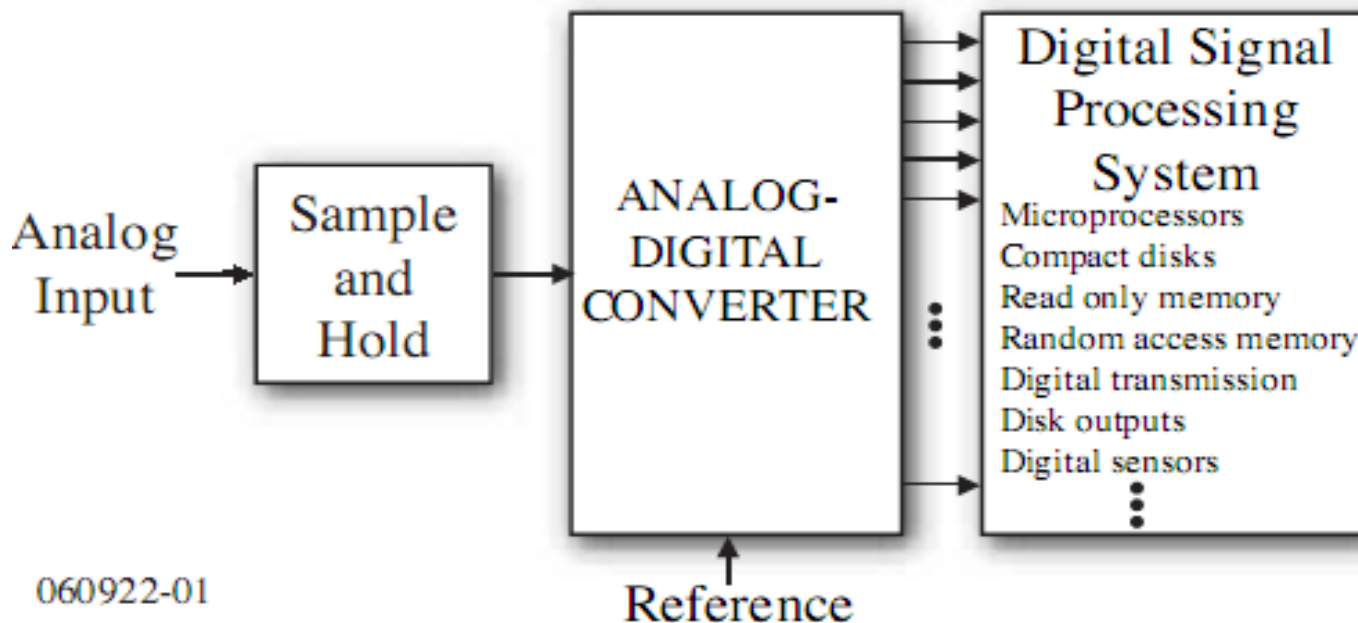
Input latches can be made transparent

---

# GIỚI THIỆU VỀ ADC

# Bộ chuyển đổi Tương tự -> Số

- Đặc điểm:
  - Chỉ có thể đồng bộ (tín hiệu tương tự phải được lấy mẫu và giữ mẫu trong suốt quá trình chuyển đổi)
  - Phần tử tích cực chính là bộ so sánh
  - Thời gian chuyển đổi có thể thay đổi từ nhanh (một chu kỳ đồng hồ,  $T$ ) đến chậm ( $2^{\text{số bit}} * T$ )



# Quá trình biến đổi từ Tương tự -> Số

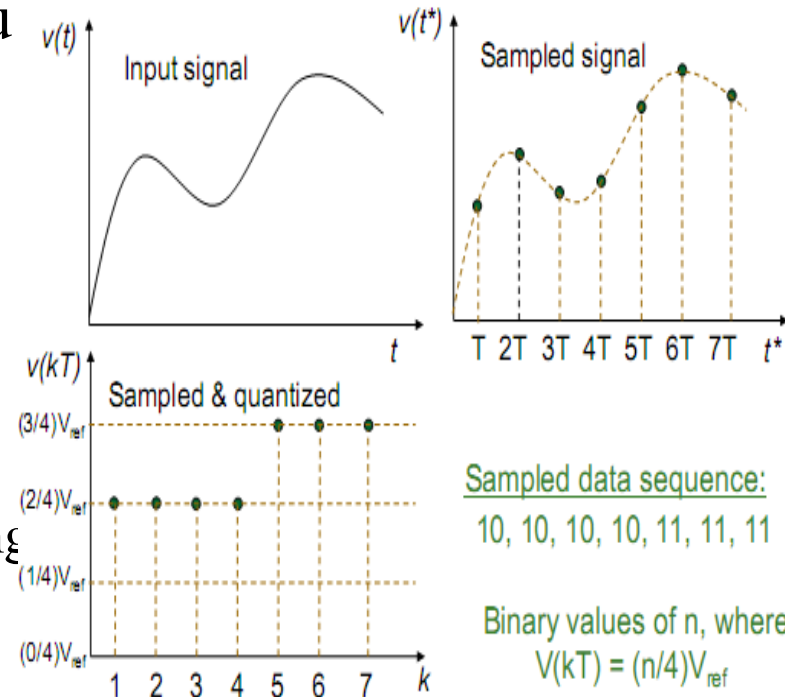
- Cho: Tín hiệu điện thời gian liên tục

$$v(t), t \geq 0$$

- Yêu cầu: chuỗi các giá trị số rời rạc biểu diễn tín hiệu tại các thời điểm lựa chọn:

$$v(0), v(T), v(2T), \dots, v(nT)$$

- $T$  = “chu kỳ lấy mẫu”:  $v(t)$  “tín hiệu được lấy mẫu” sau mỗi  $T$  giây
- $n$  = số mẫu
- $v(nT)$  = giá trị của  $v(t)$  đo tại thời điểm lấy mẫu thứ  $n$  và được lượng tử hóa về một trong  $2^k$  các mức rời rạc.

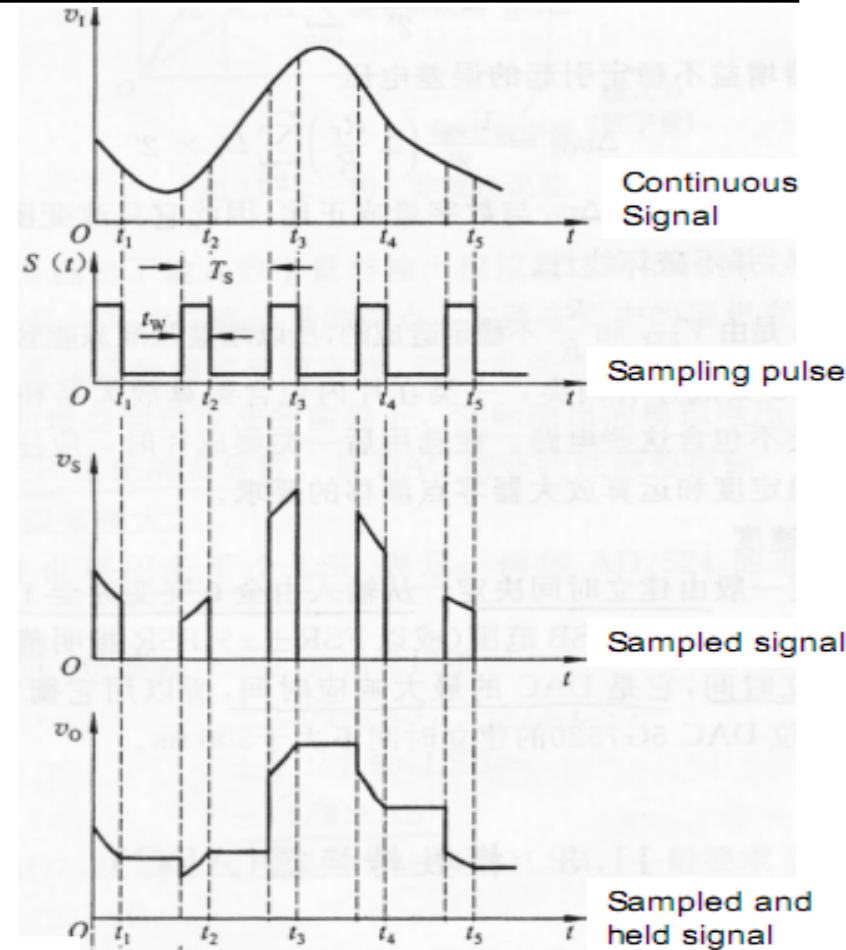
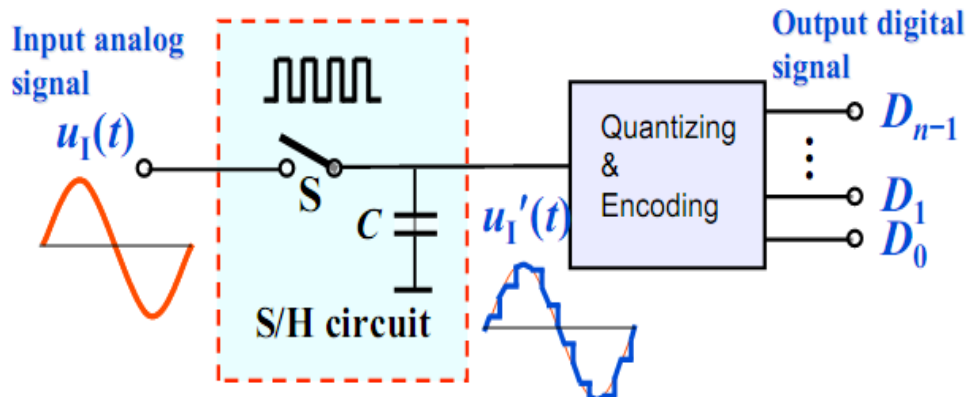




# Bộ chuyển đổi ADC

## 2 bước

- + Lấy mẫu và giữ mẫu (S / H)
  - Giữ mẫu đảm bảo tính chính xác của chuyển đổi A / D
- + Lượng tử hóa và mã hóa (Q / E)

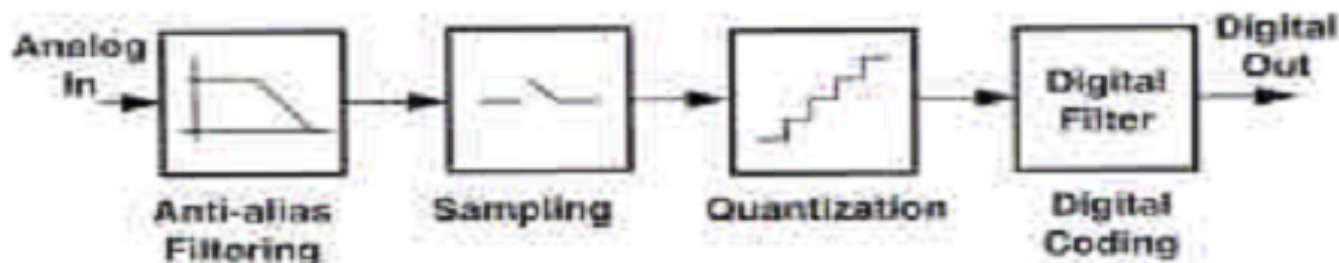


# Các thông số của bộ chuyển đổi A/D

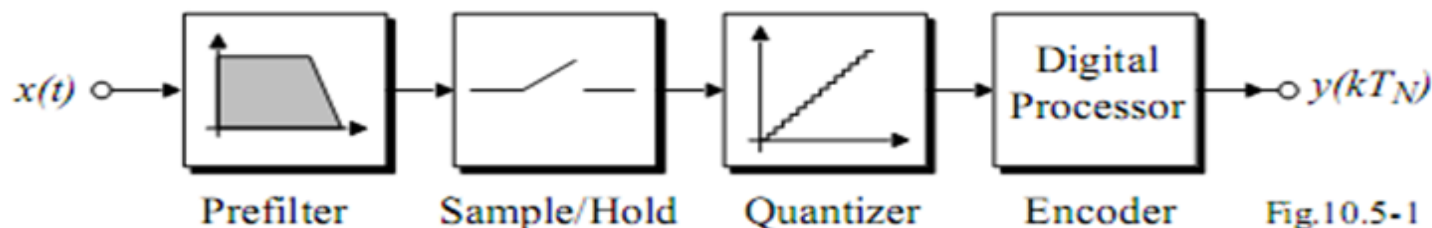
- Tốc độ lấy mẫu, F (chu kỳ lấy mẫu  $T = 1/F$ )
  - Tốc độ Nyquist  $\geq 2 \times$  (tần số cao nhất trong tín hiệu) để tái tạo tín hiệu được lấy mẫu
- Độ chính xác (số bit trong giá trị lấy mẫu)
  - $k$  = số bit được sử dụng để biểu diễn các mẫu
  - “Precision”: mỗi bước biểu diễn  $(1/2^k) \times V_{\text{range}}$
  - “Accuracy”: Bộ biến đổi có thể phân biệt được mức thích hợp (sai số khi làm tròn đến mức gần nhất) đến cấp độ nào.
- Khó hơn chuyển đổi D/A
- Lựa chọn:
  - Độ chính xác Precision (số bit) / Độ chính xác (Accuracy)/Tốc độ (chuyển đổi)/Độ tuyến tính/Đơn cực so với lưỡng cực/Phương pháp giải mã đầu ra/ / Giá thành
  - Thường được xây dựng xung quanh các bộ DAC

# Giới thiệu đặc tính hóa của ADC

## A/D Conversion



## General Block Diagram of an Analog-Digital Converter



- tiền bộ lọc - tránh nhiễu của các tín hiệu có tần số cao đi vào trong băng thông của ADC
- lấy mẫu và giữ mẫu - duy trì đầu vào là tín hiệu tương tự liên tục trong quá trình chuyển đổi
- lượng tử hóa - tìm các miền phụ tương ứng với các tín tương tự đầu vào
- mã hóa - mã hóa dưới dạng các bit tương ứng với các miền phụ đã được lượng tử hóa

# Phân loại ADC

bộ chuyển đổi tương tự sang số có thể được phân loại dựa vào mối quan hệ giữa  $f_b$  và  $0,5f_s$  và tỷ lệ chuyển đổi của nó

- *Nyquist ADCs* - ADCs có  $f_b$  có thể gần giống với  $0,5f_s$
- *Oversampling ADCs* - ADCs có  $f_b$  ít hơn nhiều so với  $0.5f_s$

Table 10.5-1 - Classification of Analog-to-Digital Converter Architectures

Conversion Rate	Nyquist ADCs	Oversampled ADCs
Slow	tích hợp (mã)	độ phân giải rất cao <14-16 bits
Medium	phép xấp xỉ liên tiếp bit truyền dẫn thuật toán	độ phân giải trung bình <10-12 bits
Fast	Flash Multiple-bit truyền dẫn gấp và nội suy	độ phân giải thấp < 6-8 bits

# Đặc tính I/O

đặc tính vào ra lý tưởng của một ADC 3 bit

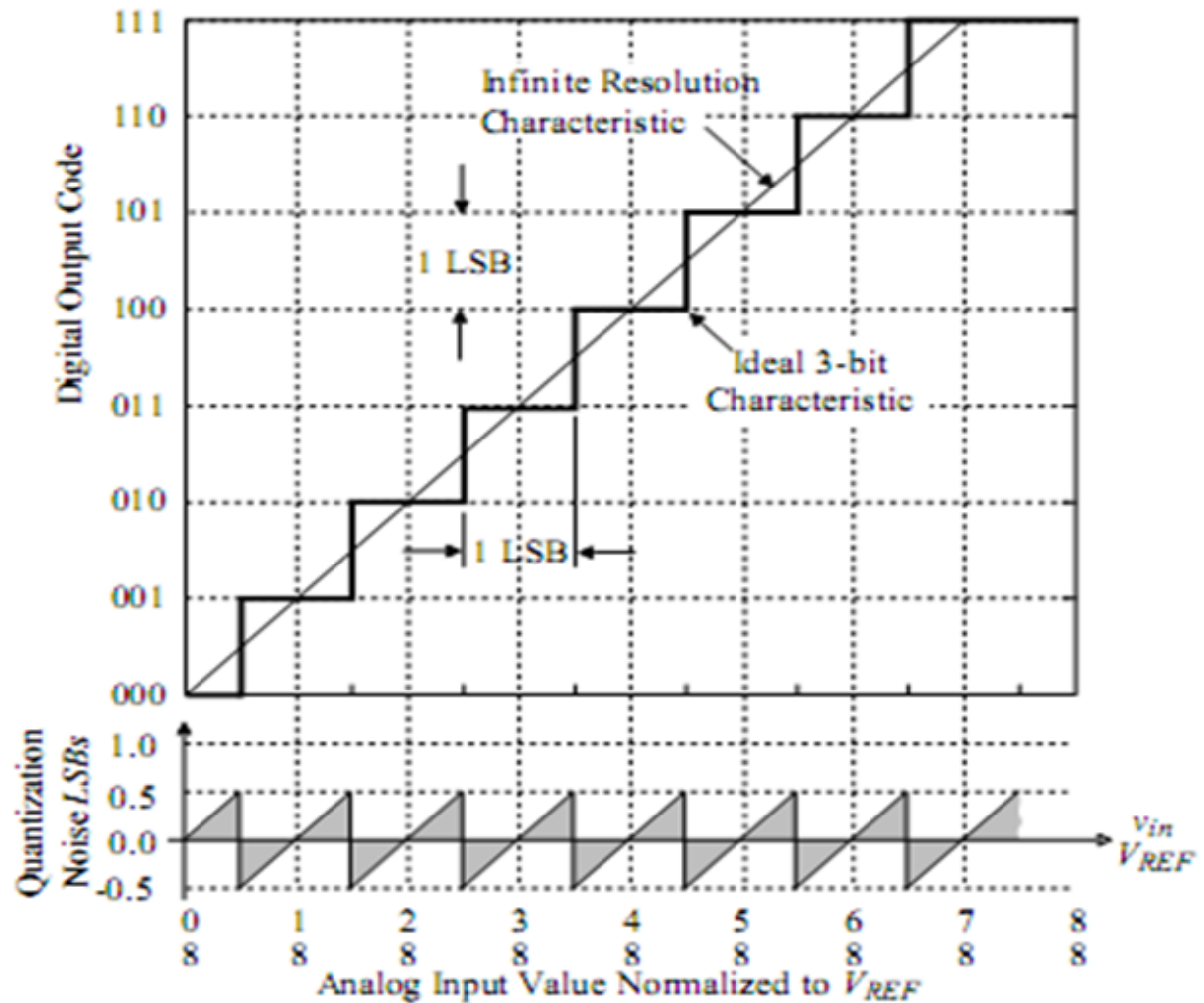


Figure 10.5-3 Ideal input-output characteristics of a 3-bit ADC.

# Độ phân giải

Độ phân giải:

Độ thay đổi nhỏ nhất trong tín hiệu tương tự mà dẫn đến một sự thay đổi trong đầu ra số.

$$\Delta V = V_r / 2^N$$

$V_r$  = Dải điện áp mẫu

$N$  = Số bit.

$2^N$  = số trạng thái.

$\Delta V$  = Độ phân giải

Độ phân giải biểu diễn sai số lượng hóa vốn có trong việc chuyển đổi các tín hiệu sang dạng số

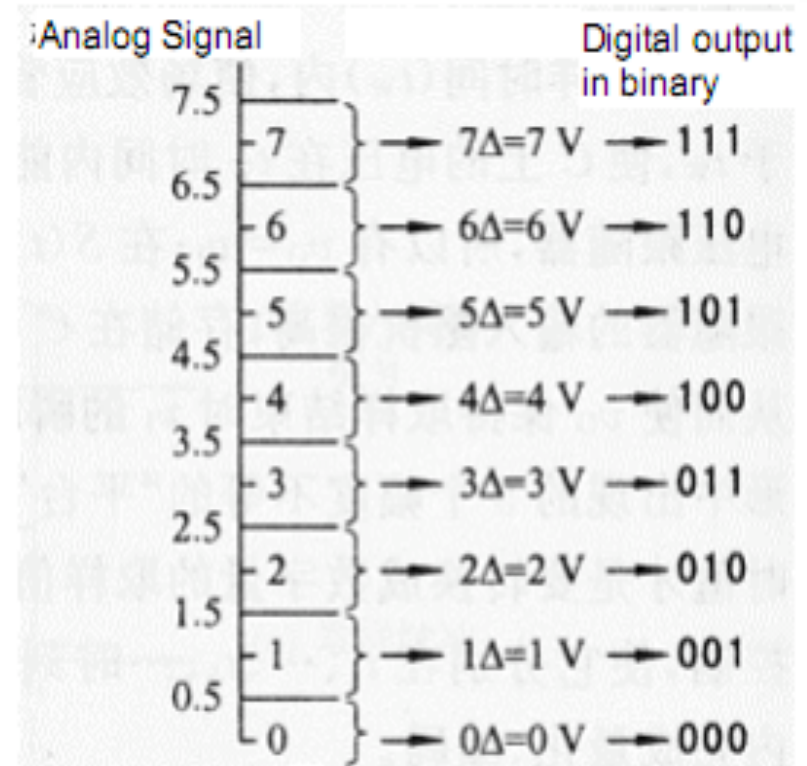
# Lượng tử hóa và mã hoá

- Lượng tử hóa:

Phân vùng dải tín hiệu mẫu thành một số mức lượng tử gián đoạn, sau đó ghép t/h đầu vào với mức lượng tử thích hợp

- Mã hóa:

Gán một mã số duy nhất cho mỗi mức lượng tử, sau đó phân bổ mã số này cho tín hiệu đầu vào.



$$\Delta V = 1\text{ V}$$

$$\text{Maximum Quantization error} = \pm \frac{1}{2} \Delta V = \pm 0.5\text{ V}$$

(Sai số lượng tử hóa lớn nhất)

# Mã đầu ra số

Table 10.5-2 - Digital Output Codes used for ADCs

Thập phân | Nhị phân | Nhiệt kế | Mã Gray | Bù 2

Decimal	Binary	Thermometer	Gray	Two's Complement
0	000	0000000	000	000
1	001	0000001	001	111
2	010	0000011	011	110
3	011	0000111	010	101
4	100	0001111	110	100
5	101	0011111	111	011
6	110	0111111	101	010
7	111	1111111	100	001



# Mạch lấy mẫu và giữ mẫu S/H (Optional)

Waveforms of a sample-and-hold circuit:

Definitions:

- *Acquisition time* ( $t_a$ ) = time required to acquire the analog voltage
- *Settling time* ( $t_s$ ) = time required to settle to the final held voltage to within an accuracy tolerance

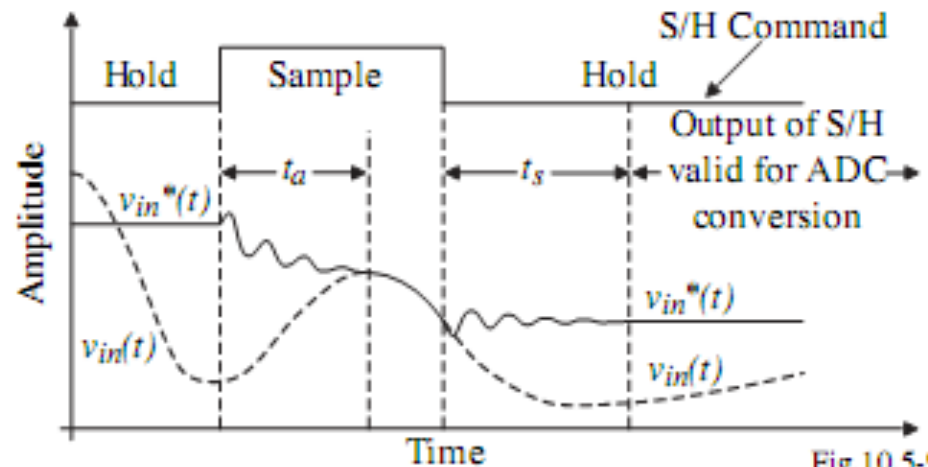


Fig.10.5-9

$$\therefore T_{sample} = t_a + t_s \quad \rightarrow \quad \text{Maximum sample rate} = f_{sample}(\max) = \frac{1}{T_{sample}}$$

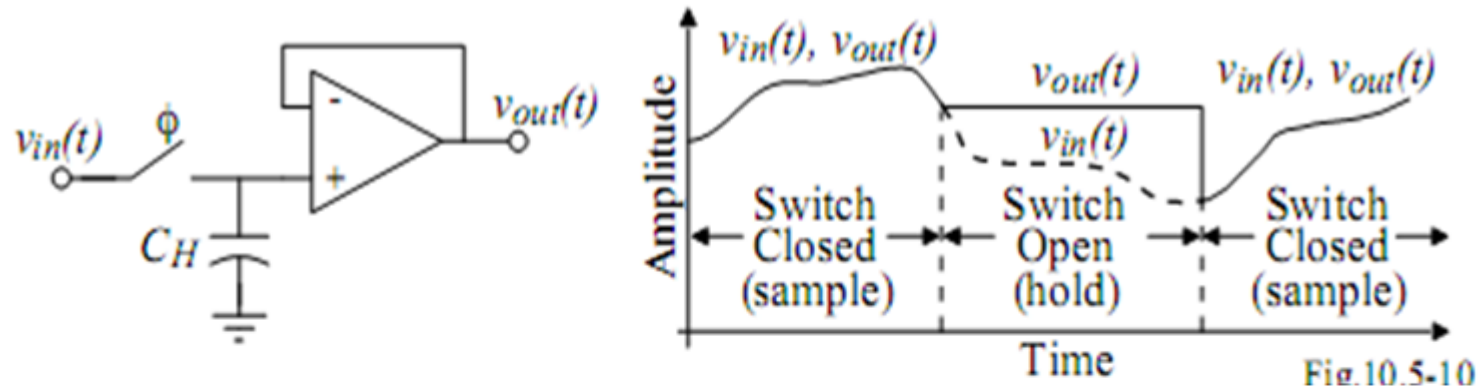
Other considerations:

- *Aperture time* = the time required for the sampling switch to open after the S/H command is initiated
- *Aperture jitter* = variation in the aperture time due to clock variations and noise

Types of S/H circuits:

- No feedback - faster, less accurate
- Feedback - slower, more accurate

# Mạch lấy và giữ mẫu S/H được đệm, vòng hở

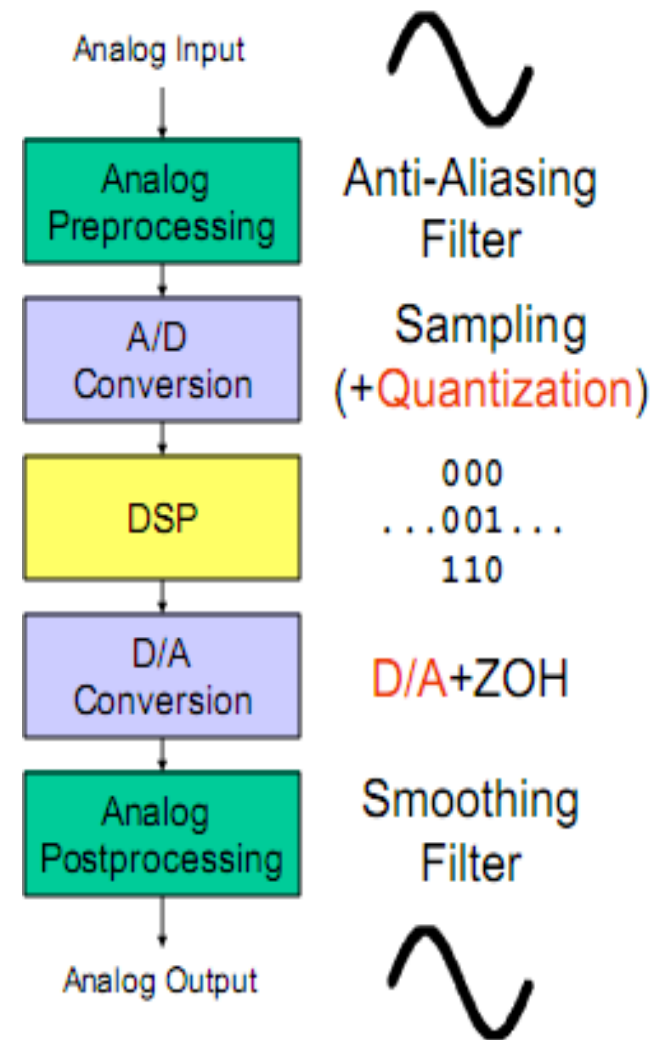


các thuộc tính:

- Nhanh, mở vòng lặp;
- Yêu cầu hiện tại từ đầu vào đến tụ  $C_H$
- Điện áp bù đắp Dc của opam và nguồn cấp thông qua của việc chuyển đổi sẽ tạo ra Lỗi dc

# Tóm tắt

- Yêu cầu tần số lấy mẫu  $f_s > 2f_{\max}$ , thường yêu cầu bộ lọc loại Anti-Aliasing (khử hiện tượng trùng phổ)
- Nếu điều kiện trên được thỏa mãn, có thể phục hồi được tín hiệu thời gian liên tục từ t/h gián đoạn mà không mất thông tin
- Bộ giữ mẫu bậc 0 (ZOH) và bộ lọc làm mịn tái tạo lại t/h thời gian liên tục từ tín hiệu thời gian gián đoạn
- Oversampling (Lấy mẫu dày/thật nhiều???) giúp giảm bậc và độ phức tạp của các bộ lọc Anti-Aliasing và bộ lọc làm mịn



---

# Chi tiết về ADC

# ADC loại tốc độ trung bình

---

- Các ADC nối tiếp: yêu cầu thời gian biến đổi là  $2^N T$  với  $T$  là chu kỳ.
    - Các loại:
      - 1 sườn dốc
      - Hai sườn dốc
  - ADC loại xấp xỉ liên tiếp (hay kiểm tra bit): yêu cầu thời gian biến đổi là  $NT$ .
  - Các loại khác (pipeline ADCs, Iterative ADCs): tự tìm hiểu thêm
-

# ADC một sườn dốc

- ADC một sườn dốc
- Sơ đồ khối

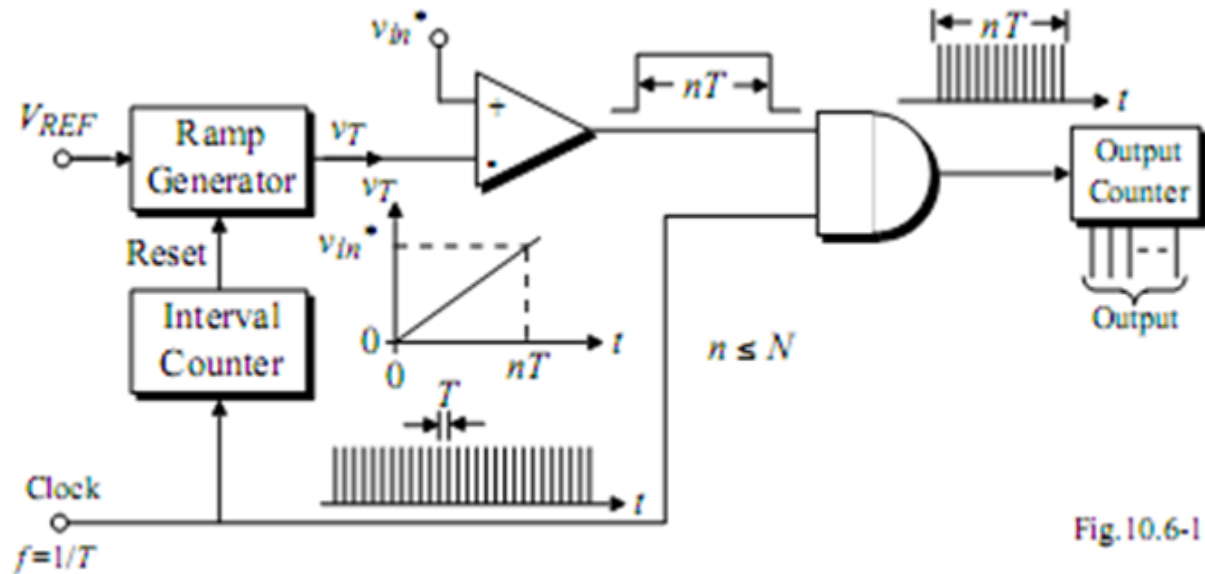
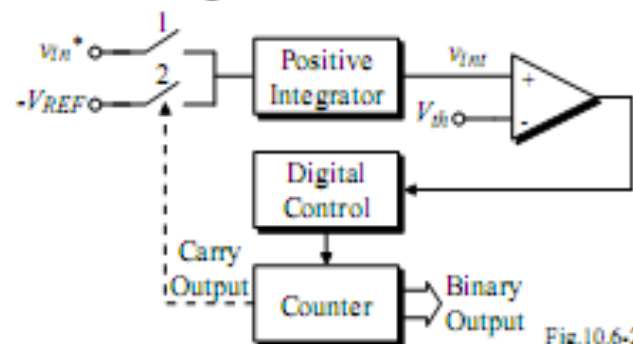


Fig.10.6-1

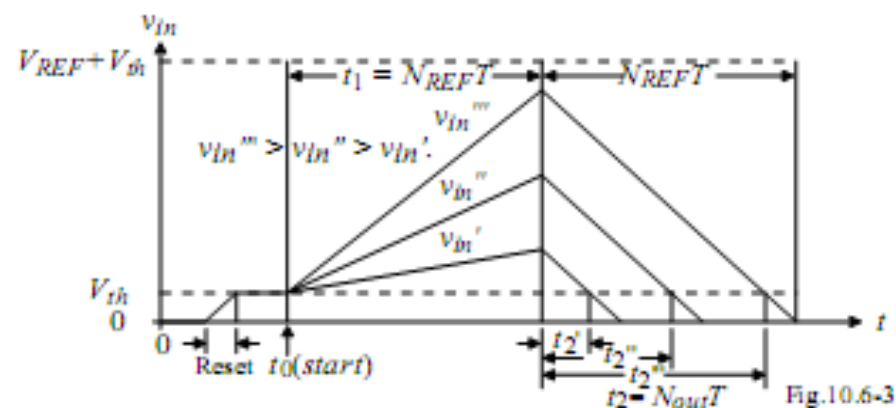
- Đặc điểm:
  - Hoạt động đơn giản
  - Có sai số do bộ tạo t/h dốc (ramp) gây ra.
  - Thời gian chuyển đổi lâu  $\leq 2^N T$

# Loại 2 sườn dốc

Block diagram:



Waveforms:



Operation:

- 1.) Initially  $v_{int} = 0$  and  $v_{in}$  is sampled and held ( $v_{IN}^* > 0$ ).
- 2.) Reset the positive integrator by integrating a positive voltage until  $v_{int}(0) = V_{th}$ .
- 3.) Integrate  $v_{in}^*$  for  $N_{REF}$  clock cycles to get,

$$v_{int}(t_1) = K \int_0^{N_{REF}T} v_{in}^* dt + v_{int}(0) = KN_{REF}Tv_{in}^* + V_{th}$$

- 4.) After  $N_{REF}$  counts, the carry output of the counter closes switch 2 and  $-V_{REF}$  is applied to the positive integrator. The output of the integrator at  $t = t_1 + t_2$  is,

$$v_{int}(t_1 + t_2) = v_{int}(t_1) + K \int_{t_1}^{t_1 + t_2} (-V_{REF}) dt = V_{th} \rightarrow KN_{REF}Tv_{in}^* + V_{th} - KN_{out}TV_{REF} = V_{th}$$

- 5.) Solving for  $N_{out}$  gives,  $N_{out} = N_{REF}(v_{in}^*/V_{REF})$

Comments: Conversion time  $\leq 2(2^N)T$  and the operation is independent of  $V_{th}$  and  $K$ .

# ADC loại hai sườn dốc

Ưu điểm	Nhược điểm
<ul style="list-style-type: none"><li>- Kết quả chuyển đổi là không nhạy đối với sai số trong các giá trị của các linh kiện.</li><li>- Ít chịu ảnh hưởng xấu của nhiễu</li><li>- Độ chính xác cao</li></ul>	<ul style="list-style-type: none"><li>- Chậm</li><li>- Độ chính xác phụ thuộc vào việc sử dụng của các phần tử linh kiện bên ngoài có độ chính xác cao</li><li>- Giá cao</li></ul>

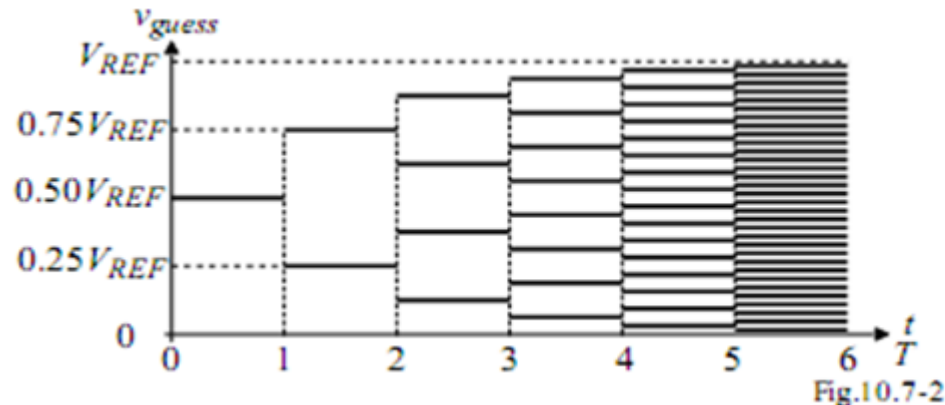


# ADC loại xấp xỉ liên tiếp

- **Giới thiệu**

- Thuật toán xấp xỉ liên tiếp

1. Bắt đầu với bit có trọng số cao nhất (MSB) rồi chuyển dần về bit có trọng số thấp nhất LSB
2. Ban đầu gán bit MSB là 1
3. Đưa giá trị số 10000 .... đến đầu vào số của DAC
4. So sánh tín hiệu đầu ra DAC với điện áp đầu vào tương tự được lấy mẫu.
5. Nếu tín hiệu đầu ra của DAC lớn hơn thì giữ nguyên giá trị thử là 1 cho bit được thử , ngược lại thì đổi thành 0
6. Lặp lại việc thử giá trị cho các bit tiếp theo cho đến bit cuối cùng là LSB



# Sơ đồ khối của ADC loại xấp xỉ liên tiếp

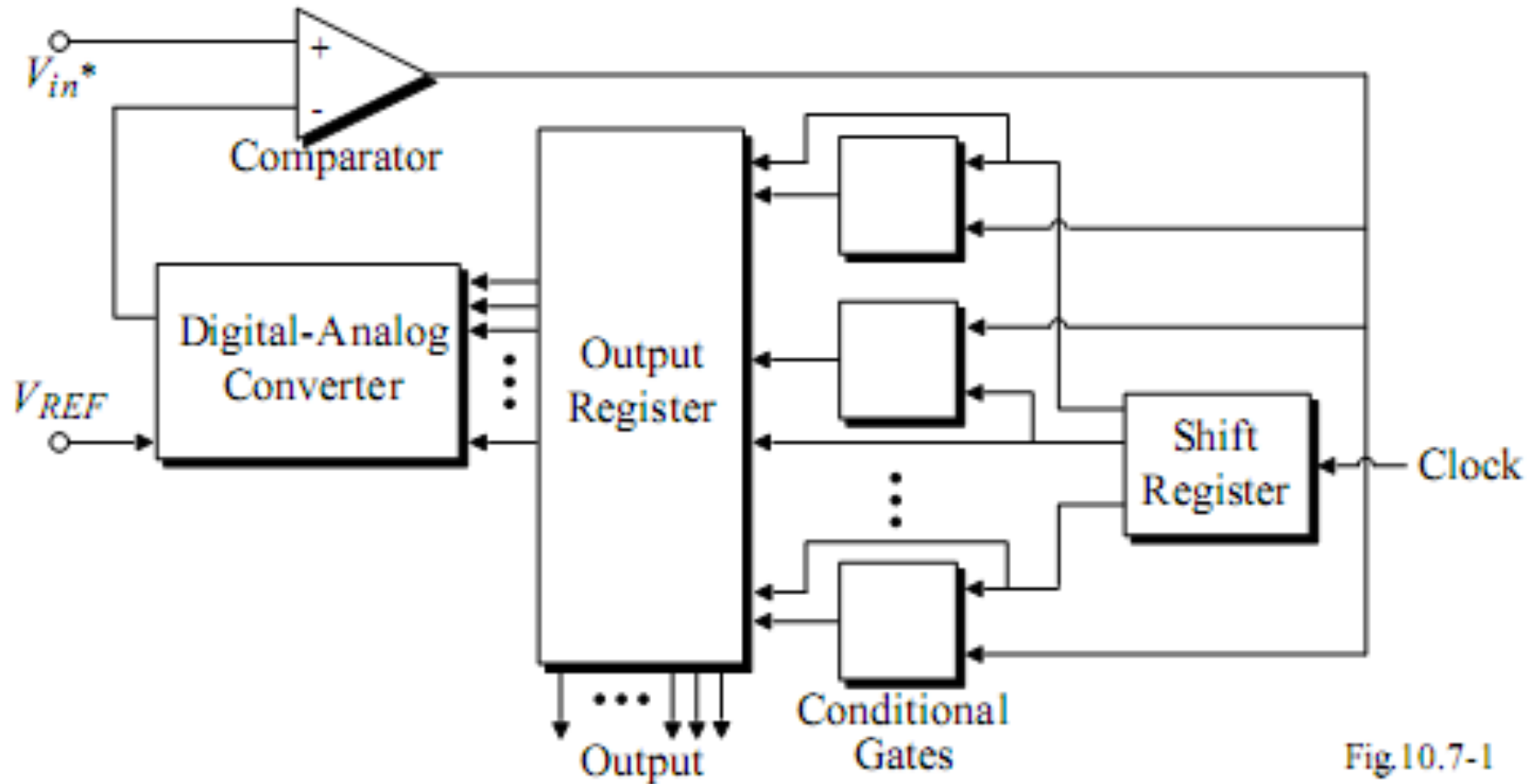
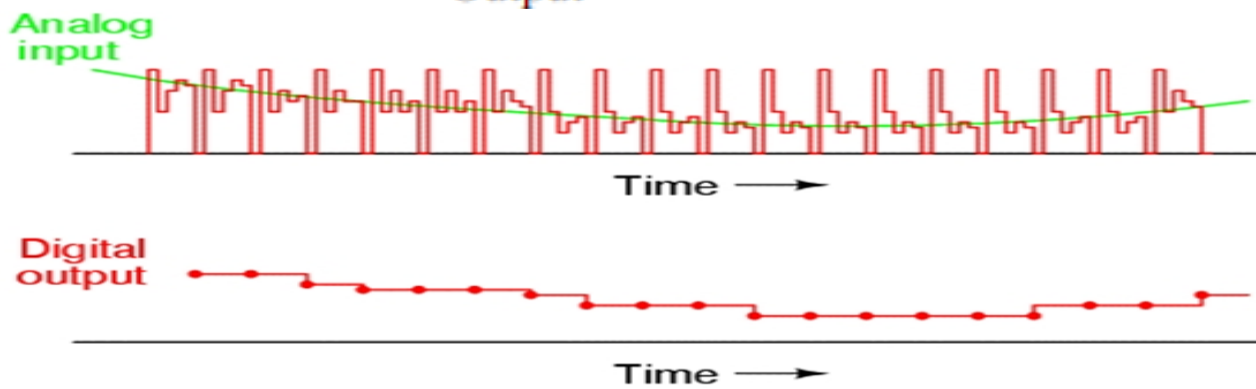


Fig 10.7-1



# ADC xấp xỉ liên tiếp

## Ưu điểm

- Có khả năng đạt tốc độ cao và tin cậy
- Độ chính xác trung bình so với ADC khác
- Đạt cân bằng (dung hòa) tốt giữa tốc độ và giá thành
- Có khả năng xuất ra số nhị phân ở dạng nối tiếp (từng bit một)

## Nhược điểm

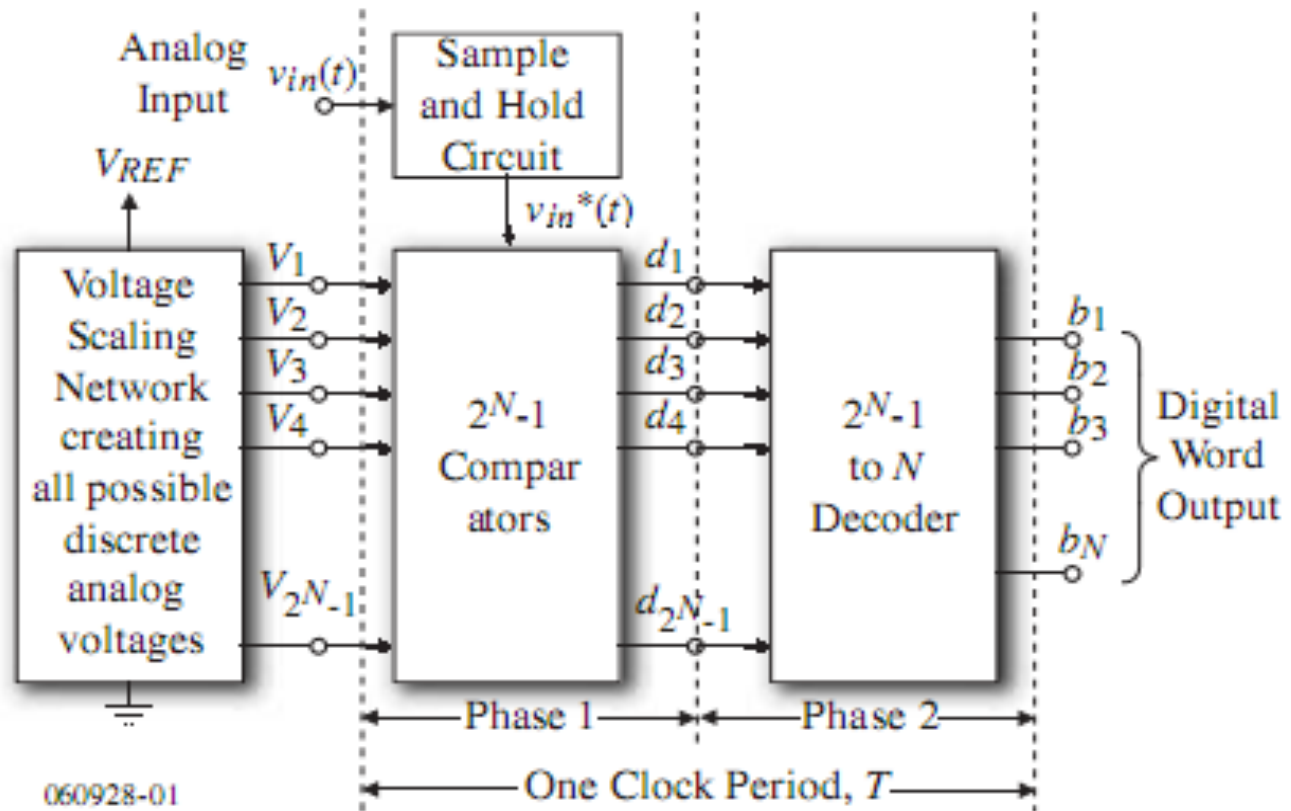
- Tốc độ biến đổi tỷ lệ nghịch với độ phân dải
- Tốc độ giới hạn  $\sim 5\text{Msps}$

# GIỚI THIỆU VỀ ADCs TỐC ĐỘ CAO

- Đặc điểm của ADC tốc độ cao
- Thời gian chuyển đổi là  $T$  trong đó  $T$  là chu kỳ đồng hồ clock.
- Các loại ADC tốc độ cao:
  - ADC song song
  - ADC nội suy/trung bình
  - ADCs gấp
  - Cân bằng/dung hòa giữa tốc độ và diện tích
    - Nhiều-Bit, ADC loại pipeline
    - Sửa lỗi số
    - ADC thời gian xen kẽ

# ADC song song (Parallel/Flash)

## Parallel/Flash ADC Architecture



- The notation,  $v_{in}^*(t)$ , means the signal is sampled and held.
- The sample and hold function can be incorporated into the comparators
- The digital words designated as  $d_i$  form a thermometer code

# ADC 3-bit, song song

- Nhanh. Trong giai đoạn đầu của đồng hồ đầu vào tương tự được lấy mẫu và áp dụng cho so sánh lấy mẫu. trong giai đoạn thứ hai, mạng lưới mã hóa kỹ thuật số xác định đúng từ kỹ thuật số đầu ra
- Số lượng yêu cầu so sánh là  $2^N - 1$
- Nó có thể lớn hơn nếu N lớn
- Bù của so sánh phải nhỏ hơn  $V_{REF}/2^{N+1}$
- lỗi xảy ra như "bong bóng" trong mã nhiệt kế và có thể được điều chỉnh bằng các mạch bổ sung
- Tần số lấy mẫu điển hình có thể cao như 1000 MHz cho 6-bit trong công nghệ phụ micron CMOS

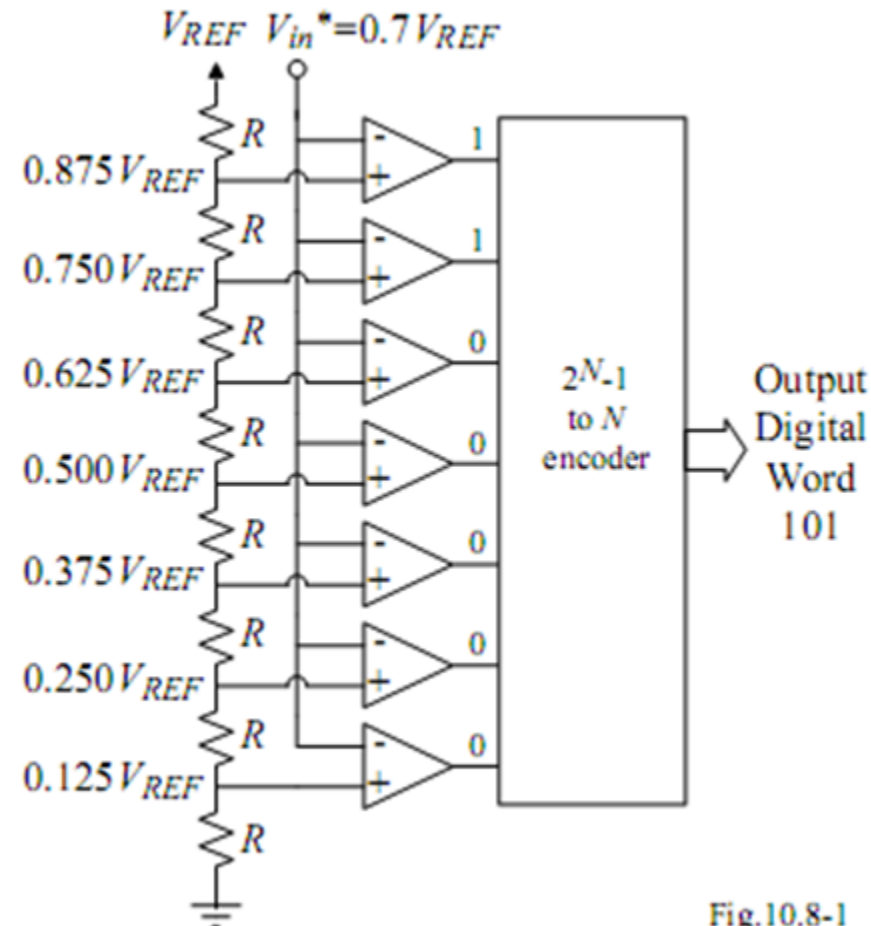


Fig.10.8-1

# ADC song song

---

## Ưu điểm

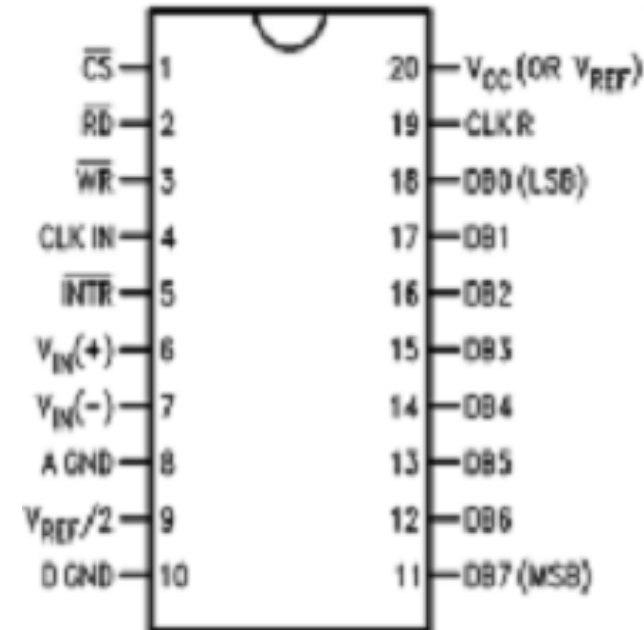
- **Rất nhanh (nhanh nhất)**
- **Lý thuyết hoạt động rất đơn giản**
- **Tốc độ chỉ bị giới hạn bởi trễ truyền của các cổng và của bộ so sánh**

## Nhược điểm

- **Đắt tiền**
- **Hay tạo ra các đột biến (glitches) ở đầu ra**
- **Nâng độ phân dải lên 1 bit yêu cầu số bộ so sánh gấp đôi => chi phí tăng cao**

# ADC0804 của hãng National Semiconductor

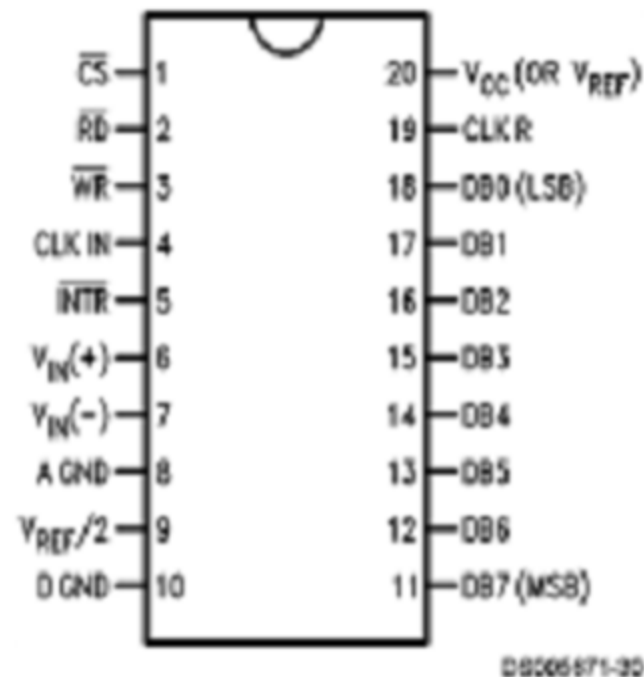
- Đây là ADC loại xấp xỉ liên tiếp
  - Dữ liệu 8-bit: độ chính xác (precision) =  $(1/256)V_{\text{range}}$
  - Cấp chính xác (Accuracy): 1 LSB
  - Thời gian biến đổi:  $100\mu\text{s}$
  - Dải điện áp đầu vào: 0 to 5V
  - Điện áp mẫu tích hợp bên trong ( $V_{\text{cc}}/2$ )
  - Có thể sử dụng điện áp mẫu ngoài:  $V_{\text{ref}}/2$
  - Tương thích với hệ thống buýt (bus) của VXL





# Sơ đồ chân của ADC0804

- DB7-0: giao tiếp bus dữ liệu
- CS\*: chân chọn chip (address)
- RD\*: cho phép đọc (IOR\*)
  - CS\*, RD\* cùng tích cực thì dữ liệu sẽ hiện diện trên các chân DB7-0.
  - Các trường hợp khác thì các chân DB7-0 ở trạng thái trở kháng cao
- WR\*: cho phép ghi (IOW\*)
  - CS\* và WR\* tích cực sẽ kích một quá trình biến đổi ADC mới
- INTR\*: chân ngắt
- $V_{IN(+)}$ ,  $V_{IN(-)}$ : điện áp đầu vào tương tự cần biến đổi sang số
- CLK\_IN, CLK\_R: các phân tử về xung clock
- $V_{ref}/2$ : điện áp mẫu (bằng  $1/2V_{cc}$  nếu để hở)



# CLK IN and CLK R

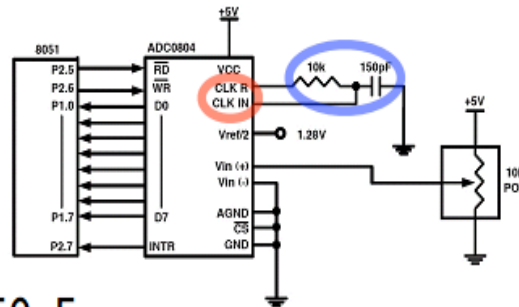
- As internal clock
- Set the R, C value  

$$f = 1/(1.1 RC)$$
- R = 10KΩ, C = 150pF  

$$f = 1/(1.1 * 10^4 * 150 * 10^{-12})$$

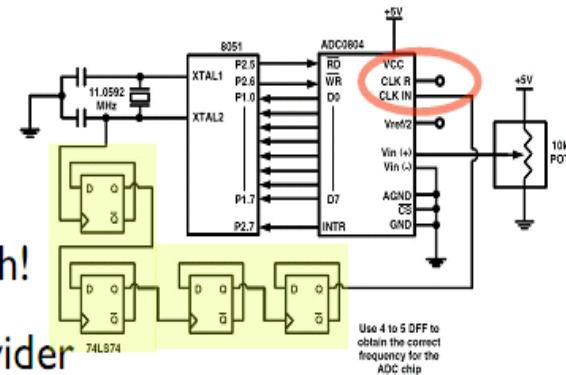
$$= 606060.6 \Rightarrow 606\text{KHz,}$$

$$\text{or } 1.65\mu\text{s cycle time}$$
- Can also take external clock



# External clocking scheme for ADC0804

- Could use the same crystal as for 8051
- Issue: freq too high!
- Solution: clock divider
- cascaded D-flipflops:
  - next one is clocked by the prev's Q,
  - each feeds /Q to its own D



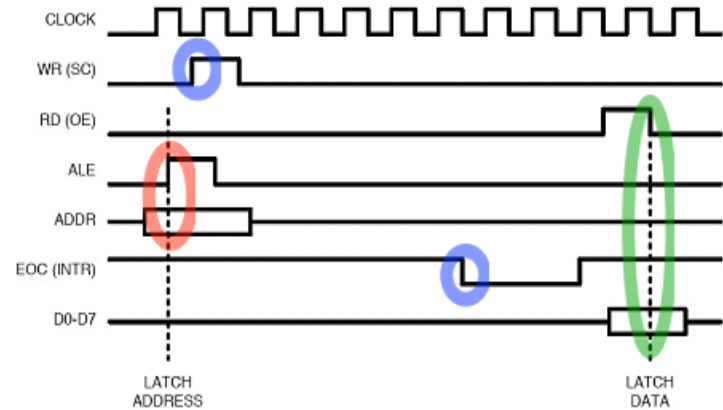
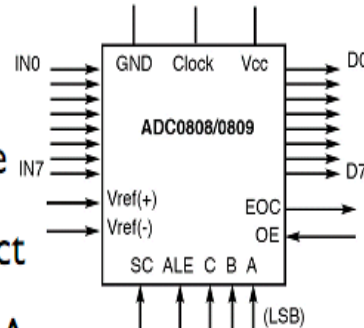
# ADC0808/0809: biến đổi đa kênh đầu vào

---

- Có 8 đầu vào tương tự
  - Dùng 3 bit địa chỉ (A,B,C) để chọn kênh cần biến đổi ADC
  - Thực hiện việc chọn kênh bên trên thông qua bộ dồn kênh Mux bên trong ADC
  - ALE dùng để chốt địa chỉ
- Đầu ra dữ liệu số 9 bit
  - Tương tự như ADC loại 1 kênh

# Sơ đồ chân và giải đồ thời gian

- IN0..IN7: analog input channels
- SC, EOC: (=WR, INTR)  
start conv, end-of-conv
- OE: (=RD) output enable
- C B A : 3-bit channel select
- ALE: clock for latching CBA
- $V_{ref}(+), V_{ref}(-)$ : max and "gnd"



1. set ADDR,  
pulse ALE

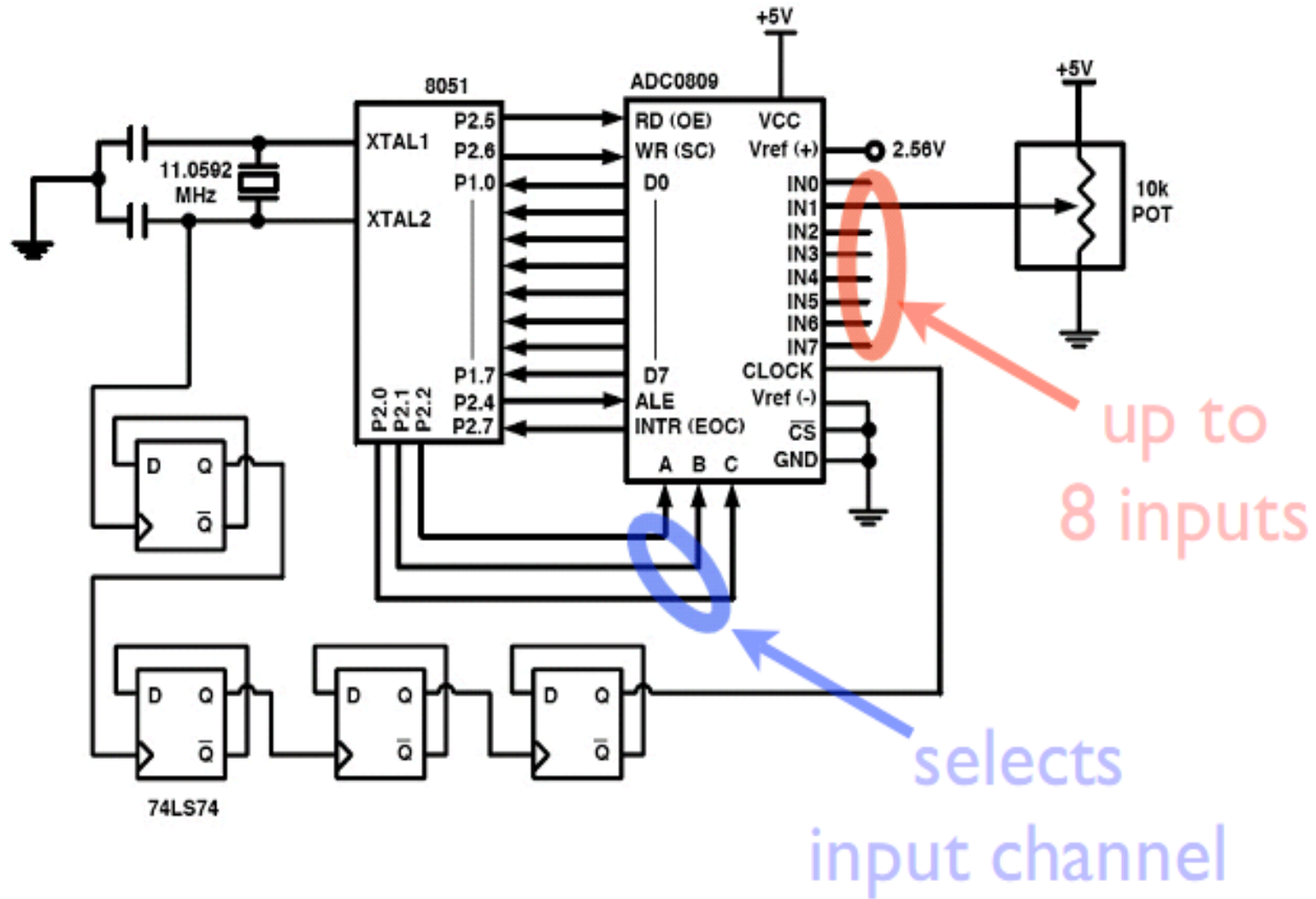
2. pulse SC,  
wait for EOC

3. read data  
during OE

ADDR is formed by C B A

- IN0-IN7: các kênh đầu vào tương tự
- SC, EOC (=WR, INTR): bắt đầu và kết thúc quá trình biến đổi
- OE (=RD): cho phép đầu ra
- C, B, A: các t/h chọn kênh
- ALE: chốt địa chỉ cho A, B, C
- $V_{ref}(+), V_{ref}(-)$ : điện áp mẫu lớn nhất và đất (max and GND)

# Mạch ứng dụng dùng ADC0809



# Mạch điều khiển PID cho động cơ dùng ADC0809

