

NGÂN HÀNG ĐỀ THI

Môn: ĐIỆN TỬ SỐ

Dùng cho hệ ĐHTX, ngành Điện tử - Viễn thông

Số tín chỉ: 5

CHƯƠNG 1. HỆ ĐẾM

1/ Đổi số thập phân 1024 thành số nhị phân:

- a** 10 0000 0000
- b** 100 0000 0000
- c** 100 0000 0001
- d** 100 0000 1000

2/ Đổi số nhị phân sau sang dạng bát phân: 1111 0100 1110

- a** 7516
- b** 7515
- c** 7517
- d** 7514

3/ Đổi số nhị phân sau sang dạng thập lục phân: 1010 1111 0100 1110

- a** BF4E
- b** AF4E
- c** BE4F
- d** AE4F

4/ Đổi số nhị phân sau sang dạng bát phân và thập lục phân tương ứng: 1011 0101 0110

- a** 5526 và C56
- b** 5536 và B56
- c** 5526 và D56
- d** 5526 và B56

5/ Đổi số bát phân sau sang dạng nhị phân: 5731

- a** 110 111 011 001
- b** 101 111 011 010
- c** 101 111 011 001
- d** 101 110 011 001

6/ Đổi số thập lục phân sau sang dạng nhị phân: CB7E

- a** 1100 1011 0111 1110
- b** 1100 1111 0111 1110
- c** 1100 1011 0111 1111
- d** 1101 1011 0111 1110

7/ Đổi số nhị phân sau sang dạng bù 1 tương ứng: 1011 0101 0110

- a** 0101 1010 1001
- b** 1100 1010 1001
- c** 0100 1010 1001

d 0100 1011 1001

8/ Thực hiện phép cộng hai số có dấu sau theo phương pháp bù 1:
 $0001\ 1101_2 + (-0000\ 0111)_2$

a 0010 0110

b 0001 1110

c 0001 0110

d 0010 0111

9/ Thực hiện phép cộng hai số có dấu sau theo phương pháp bù 2:
 $0000\ 1101_2 + (-1001\ 1001)_2$

a 0110 0100

b 0111 0110

c 0111 0101

d 0111 0100

10/ Thực hiện phép cộng hai số sau: $675_{16} + 773_{16}$

a $DE8_{16}$

b $DF8_{16}$

c $DE7_{16}$

d $CE8_{16}$

11/ Thực hiện phép trừ hai số sau: $84_{16} - 2A_{16}$

a $8A_{16}$

b $5A_{16}$

c $7A_{16}$

d $6A_{16}$

12/ Đổi số nhị phân sau sang dạng bù 2 tương ứng: 1011 0101 0110

a 0100 1010 1010

b 1100 1010 1001

c 0100 1010 1001

d 0100 1011 1001

13/ Thực hiện phép cộng hai số sau theo bù 1: $(5)_{10} + (-9)_{10}$

a 1000 0100

b 1111 1010

c 0000 0100

d 1111 1011

14/ Thực hiện phép cộng hai số sau theo bù 2: $(5)_{10} + (-9)_{10}$

a 1111 1100

b 0000 0100

c 1000 0100

d 1111 1010

15/ Thực hiện phép cộng hai số sau: $2^6 (,101)_2 + 2^{10} (,101101)_2$

a $2^{10} (,1011011)_2$

- b $2^{10} (,1111111)_2$
c $2^{10} (,1011111)_2$
d $2^{10} (,1011101)_2$

16/ Thực hiện phép chia 2 số sau: $2^7 (,001)_2$ và $2^4 (,01)_2$

- a $2^2 (,01)_2$
b $2^2 (,1)_2$
c $2^3 (,001)_2$
d $2^2 (,001)_2$

CHƯƠNG 2. ĐẠI SỐ BOOLE VÀ P² BIỂU DIỄN HÀM

1/ $A \oplus B =$

- a $\overline{A} B + \overline{A} B$
b $A \overline{B} + \overline{A} B$
c $A B + \overline{A} \overline{B}$
d $A \overline{B} + \overline{A} \overline{B}$

2/ $\overline{A \oplus B} =$

- a $A B + \overline{A} \overline{B}$
b $A \overline{B} + \overline{A} B$
c $A \overline{B} + \overline{A} \overline{B}$
d $\overline{A} B + \overline{A} B$

3/ $A \oplus 1 =$

- a 1
b \overline{A}
c \overline{A}
d 0

4/ $A \oplus 0 =$

- a 0
b A
c 1
d \overline{A}

5/ $A \oplus A =$

- a 1
b 0
c A

d \overline{A}

6/ $A \oplus \overline{A} =$

a 0

b 1

c \overline{A}

d A

7/ $\overline{A \overline{B} + \overline{A} B} =$

a $A \overline{B} + \overline{A} \overline{B}$

b $A \overline{B} + \overline{A} B$

c $\overline{A} \overline{B} + \overline{A} B$

d $A \overline{B} + \overline{A} \overline{B}$

8/ $\overline{\overline{A} \overline{B} + A B} =$

a $A \overline{B} + \overline{A} \overline{B}$

b $A B + A \overline{B}$

c $\overline{A} \overline{B} + \overline{A} B$

d $A \overline{B} + \overline{A} B$

9/ $A B + A \overline{B} =$

a B

b 1

c A

d 0

10/ $A + AB =$

a A

b 1

c 0

d B

11/ $A + \overline{A} B =$

a AB

b B

c A

d A + B.

12/ $\overline{\overline{A}} =$

a A

b 1

c \overline{A}

d 0

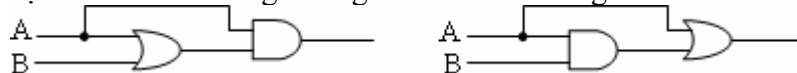
HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG

Km10 Đường Nguyễn Trãi, Hà Đông-Hà Tây
Tel: (04).5541221; Fax: (04).5540587

Web site: <http://www.o-pit.edu.vn>; E-mail: dhdx@o-pit.edu.vn

CHƯƠNG TRÌNH
ĐÀO TẠO ĐẠI HỌC TỪ XA
PTIT

13/ Hai mạch điện ở hình 2-1 tương đương với nhau vì chúng:



Hình 2.1

- a đều bằng $A+B$
- b đều bằng A
- c đều bằng AB
- d đều bằng B

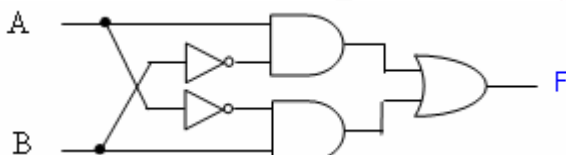
14/ $\overline{A+B+C} =$

- a $A.B.C$
- b $\overline{A.B.C}$
- c $\overline{A+B+C}$
- d $A+B+C$

15/ $\overline{A.B.C} =$

- a $\overline{A+B+C}$
- b $\overline{A.B.C}$
- c $A+B+C$
- d $A.B.C$

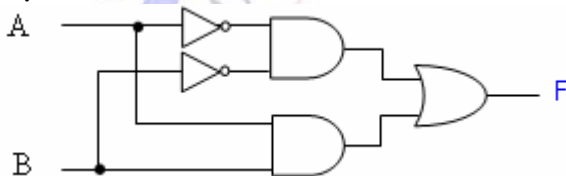
16/ Cho mạch điện như hình 2-2. Biểu thức hàm ra là:



Hình 2-2

- a $\overline{A \oplus B}$
- b $A \oplus B$
- c $A \oplus \overline{B}$
- d $\overline{A} \oplus B$

17/ Cho mạch điện như hình 2-3. Biểu thức hàm ra là:



Hình 2-3

- a $A \oplus B$
- b $\overline{A \oplus B}$
- c $\overline{A} \oplus B$
- d $A \oplus \overline{B}$

18/ Rút gọn: $(A+B)(A+C)$

- a $A + B$
- b $C + AB$
- c $B + AC$
- d $A + BC$

19/ Rút gọn:

$$A(B \oplus C)$$

- a $A.\bar{B}.\bar{C} + \bar{A}.B.C$
- b $A.B.\bar{C} + A.\bar{B}.C$
- c $A.\bar{B}.\bar{C} + A.B.C$
- d $\bar{A}.\bar{B}.\bar{C} + A.B.C$

20/ Đẳng thức sau đúng hay sai:

$$A \oplus B = \bar{A} \oplus \bar{B}$$

- a Sai
- b Đúng.

21/ Đẳng thức sau đúng hay sai:

$$\overline{A \oplus B} = \bar{A} \oplus \bar{B}$$

- a Đúng
- b Sai

22/ Đẳng thức sau đúng hay sai:

$$\overline{A \oplus B} = A \oplus \bar{B}$$

- a Đúng
- b Sai

23/ Đẳng thức sau đúng hay sai:

$$A \oplus B = \bar{A} \oplus B$$

- a Sai
- b Đúng

24/ Đẳng thức sau đúng hay sai:

$$A \oplus B = A \oplus \bar{B}$$

- a Đúng
- b Sai

25/ Rút gọn:

$$A(B \oplus C)$$

- a $AB \oplus AC$
- b $A \oplus BC$
- c $AB \oplus A$
- d $AB \oplus C$

26/ Rút gọn:

$$\bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

- a $A + BC + AC$

- b $AB + AC + BC$
c $B + AC + AB$
d $C + AB + BC$

27/ Rút gọn :

$$F(A, B, C) = S(0, 2, 4, 6, 7)$$

- a $\bar{A}B + C$
b $A\bar{B} + C$
c $AB + \bar{C}$
d $AB + C$

28/ Rút gọn :

$$F(A, B, C, D) = S(0, 1, 8, 9, 10)$$

- a $\bar{B}\bar{C} + A\bar{B}\bar{D}$
b $BC + D$
c $\bar{B}\bar{C} + \bar{A}\bar{B}D$
d $\bar{B}\bar{C} + ABD$

29/ Rút gọn :

$$AB + \bar{A}C + BC$$

- a $AB + \bar{A}C$
b $\bar{A}B + AC$
c $AB + \bar{C}$
d $A\bar{B} + C$

30/ Rút gọn :

$$AB + BCD + \bar{A}C + \bar{B}C$$

- a $AB + \bar{C}$
b $AB + C$
c $\bar{A}B + C + D$
d $A\bar{B} + C + D$

31/ Rút gọn:

$$\overline{CD + \bar{C}\bar{D}} \cdot \overline{AC + D}$$

- a CD
b $\bar{C}\bar{D}$
c $\bar{C}D$
d $C\bar{D}$

32/ Rút gọn:

$$\overline{\bar{A}\bar{B}\bar{C}} \cdot \overline{\bar{A}\bar{B} + \bar{B}\bar{C} + \bar{C}\bar{A}}$$

- a $AB + BC$
b $AB + AC$

- c $AC + BC$
d $AB + AC + BC$

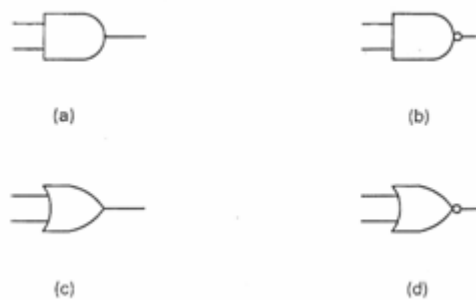
33/ Rút gọn:

$$\overline{A}C + AB + \overline{B}C + BCDE$$

- a $\overline{A}B + C + D$
b $A\overline{B} + C + D$
c $AB + \overline{C}$
d $AB + C$

CHƯƠNG 3. CỔNG LOGIC TTL VÀ CMOS

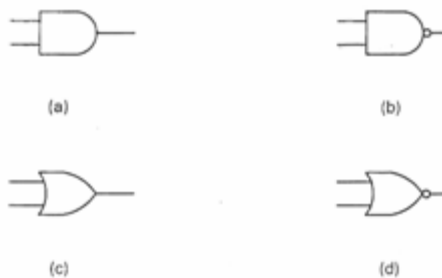
1/ Sơ đồ nguyên lý của cổng AND trong hình 3-1 là:



Hình 3-1

- a Hình (d)
b Hình (a)
c Hình (b)
d Hình (c)

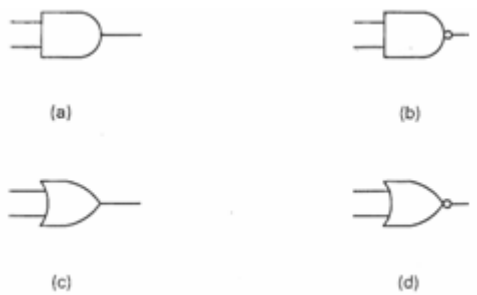
2/ Sơ đồ nguyên lý của cổng NAND trong hình 3-2 là:



Hình 3-2

- a Hình (d)
b Hình (b)
c Hình (c)
d Hình (a)

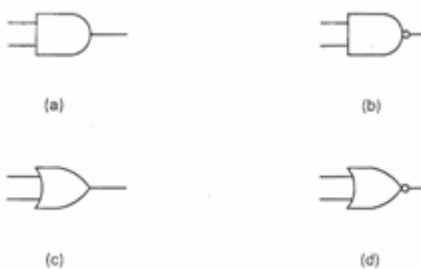
3/ Sơ đồ nguyên lý của cổng OR trong hình 3-3 là:



Hình 3-3

- a Hình (c)
- b Hình (b)
- c Hình (a)
- d Hình (d)

4/ Sơ đồ nguyên lý của cổng NOR trong hình 3-4 là:



Hình 3-4

- a Hình (a)
- b Hình (b)
- c Hình (d)
- d Hình (c)

5/ Bảng trạng thái nào xác định cổng AND?

A	B	Y		A	B	Y		A	B	Y		A	B	Y
1	1	0		1	1	1		1	1	0		1	1	1
1	0	0		1	0	0		1	0	1		1	0	1
0	1	0		0	1	0		0	1	1		0	1	1
0	0	1		0	0	0		0	0	1		0	0	0
(a)				(b)				(c)				(d)		

- a (d)
- b (c)
- c (b)
- d (a)

6/ Bảng trạng thái nào xác định cổng NAND?

A	B	Y		A	B	Y		A	B	Y		A	B	Y
1	1	0		1	1	1		1	1	0		1	1	1
1	0	0		1	0	0		1	0	1		1	0	1
0	1	0		0	1	0		0	1	1		0	1	1
0	0	1		0	0	0		0	0	1		0	0	0

(a)

(b)

(c)

(d)

a (b)b (c)c (d)d (a)7/ Bảng trạng thái nào xác định cổng OR?

A	B	Y		A	B	Y		A	B	Y		A	B	Y
1	1	0		1	1	1		1	1	0		1	1	1
1	0	0		1	0	0		1	0	1		1	0	1
0	1	0		0	1	0		0	1	1		0	1	1
0	0	1		0	0	0		0	0	1		0	0	0

(b)

(c)

(d)

a (b)b (c)c (a)d (d)8/ Bảng trạng thái nào xác định cổng NOR?

A	B	Y		A	B	Y		A	B	Y		A	B	Y
1	1	0		1	1	1		1	1	0		1	1	1
1	0	0		1	0	0		1	0	1		1	0	1
0	1	0		0	1	0		0	1	1		0	1	1
0	0	1		0	0	0		0	0	1		0	0	0

(a)

(b)

(c)

(d)

a (b)b (d)c (c)d (a)9/ Đầu ra của cổng AND ở mức cao:a Khi có bất kỳ lỗi vào nào ở mức thấp.b Khi có bất kỳ lỗi vào nào ở mức cao.c Khi tất cả lỗi vào ở mức cao.d Mọi lúc.

10/ Cổng NOT sử dụng để:

- a** khuếch đại tín hiệu đầu vào của nó.
- b** đệm tín hiệu đầu vào của nó.
- c** làm trễ pha tín hiệu đầu vào của nó.
- d** đảo tín hiệu đầu vào của nó.

11/ Đầu ra của cổng NAND ở mức thấp:

- a** Mọi lúc.
- b** Khi có bất kỳ lỗi vào nào ở mức cao.
- c** Khi tất cả lỗi vào ở mức cao.
- d** Khi có bất kỳ lỗi vào nào ở mức thấp.

12/ Đầu ra của cổng OR ở mức cao:

- a** Khi đầu vào bất kỳ ở mức thấp.
- b** Khi đầu vào bất kỳ ở mức cao.
- c** Mọi lúc
- d** Khi tất cả các đầu vào ở mức thấp.

13/ Đầu ra của cổng NOR ở mức thấp:

- a** Mọi lúc.
- b** Khi đầu vào bất kỳ ở mức thấp.
- c** Khi tất cả các đầu vào ở mức thấp.
- d** Khi đầu vào bất kỳ ở mức cao.

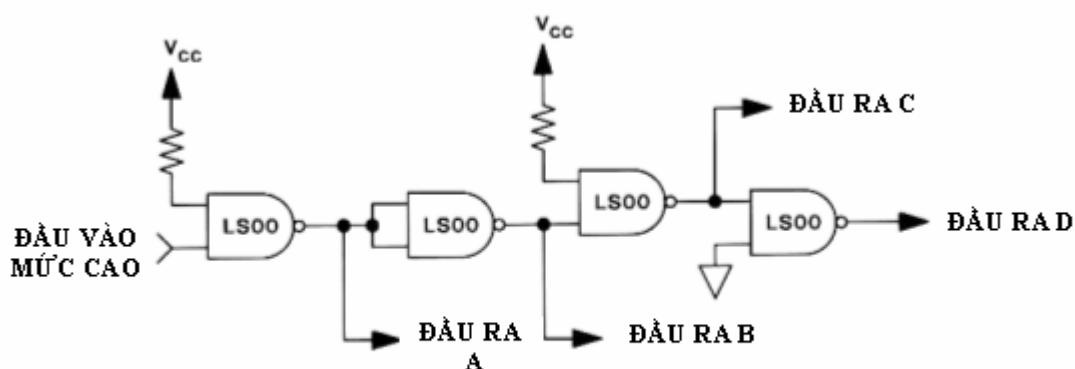
14/ Các cổng hở collector

- a** phải nối với các đầu ra của các cổng collector khác.
- b** sẽ đảo ngược mức ra của chúng nếu nối với đất
- c** có thể nối với các đầu ra và đầu vào của các cổng khác
- d** không thể nối với các đầu vào của cổng khác

15/ Cổng NOT họ TTL:

- a** đòi hỏi ít nhất 1 đầu vào ở mức thấp
- b** đòi hỏi ít nhất 1 đầu vào ở mức cao
- c** dùng để đảo mức logic
- d** có thể sử dụng như bộ khuếch đại

16/ Trên hình 3-5, trạng thái tương ứng của các đầu ra từ A đến D lần lượt là

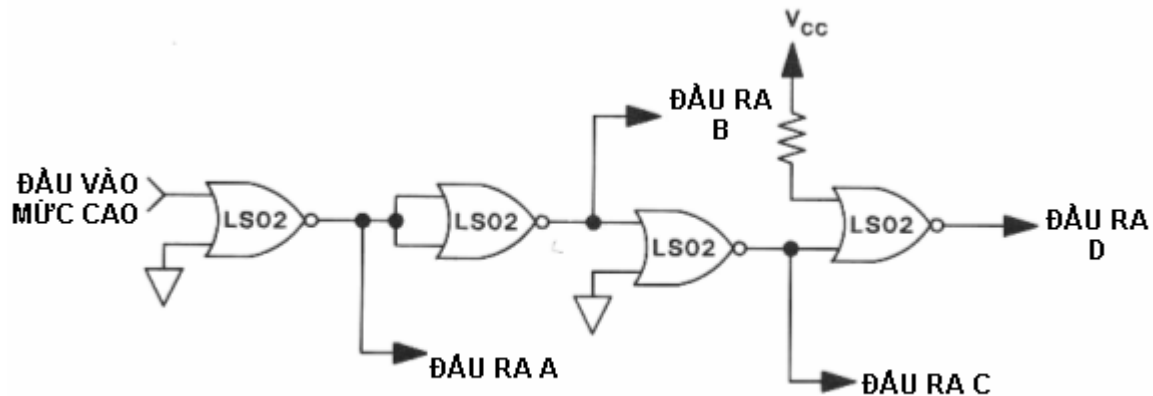


Hình 3-5

- a** Cao-Thấp-Thấp-Thấp

- b** Cao-Cao-Thấp-Thấp
- c** Thấp-Cao-Thấp-Thấp
- d** Thấp-Cao-Thấp-Cao

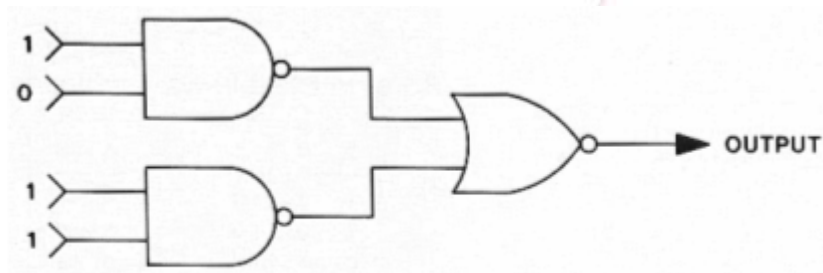
17/ Trong mạch trên hình 3-6, trạng thái tương ứng của các đầu ra từ A đến D lần lượt là



Hình 3-6

- a** Cao-Cao-Thấp-Thấp
- b** Thấp-Cao-Thấp-Cao
- c** Thấp - Cao - Thấp - Thấp
- d** Cao-Thấp-Thấp-Thấp

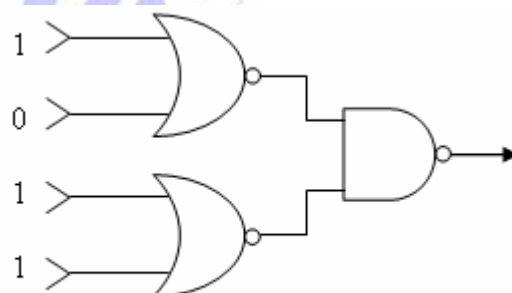
18/ Mạch như hình 3-7 sẽ:



Hình 3-7

- a** Không hoạt động vì các kết nối nguồn cung cấp không được chỉ ra
- b** Tạo mức đầu ra cao
- c** Tạo mức đầu ra thấp
- d** Không hoạt động vì các đầu ra của cổng NAND được nối với nhau tại cổng NOR

19/ Mạch như hình 3-8 sẽ:



Hình 3-8

- a** Không hoạt động vì các kết nối nguồn cung cấp không được chỉ ra
- b** Tạo mức đầu ra thấp

- c Tạo mức đầu ra cao
- d Không hoạt động vì các đầu ra của cổng NAND được nối với nhau tại cổng NOR

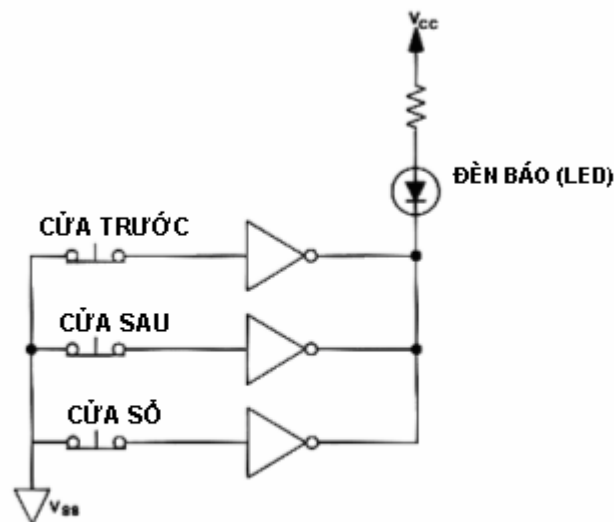
20/ Cổng XOR tạo ra đầu ra với mức logic cao:

- a Không lúc nào cả
- b Với điều kiện là trạng thái lỗi vào giống nhau
- c Mọi lúc
- d Với điều kiện là trạng thái lỗi vào khác nhau

21/ Cổng XOR tạo ra đầu ra với mức logic thấp:

- a Không lúc nào cả
- b Với điều kiện là trạng thái lỗi vào khác nhau
- c Mọi lúc
- d Với điều kiện là trạng thái lỗi vào giống nhau.

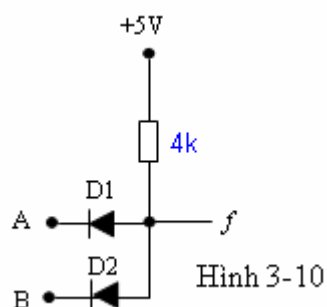
22/ Theo điều kiện ở mạch trong hình 3-9 thì



Hình 3-9

- a mỗi cổng phân chia dòng qua đèn LED.
- b đèn LED tắt
- c đèn báo được kích hoạt
- d đèn LED sáng

23/ Mạch logic DDL có sơ đồ như hình vẽ 3-10 làm chức năng gì:

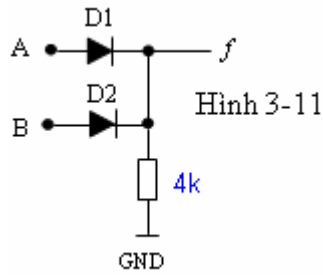


Hình 3-10

- a NOR
- b AND
- c OR

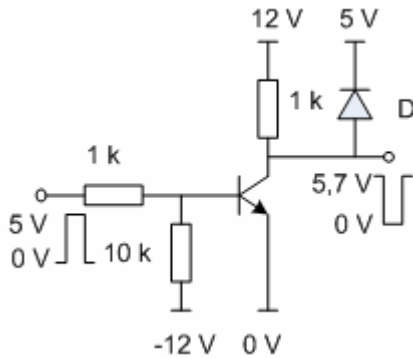
d NAND

24/ Mạch logic DDL có sơ đồ như hình vẽ 3-11 làm chức năng gì:



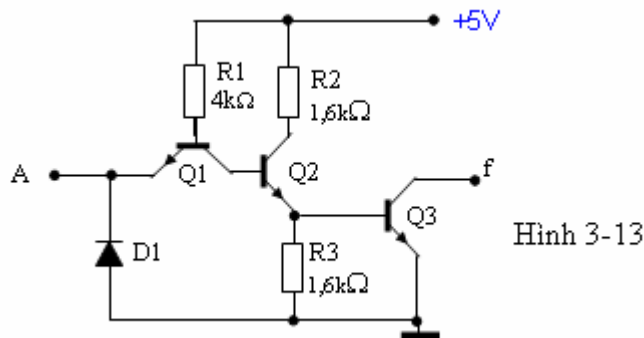
- a OR
- b AND
- c NAND
- d NOR

25/ Mạch logic RTL có sơ đồ như hình vẽ 3-12 làm chức năng gì:



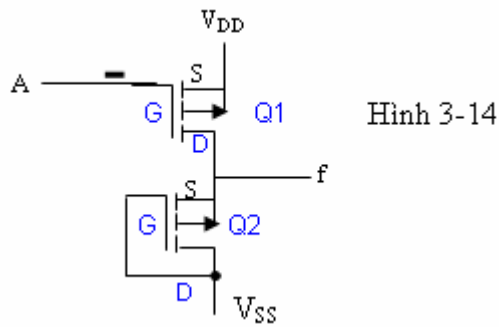
- a NAND
- b AND
- c NOT
- d OR

26/ Mạch logic TTL có sơ đồ như hình vẽ 3-13 làm chức năng gì:



- a AND
- b NAND
- c NOT collector hở
- d NOT

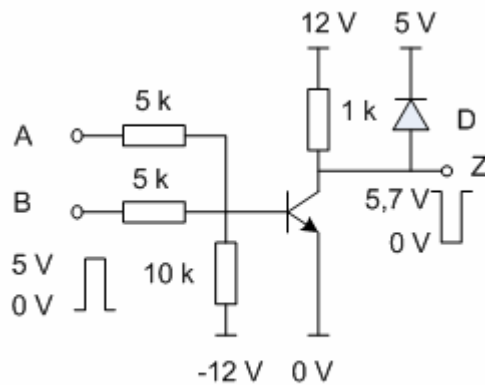
27/ Mạch logic PMOS có sơ đồ như hình vẽ 3-14 làm chức năng gì:



Hình 3-14

- a OR
- b NAND
- c AND
- d NOT

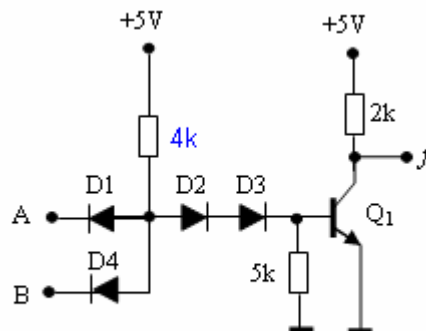
28/ Mạch logic RTL có sơ đồ như hình vẽ 3-15 làm chức năng gì:



Hình 3-15

- a NOR
- b OR
- c AND
- d NAND

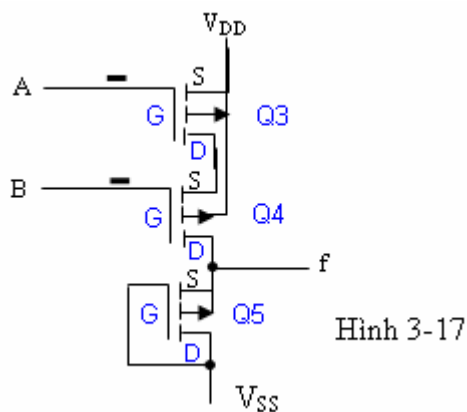
29/ Mạch logic DTL có sơ đồ như hình vẽ 3-16 làm chức năng gì:



Hình 3-16

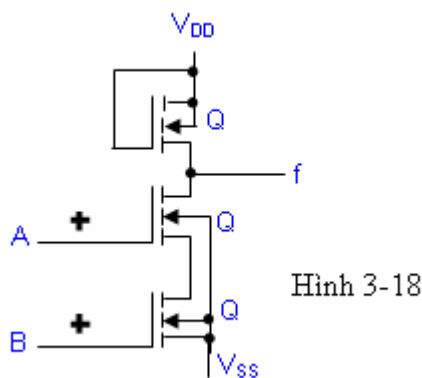
- a NAND
- b AND
- c NOR
- d OR

30/ Mạch logic PMOS có sơ đồ như hình vẽ 3-17 làm chức năng gì:



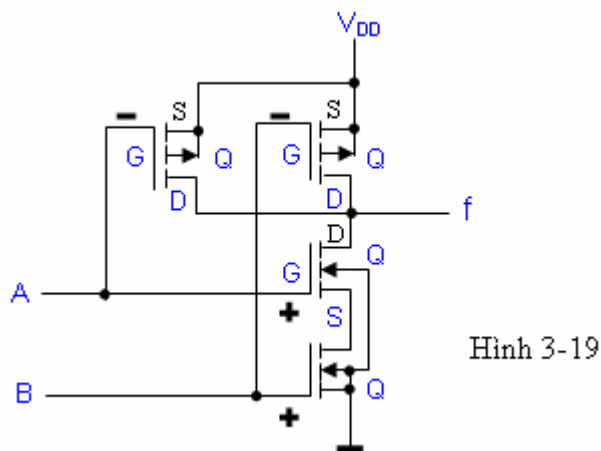
- a NOR
- b OR
- c AND
- d NAND

31/ Mạch logic NMOS có sơ đồ như hình vẽ 3-18 làm chức năng gì:



- a NOR
- b NAND
- c AND
- d OR

32/ Mạch logic CMOS có sơ đồ như hình vẽ 3-19 làm chức năng gì:



- a NOR
- b OR
- c NAND

d AND

33/ Cổng collector hở sẽ hoạt động bình thường như các cổng logic bình thường nếu:

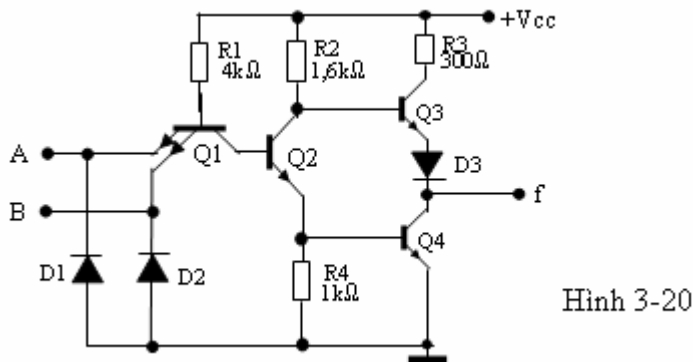
- a Lỗi ra được nối lên nguồn thông qua một tụ gánh
- b Lỗi ra nối xuống đất thông qua một trở
- c Lỗi ra được nối lên nguồn thông qua một trở gánh
- d Lỗi ra nối xuống đất thông qua một tụ

34/ Có cho phép đầu vào của mạch CMOS để hở không?

Để mạch hoạt động bình thường thì đầu vào không dùng phải có mức logic nào?

- a Được- Có thể coi là mức 1
- b Không được- Để mạch hoạt động bình thường thì đầu vào không dùng phải nối với mức logic 0
- c Được- Phải coi là mức 0
- d Không được- Để mạch hoạt động bình thường thì đầu vào không dùng phải nối với mức logic 1 hoặc 0 tùy tính chất từng mạch

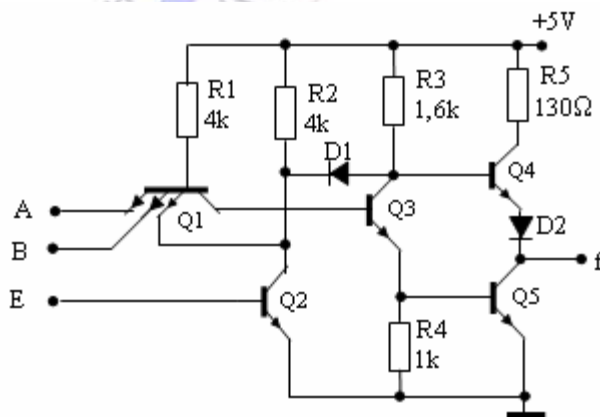
35/ Chức năng của diode D_3 trong sơ đồ 3-20 là gì?



Hình 3-20

- a Dịch mức điện áp làm cho Q_3 và Q_4 không bao giờ cùng đóng hoặc cùng mở
- b Chống nhiễu lỗi ra
- c Cách ly transistor Q_3 và Q_4
- d Cách ly Q_4 khỏi mạch ngoài nối vào đầu ra f

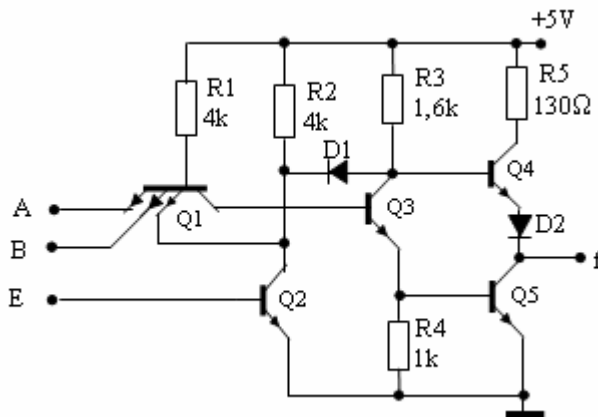
36/ Mạch điện được biểu diễn trong sơ đồ 3-21 hoạt động như thế nào nếu như lỗi vào E ở mức thấp?



Hình 3-21

- a Mạch trở thành cổng NAND hai lối vào
- b Trạng thái lối ra không theo logic cơ bản nào
- c Mạch trở thành cổng NOR hai lối vào
- d Mạch trở thành cổng AND hai lối vào

37/ Mạch điện được biểu diễn trong sơ đồ 3-22 hoạt động như thế nào nếu như lối vào E ở mức logic cao?



- a Mạch trở thành cổng AND hai lối vào
- b Mạch trở thành cổng NOR hai lối vào
- c Mạch trở thành cổng NAND hai lối vào
- d Trạng thái lối ra không theo mức logic cơ bản nào

38/ Tác dụng của trạng thái trở kháng lối ra cao trong cổng ba trạng thái là:

- a Cách ly các lối ra của các cổng logic khi chúng cùng được nối tới một lối vào
- b Đưa ra mức logic cao nhưng có giá trị trở kháng cao
- c Đưa ra mức logic thứ 3 là trung bình của hai mức cao và thấp
- d Đưa ra mức logic thấp nhưng có giá trị trở kháng cao

CHƯƠNG 4. MẠCH LOGIC TỔ HỢP

1/ Mạch logic tổ hợp là mạch:

- a Không có phương án nào đúng
- b Cả hai phương án trên đều đúng
- c Có tín hiệu ở đầu ra chỉ phụ thuộc vào tín hiệu ở đầu vào của mạch tại thời điểm đang xét
- d Không những tín hiệu ở đầu ra phụ thuộc vào tín hiệu ở đầu vào mà còn phụ thuộc vào trạng thái trong của mạch tại thời điểm đang xét

2/ Có mấy loại Hazard?

- a 2
- b 5
- c 4
- d 3

3/ Loại Hazard nào trong mạch logic tổ hợp là loại nguy hiểm nhất?

- a Hazard hàm số
- b Hazard tĩnh
- c Hazard động

d Hazard logic

4/ Bộ mã hoá ưu tiên là bộ mã hoá cho phép mã hoá khi:

- a Có hai tín hiệu trở lên đồng thời tác động vào.
- b Chỉ hai tín hiệu tác động vào
- c Cả 3 phương án trên đều đúng
- d Chỉ có một tín hiệu tác động vào

5/ Khi bộ mã hoá ưu tiên tiến hành mã hoá thì các trạng thái có độ ưu tiên thấp hơn được xử lý thế nào?

- a Nó luôn ở mức logic thấp
- b Không quan tâm xem nó ở trạng thái nào.
- c Nó luôn ở mức logic cao
- d Cả 3 phương án trên đều đúng

6/ Bộ giải mã BCD 8-4-2-1 sang thập phân làm nhiệm vụ biến đổi

- a Không có phương án nào đúng
- b đầu vào BCD 8-4-2-1 thành đầu ra thập phân tương ứng
- c đầu vào nhị phân thành đầu ra thập lục phân (hệ hexa).
- d đầu vào thập phân thành mã BCD 8-4-2-1

7/ Dụng cụ hiển thị 7-đoạn Anốt chung có:

- a bảy Katốt của bảy thanh LED được đấu chung với nhau.
- b một Katốt của một thanh LED đơn bên trong
- c một Anốt của một thanh LED đơn bên trong
- d bảy Anốt của bảy thanh LED được đấu chung với nhau

8/ Dụng cụ hiển thị 7-đoạn Katốt chung có

- a một Katốt của một thanh LED đơn bên trong
- b Bảy Katốt của bảy thanh LED được đấu chung với nhau
- c bảy Anốt của bảy thanh LED được đấu chung với nhau
- d một Anốt của một thanh LED đơn bên trong

9/ Bộ hợp kênh có khả năng:

- a nối đồng thời một hoặc nhiều lối vào với một lối ra
- b nối một lối vào trong một nhóm các lối vào với một lối ra
- c nối một lối vào mạch với một lối ra trong một nhóm các lối ra.
- d nối đồng thời một lối vào mạch với một hoặc nhiều lối ra.

10/ Bộ phân kênh có khả năng:

- a nối một lối ra mạch với một trong một nhóm các lối vào
- b nối đồng thời một hoặc nhiều lối vào với một lối ra
- c nối một lối ra trong một nhóm các lối ra với một lối vào
- d nối đồng thời một lối ra mạch với một hoặc nhiều lối vào

11/ Nếu bộ tạo bit chẵn/ lẻ phát ra chỉ thị parity chẵn thì mẫu dữ liệu gồm

- a một số lẻ các bit '0'
- b một số chẵn các bit '0'
- c một số lẻ các bit '1'
- d một số chẵn các bit '1'

12/ Nếu bộ tạo bit chẵn/ lẻ phát ra chỉ thị parity lẻ thì mẫu dữ liệu gồm:

- a một số lẻ các bit '1'

- b một số chẵn các bit '1'
- c một số chẵn các bit '0'
- d một số lẻ các bit '0'

13/ Một ALU có chứa:

- a Một khối số học
- b Một khối so sánh
- c Một khối logic
- d Một khối số học và một khối logic.

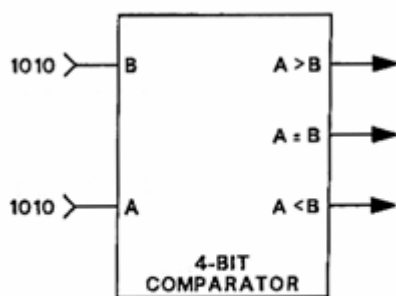
14/ Số nhị phân $A = 1000$ và $B = 0111$, sau khi so sánh hai số nhị phân thu được kết quả là:

- a $A > B$
- b $B > A$
- c $A < B$
- d $A = B$

15/ Số nhị phân $A = 1101$ và $B = 1110$, sau khi so sánh hai số nhị phân thu được kết quả là:

- a $B < A$
- b $A > B$
- c $A = B$
- d $A < B$

16/ Dựa trên bộ so sánh trên hình 4-1, các lỗi ra:



Hình 4-1.

- a có giá trị 0, 0 và 0
- b sẽ không thể hiện chức năng nếu không có các đèn LED
- c có giá trị 1, 1 và 1
- d có giá trị 0, 1 và 0

17/ $A = 1001$, $B = 1010$. Bộ so sánh sẽ quyết định $A < B$:

- a Dựa trên cặp LSB (cặp BIT 0)
- b Bởi vì cả hai cặp MSB không bằng nhau
- c Dựa trên cặp BIT 1
- d Bởi vì cả hai cặp MSB bằng nhau

18/ $A = 1001$, $B = 1000$. Bộ so sánh sẽ quyết định $A > B$:

- a Dựa trên cặp LSB (cặp BIT 0)
- b Dựa trên cặp BIT 1
- c Bởi vì cả hai cặp MSB không bằng nhau
- d Bởi vì cả hai cặp MSB bằng nhau

19/ Cho LED 7 đoạn A chung, muốn hiển thị số 3 thì những thanh nào sáng?

- a Thanh a, b, c, d và e
- b Thanh a, b, c và e
- c Thanh a, b, c, d và g
- d Thanh a, b, c, d và f

20/ Cho LED 7 đoạn A chung, muốn hiển thị số 2 thì nhưng thanh nào sáng?

- a Thanh a, b, c và e
- b Thanh a, b, c và f
- c Tất cả các thanh đều sáng trừ thanh c và f.
- d Thanh a, b, d và e.

21/ Cho LED 7 đoạn A chung, muốn thanh nào sáng thì Katốt của thanh đó có mức logic gì?

- a Mức logic 0
- b Mức 0 và mức 1
- c Không ở mức nào cả
- d Mức logic 1

22/ Cho LED 7 đoạn K chung, muốn thanh nào sáng thì Anốt của thanh đó có mức logic gì?

- a Mức logic 0
- b Mức 0 và mức 1
- c Mức logic 1
- d Không ở mức nào cả

23/ Mạch giải mã 7 đoạn có mấy đầu vào và mấy đầu ra?

- a 3 vào và 7 ra
- b 2 vào và 7 ra
- c 4 vào và 7 ra
- d 4 vào và 5 ra

24/ Mạch hợp kênh 15 đường dữ liệu cần bao nhiêu đường địa chỉ?

- a 5 đường
- b 3 đường
- c 6 đường
- d 4 đường

25/ Bảng trạng thái nào là bảng của bộ MUX hai lối vào địa chỉ?

A	B	Y		A	B	Y ₀	Y ₁	Y ₂	Y ₃		A	B	Y ₀	Y ₁	Y ₂	Y ₃	
0	0	D ₀		0	0	D ₀	0	0	0		0	0	1	0	0	0	
0	1	D ₁		0	1	0	D ₁	0	0		0	1	0	1	0	0	
1	0	D ₂		1	0	0	0	D ₂	0		1	0	0	0	1	0	
1	1	D ₃		1	1	0	0	0	D ₃		1	1	0	0	0	1	

(a) (b) (c)

- a (b)
- b (a)
- c (b) và (c)
- d (c)

26/ Bảng trạng thái nào là bảng của bộ DEMUX hai lối vào địa chỉ?

A	B	Y		A	B	Y ₀	Y ₁	Y ₂	Y ₃		A	B	Y ₀	Y ₁	Y ₂	Y ₃	
0	0	D ₀		0	0	D ₀	0	0	0		0	0	1	0	0	0	
0	1	D ₁		0	1	0	D ₁	0	0		0	1	0	1	0	0	
1	0	D ₂		1	0	0	0	D ₂	0		1	0	0	0	1	0	
1	1	D ₃		1	1	0	0	0	D ₃		1	1	0	0	0	1	

(a)

(b)

(c)

- a** (a)
b (b)
c (c)
d (a) và (c)

27/ Bảng trạng thái nào là bảng của bộ giải mã địa chỉ hai lối vào?

A	B	Y		A	B	Y ₀	Y ₁	Y ₂	Y ₃		A	B	Y ₀	Y ₁	Y ₂	Y ₃	
0	0	D ₀		0	0	D ₀	0	0	0		0	0	1	0	0	0	
0	1	D ₁		0	1	0	D ₁	0	0		0	1	0	1	0	0	
1	0	D ₂		1	0	0	0	D ₂	0		1	0	0	0	1	0	
1	1	D ₃		1	1	0	0	0	D ₃		1	1	0	0	0	1	

(a)

(b)

(c)

- a** (a)
b (c)
c (a) và (b)
d (b)

28/ Nếu ta có lối vào bộ cộng là $Q_A = Q_B = 1$ và $Q_C = Q_D = 0$ ($Q_D Q_C Q_B Q_A$).

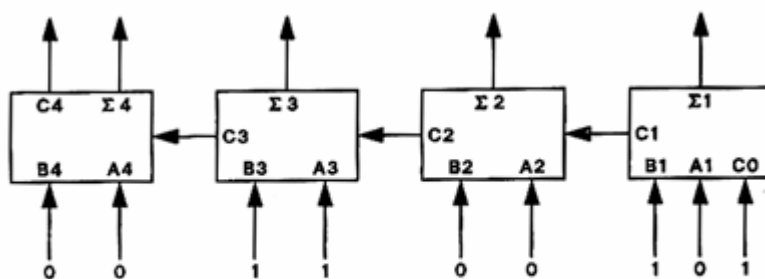
Dựa vào thông tin đó giá trị đầu ra bộ cộng được tính là:

- a** 0100 nếu số nhị phân A có giá trị là 0001
b Không có trường hợp nào ở trên
c 0011 nếu số nhị phân A có giá trị là 0001
d 1100

29/ Nếu số nhị phân B = 0100 và số A = 1100, thì kết quả thu được sau phép cộng là (1) 0000. Điều này đúng không?

- a** Đúng, bởi vì kết quả đúng là 16₁₀.
b Đúng, bởi vì kết quả đúng là 15₁₀.
c Không, bởi vì cả hai bit LSB đều bằng 00.
d Không, bởi vì kết quả đúng là (1) 1111.

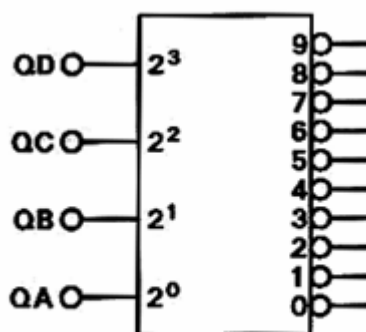
30/ Dựa vào các thông tin đã cho trên hình 4-2. Giá trị đầu ra của bộ cộng là:



Hình 4-2

- a 0101
- b 1010
- c (1) 1010
- d 1001

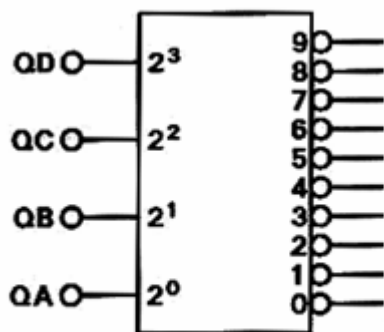
31/ Các đầu ra của bộ giải mã trong hình 4-3:



Hình 4-3. Bộ giải mã từ BCD sang thập phân

- a tích cực ở mức cao.
- b tích cực ở mức thấp.
- c tất cả đều ở mức thấp khi đầu vào là 0000.
- d tích cực ở chế độ 3 trạng thái.

32/ Dựa trên hình 4-4, khoảng giá trị đầu vào xác định là:



Hình 4-4. Bộ giải mã từ BCD sang thập phân

- a 1111 đến 0110.
- b 0000 đến 1001.
- c 0001 đến 1001
- d Không phải các trường hợp kể trên.

33/ Nếu từ dữ liệu 8-bit có mẫu bit là 1010 0101, hệ thống parity lẻ:

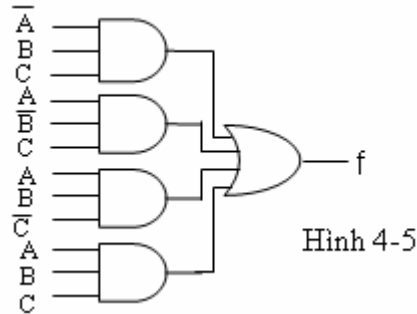
- a không yêu cầu bit chẵn/ lẻ.

- b** không thể sử dụng từ dữ liệu này.
- c** yêu cầu bit chẵn/ lẻ ở mức logic thấp.
- d** yêu cầu bit chẵn/ lẻ ở mức logic cao.

34/ Nếu từ dữ liệu 8-bit có mẫu bit là 1010 0101, hệ thống parity chẵn:

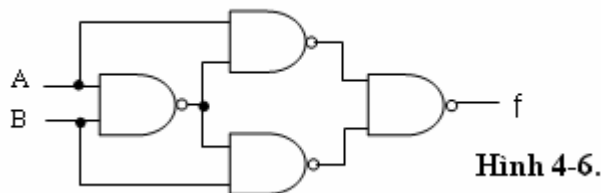
- a** không yêu cầu bit chẵn lẻ.
- b** yêu cầu bit chẵn/ lẻ ở mức logic cao.
- c** yêu cầu bit chẵn/ lẻ ở mức logic thấp.
- d** không thể sử dụng từ dữ liệu này.

35/ Cho mạch tổ hợp hình 4-5, hãy xác định hàm ra của mạch:



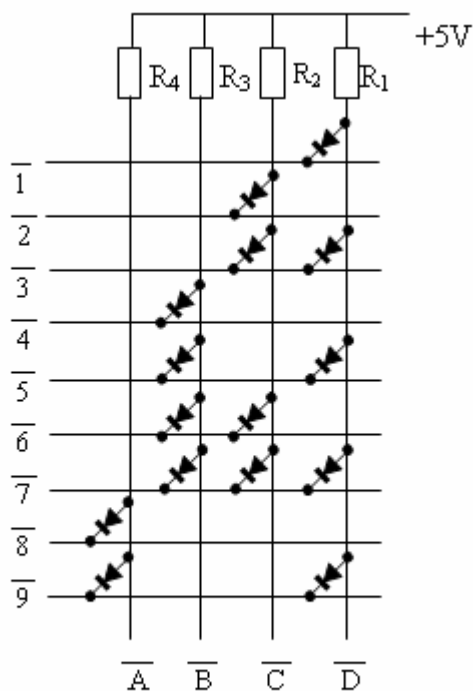
- a** $\bar{A}BC + A\bar{B}C + ABC\bar{C} + \bar{A}BC$
- b** $(\bar{A} + B + C)(A + \bar{B} + C)(A + B + \bar{C})(A + \bar{B} + C)$
- c** $(\bar{A} + B + C)(A + \bar{B} + C)(A + B + \bar{C})(A + B + C)$
- d** $\bar{A}BC + A\bar{B}C + ABC\bar{C} + ABC$

36/ Cho mạch tổ hợp hình 4-6, hãy xác định hàm ra của mạch:



- a** $f = \overline{A+B} + \overline{A} \cdot \overline{A+B} + \overline{B}$
- b** $f = \overline{A+B} + \overline{A} + \overline{A+B} + \overline{B}$
- c** $f = \overline{AB} \cdot \overline{A} + \overline{AB} \cdot \overline{B}$
- d** $f = \overline{AB} \cdot \overline{A} \cdot \overline{AB} \cdot \overline{B}$

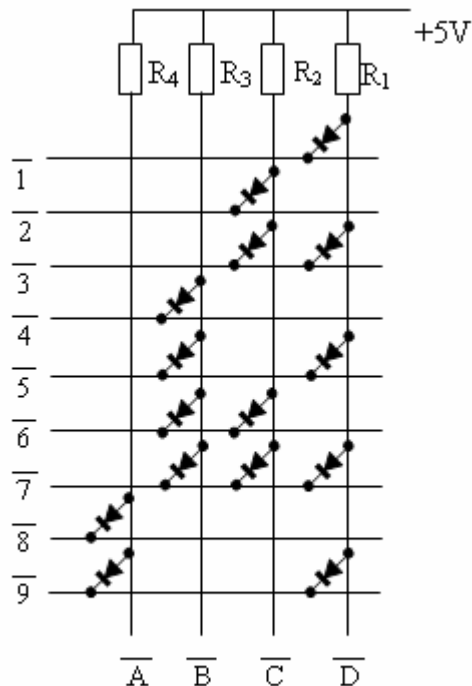
37/ Cho mạch mã hoá hình 4-7, hãy xác định hàm \bar{D} của mạch:



Hình 4-7 Mạch điện của bộ mã hoá dùng diode.

- a $\overline{D} = \overline{1} + \overline{3} + \overline{5} + \overline{8} + \overline{9}$
- b $\overline{D} = \overline{1} + \overline{3} + \overline{5} + \overline{7} + \overline{9}$
- c $\overline{D} = \overline{1} . \overline{3} . \overline{5} . \overline{7} . \overline{9}$
- d $\overline{D} = \overline{1} . \overline{3} . \overline{5} . \overline{6} . \overline{9}$

38/ Cho mạch mã hoá hình 4-8, hãy xác định hàm \overline{C} của mạch:

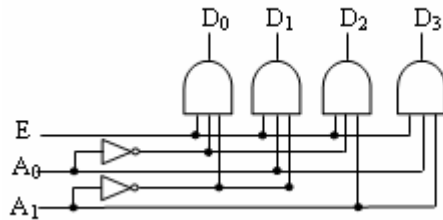


Hình 4-8 Mạch điện của bộ mã hoá dùng diode.

- a $\overline{C} = \overline{2} . \overline{3} . \overline{6} . \overline{7}$

b $\overline{C} = \overline{2 + 3 + 6 + 7}$
c $\overline{C} = \overline{2 \cdot 3 \cdot 4 \cdot 6 \cdot 7}$
d $\overline{C} = \overline{2 + 3 + 4 + 6 + 7}$

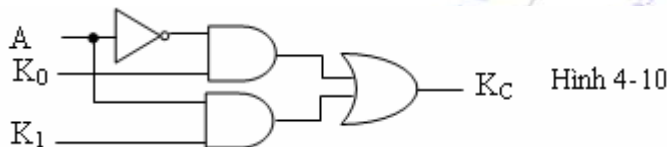
39/ Nếu E = 1 thì hình 4-9 là mạch điện có chức năng gì:



Hình 4-9

- a** Bộ hợp kênh 2 lối vào.
b Bộ mã hoá 2 lối vào.
c Bộ phân kênh 2 lối vào.
d Bộ chọn địa chỉ nhị phân 2 lối vào.

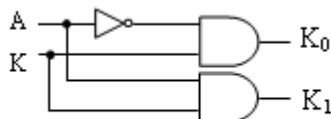
40/ Nếu A là đường địa chỉ, K₁ và K₀ là đường dữ liệu thì hình 4-10 là mạch điện có chức năng gì:



Hình 4-10

- a** Bộ hợp kênh 2 lối vào.
b Bộ chọn địa chỉ nhị phân 2 lối vào
c Bộ mã hoá 2 lối vào.
d Bộ phân kênh 2 lối vào.

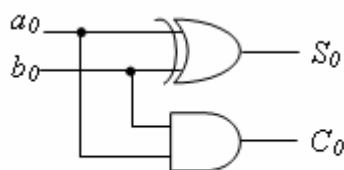
41/ Nếu A là đường địa chỉ, K là đường dữ liệu thì hình 4-11 là mạch điện có chức năng gì:



Hình 4-11

- a** Bộ mã hoá 2 lối vào.
b Bộ phân kênh 2 lối vào.
c Bộ hợp kênh 2 lối vào.
d Bộ chọn địa chỉ nhị phân 2 lối vào

42/ Hình 4-12 là mạch điện có chức năng gì:

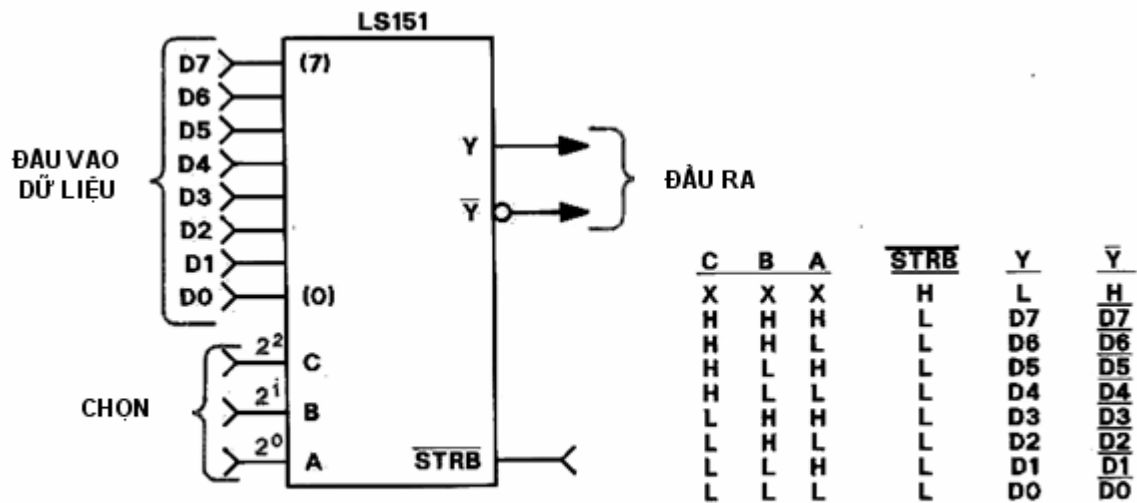


Hình 4-12

- a** Mạch bán tổng.
b Mạch bán hiệu.
c Mạch hiệu toàn phần.

d Mạch tổng toàn phần.

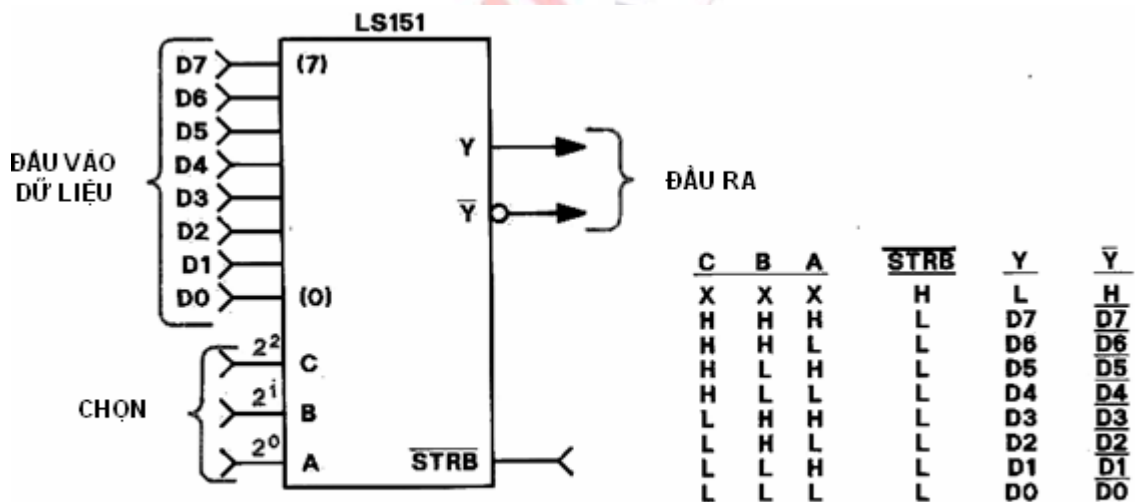
43/ Dựa vào sơ đồ khối và bảng cho trong hình 4-13, ta kết luận:



Hình 4-13

- a tại một thời điểm, có thể chọn nhiều hơn một đầu vào.
- b đầu ra Y ở mức thấp và đầu ra $\overline{\text{Y}}$ ở mức cao khi IC được phép hoạt động.
- c đầu ra Y ở mức thấp và đầu ra $\overline{\text{Y}}$ ở mức cao khi IC không được phép hoạt động.
- d các đầu vào chọn luôn luôn cho phép một đầu vào hoạt động.

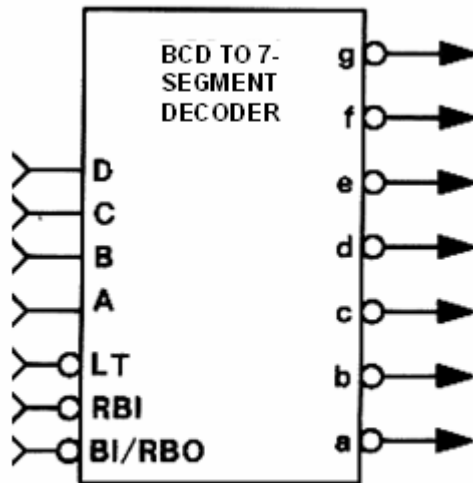
44/ Dựa vào sơ đồ khối và bảng cho trong hình 4-14, ta kết luận:



Hình 4-14

- a lỗi vào không chế $\overline{\text{STRB}}$ không thể là dạng xung.
- b các mức đầu ra không thể xác định.
- c các đầu ra Y và $\overline{\text{Y}}$ có cùng mức logic với đầu vào được chọn.
- d đầu ra Y lấy mức logic của đầu vào được chọn và đầu ra $\overline{\text{Y}}$ lấy mức logic đảo của đầu vào được chọn.

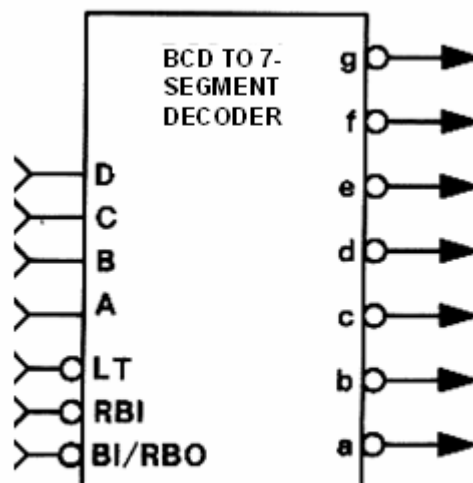
45/ Trên bộ giải mã 7 đoạn được minh hoạ trong hình 4-15 thì:



Hình 4-15.

- a tại một thời điểm hoạt động, có thể có nhiều hơn một đầu ra ở trạng thái tích cực
- b tại một thời điểm hoạt động, chỉ một đầu ra ở trạng thái tích cực.
- c tất cả các đầu ra phải đồng thời ở trạng thái tích cực.
- d tất cả các đầu ra phải đồng thời ở trạng thái không tích cực.

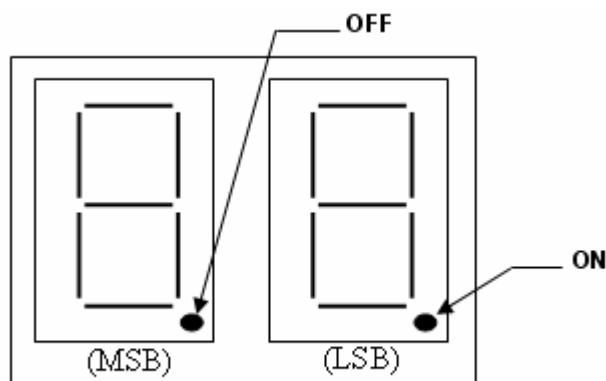
46/ Trong bộ giải mã trong hình 4-16, mức đầu ra tích cực ở mức logic:



Hình 4-16.

- a không xác định được, vì không chỉ rõ kết nối với nguồn cấp
- b trung bình
- c thấp
- d cao

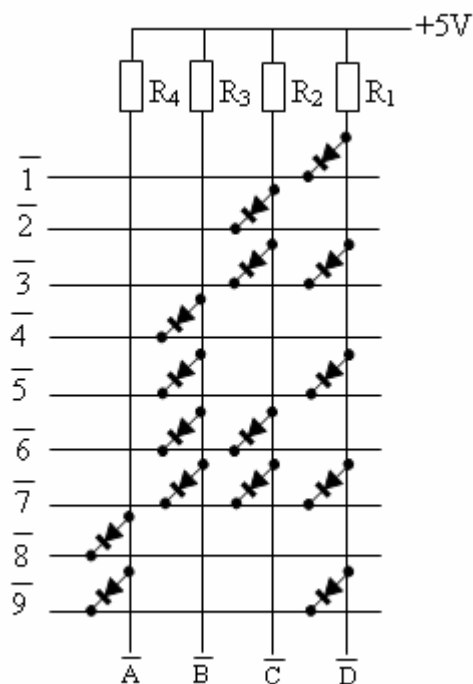
47/ Hình 4-17 minh họa hai thiết bị hiển thị 7-đoạn đặt kề nhau. Dải đếm thập phân của cấu hình này là:



Hình 4-17.

- a từ 00 đến 100
- b từ 0 đến 9 và từ 0 đến 9
- c từ 00 đến FF hoặc từ 00 đến 255
- d từ 0 đến 99

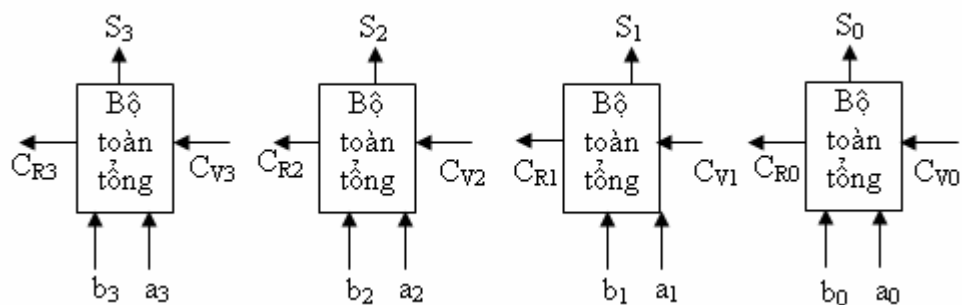
48/ Mạch điện hình 4-18 có chức năng gì?



Hình 4-18

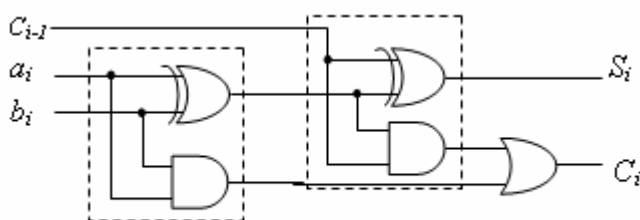
- a Bộ mã hoá từ thập phân sang BCD 8421
- b Bộ giải mã từ BCD 8421 sang thập phân
- c Bộ mã hoá ưu tiên
- d Bộ giải mã bảy đoạn

49/ Để xây dựng bộ cộng nhị phân 4 bit theo phương pháp song song thì phải thực hiện:



- a** C_{V1} nối với C_{R3} , C_{R0} nối với C_{V1} , C_{R1} nối với C_{V2} , C_{R2} nối với C_{V3}
b $C_{V0} = '0'$, C_{R0} nối với C_{V1} , C_{R1} nối với C_{V2} , C_{R2} nối với C_{V3} .
c $C_{V0} = '1'$, C_{R0} nối với C_{V1} , C_{R1} nối với C_{V2} , C_{R2} nối với C_{V3}
d Không trường hợp nào đúng.

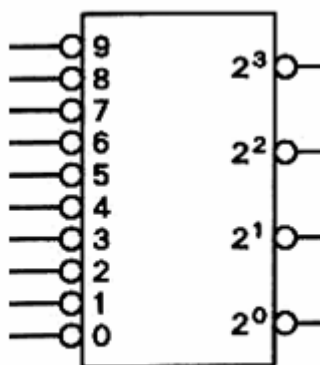
50/ Mạch điện hình 4-19 có chức năng gì?



Hình 4-19

- a** Mạch hiệu toàn phần.
b Mạch tổng toàn phần.
c Mạch bán tổng.
d Mạch bán hiệu.

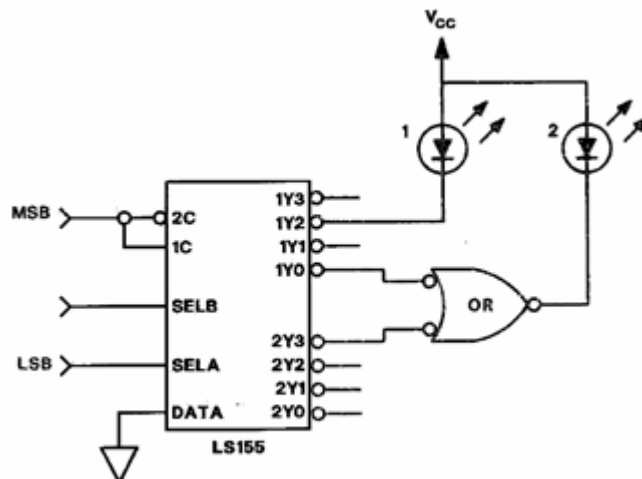
51/ Trong hình 4-20, nếu đầu vào 6 ở mức thấp. Dẫn đến:



Hình 4-20. Bộ mã hóa ưu tiên BCD

- a** đầu ra BCD có mức logic là 1001.
b đầu ra BCD có mức logic là 0110.
c không có đầu ra nào ở mức logic thấp.
d không có đầu ra nào ở mức logic cao.

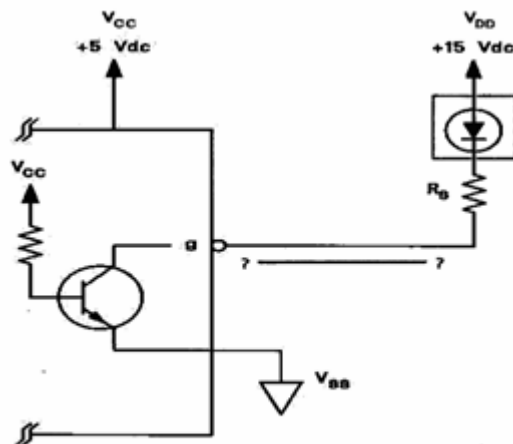
52/ Trong hình 4-21, đèn LED 2:



Hình 4-21

- a không thể được điều khiển sáng bởi cổng OR.
- b sáng khi cả hai đầu vào cổng OR ở mức cao.
- c sáng khi một trong hai đầu vào cổng OR ở mức thấp.
- d luôn luôn được điều khiển sáng bởi cổng OR.

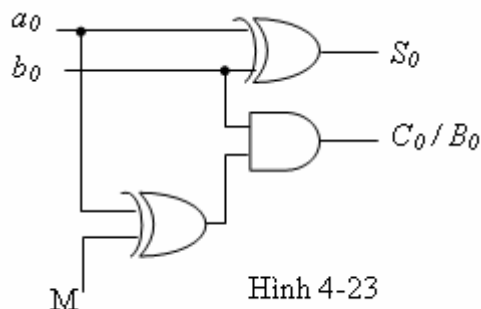
53/ Trong mạch hình 4-22, chiều dòng điện của đoạn-g:



Hình 4-22

- a đi vào bộ điều khiển vì IC ở trạng thái phun dòng
- b đi ra khỏi bộ điều khiển vì IC ở trạng thái phun dòng.
- c đi vào bộ điều khiển vì IC ở trạng thái hút dòng.
- d đi ra khỏi bộ điều khiển vì IC ở trạng thái hút dòng.

54/ Trong mạch hình 4-23, M là đầu điều khiển, nếu $M = 0$ thì mạch có chức năng gì?

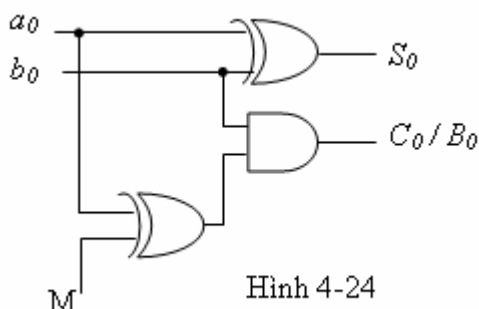


Hình 4-23

- a Mạch hiệu toàn phần.

- b** Mạch bán tổng.
- c** Mạch tổng toàn phần
- d** Mạch bán hiệu

55/ Trong mạch hình 4-24, M là đầu điều khiển, nếu M = 1 thì mạch có chức năng gì:



Hình 4-24

- a** Mạch bán hiệu
- b** Mạch bán tổng.
- c** Mạch hiệu toàn phần.
- d** Mạch tổng toàn phần

56/ Cho bảng trạng thái của mạch toàn tổng như sau, biểu thức lối ra là:

C_{i-1}	a_i	b_i	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Bảng trạng thái
của mạch toàn tổng.

- a** $S_i = a_i \oplus b_i \oplus C_{i-1}$ và $C_i = a_i b_i + (a_i \oplus b_i) C_{i-1}$
- b** $S_i = a_i \oplus b_i \oplus C_{i-1}$ và $C_i = a_i b_i + (a_i \oplus b_i) C_{i-1}$
- c** $S_i = a_i \oplus b_i \oplus C_{i-1}$ và $C_i = a_i b_i + (a_i \oplus b_i) C_{i-1}$
- d** $S_i = a_i \oplus b_i \oplus C_{i-1}$ và $C_i = a_i b_i + (a_i \oplus b_i) C_{i-1}$

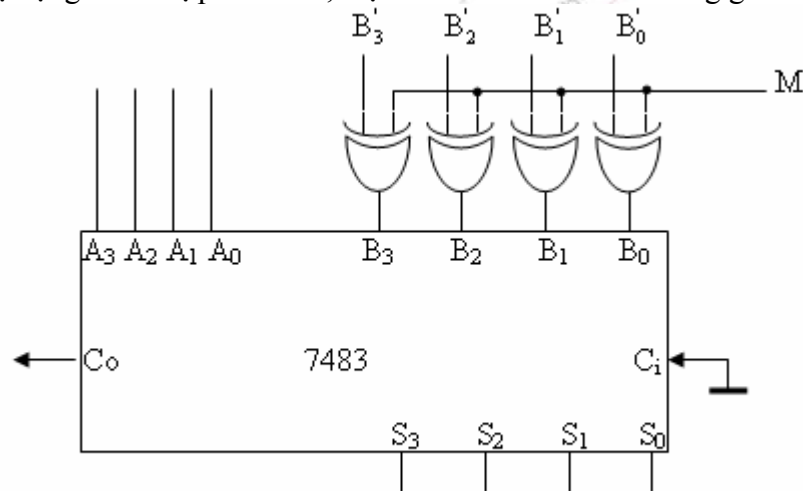
57/ Cho bảng trạng thái của mạch hiệu toàn phần như sau, biểu thức lối ra là:

a_i	b_i	B_{i-1}	S_i	B_i
0	0	0	0	0
0	1	0	1	1
1	0	0	1	0
1	1	0	0	0
0	0	1	1	1
0	1	1	0	1
1	0	1	0	0
1	1	1	1	1

Bảng trạng thái
của mạch hiệu toàn phần.

- a** $S_i = a_i \oplus b_i \oplus B_{i-1}$ và $B_i = \overline{a_i} B_{i-1} + b_i (a_i \oplus B_{i-1})$
- b** $S_i = \overline{a_i \oplus b_i \oplus B_{i-1}}$ và $B_i = \overline{a_i} B_{i-1} + b_i (a_i \oplus B_{i-1})$
- c** $S_i = \overline{a_i \oplus b_i \oplus B_{i-1}}$ và $B_i = \overline{a_i} B_{i-1} + b_i (a_i \oplus B_{i-1})$
- d** $S_i = a_i \oplus b_i \oplus B_{i-1}$ và $B_i = \overline{a_i} B_{i-1} + b_i (a_i \oplus B_{i-1})$

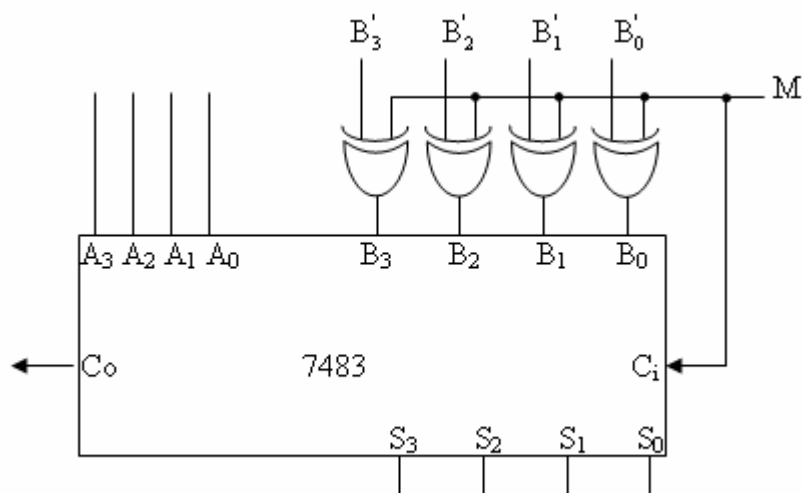
58/ IC 7483 là bộ cộng 2 số nhị phân 4 bit, mạch hình 4-25 có chức năng gì?



Hình 4-25

- a** Mạch cộng 2 số nhị phân 4 bit
- b** Mạch nhân 2 số nhị phân 4 bit
- c** Mạch cộng 2 số nhị phân 4 bit theo bù 1
- d** Mạch cộng 2 số nhị phân 4 bit theo bù 2

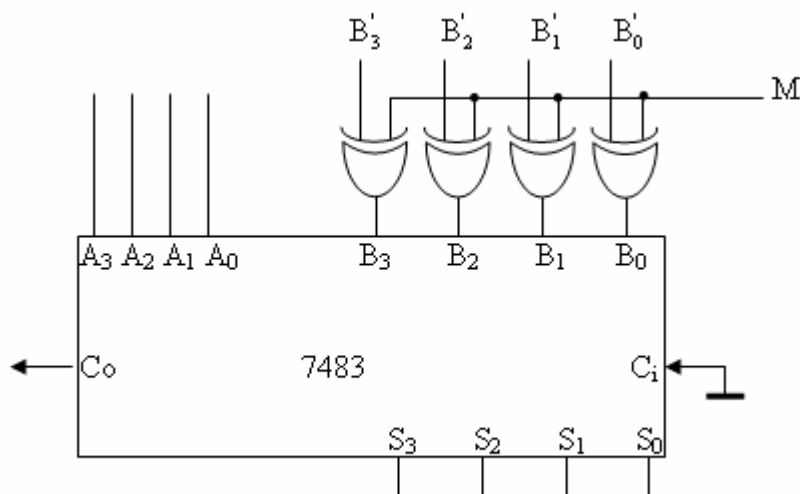
59/ IC 7483 là bộ cộng 2 số nhị phân 4 bit, mạch hình 4-26 có chức năng gì?



Hình 4-26

- a** Mạch cộng 2 số nhị phân 4 bit theo bù 1.
- b** Mạch cộng 2 số nhị phân 4 bit.
- c** Mạch nhân 2 số nhị phân 4 bit
- d** Mạch cộng 2 số nhị phân 4 bit theo bù 2.

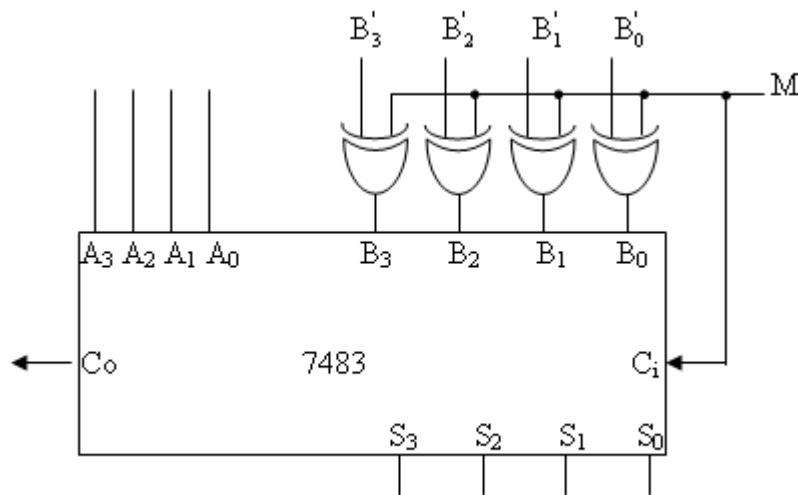
60/ IC 7483 là bộ cộng 2 số nhị phân (số A và B) 4 bit, mạch hình 4-27 là mạch cộng trừ 2 số theo bù 1, mạch có chức năng gì khi $M = 0$ và $M = 1$:



Hình 4-27

- a** $M = 0 \rightarrow (A + B); M = 1 \rightarrow (A - B)$
- b** Cả hai trường hợp trên đều đúng.
- c** $M = 0 \rightarrow (A - B); M = 1 \rightarrow (A + B)$
- d** Không thực hiện được phép tính.

61/ IC 7483 là bộ cộng 2 số nhị phân (số A và B) 4 bit, mạch hình 4-28 là mạch cộng trừ 2 số theo bù 2, mạch có chức năng gì khi $M = 0$ và $M = 1$:



Hình 4-28

- a** $M = 0 \rightarrow (A + B); M = 1 \rightarrow (A - B)$
- b** $M = 0 \rightarrow (A - B); M = 1 \rightarrow (A + B)$
- c** Cả hai trường hợp trên đều đúng.
- d** Không thực hiện được phép tính.

CHƯƠNG 5. MẠCH LOGIC TUẦN TỰ

1/ Mạch logic tuần tự là mạch:

- a** Không những tín hiệu ở đầu ra phụ thuộc vào tín hiệu ở đầu vào mà còn phụ thuộc vào trạng thái trong của mạch tại thời điểm đang xét
- b** Không có phương án nào đúng
- c** Có tín hiệu ở đầu ra chỉ phụ thuộc vào tín hiệu ở đầu vào của mạch tại thời điểm đang xét
- d** Cả hai phương án trên đều đúng

2/ Trong các loại trigơ sau, trigơ nào còn tồn tại tổ hợp cấm:

- a** Trigơ JK
- b** Trigơ T
- c** Trigơ RS
- d** Trigơ D

3/ Trigơ JK đồng bộ cấu tạo từ cổng NAND hoạt động ở:

- a** Cả hai sườn xung.
- b** Sườn âm của xung nhịp
- c** Sườn dương của xung nhịp
- d** Cả ba phương án trên đều đúng

4/ Trigơ JK đồng bộ cấu tạo từ cổng NOR hoạt động ở

- a** Sườn dương của xung nhịp
- b** Cả hai sườn xung.
- c** Cả ba phương án trên đều đúng.
- d** Sườn âm của xung nhịp

5/ Các loại trigơ MS hoạt động ở

- a Cả ba phương án trên đều đúng
- b Sườn âm của xung nhịp
- c Cả hai sườn xung
- d Sườn dương của xung nhịp.

6/ Nếu đầu vào D của trigơ thay đổi thì đầu ra

- a sẽ thay đổi theo D sau khi có xung nhịp clock ở đầu vào
- b thay đổi trạng thái của nó một cách tức thời
- c sẽ thay đổi sau khi có 2 xung nhịp clock ở đầu vào
- d sẽ không thay khi có xung nhịp tiếp theo

7/ Một trigơ JK ở chế độ lật. Nếu tần số Clock của nó là 2000 hz thì tần số tại lối ra là

- a 4000 hz
- b 4000 hz
- c 500 hz
- d 1000 hz

8/ Phương trình đặc trưng của trigơ JK là

- a $Q^k = \bar{J}\bar{Q} + KQ$
- b $Q^k = \bar{J}Q + K\bar{Q}$
- c $Q^k = JQ + \bar{K}\bar{Q}$
- d $Q^k = J\bar{Q} + \bar{K}Q$

9/ Phương trình đặc trưng của trigơ RS là

- a $Q^k = \bar{S} + \bar{R}Q$ và $SR = 1$
- b $Q^k = S + \bar{R}Q$ và $SR = 1$
- c $Q^k = S + \bar{R}Q$ và $SR = 0$
- d $Q^k = S + R\bar{Q}$ và $SR = 0$

10/ Phương trình đặc trưng của trigơ D là

- a $Q^k = \bar{D} + Q$
- b $Q^k = \bar{D}$
- c $Q^k = D\bar{Q}$
- d $Q^k = D$

11/ Phương trình đặc trưng của trigơ T là

- a $Q^k = \bar{T}\bar{Q} + TQ$
- b $Q^k = TQ + \bar{T}\bar{Q}$
- c $Q^k = T\bar{Q} + \bar{T}Q$
- d $Q^k = TQ + T\bar{Q}$

12/ Mô hình Mealy là mô hình:

- a có hàm ra phụ thuộc vào tín hiệu vào và trạng thái trong của mạch
- b có hàm ra phụ thuộc vào trạng thái trong của mạch.

- c không có phương án nào đúng.
- d có hàm ra phụ thuộc vào tín hiệu vào.

13/ Mô hình Moore là mô hình:

- a có hàm ra phụ thuộc vào tín hiệu vào.
- b không có phương án nào đúng.
- c có hàm ra phụ thuộc vào trạng thái trong của mạch.
- d có hàm ra phụ thuộc vào tín hiệu vào và trạng thái trong của mạch.

14/ Phần tử lưu giữ thông tin của bộ ghi dịch là:

- a Trơ T.
- b Trơ JK.
- c Trơ RS.
- d Trơ D

15/ Để tạo ra được một Trơ Chính - phụ (MS) cần

- a hai trơ cùng loại.
- b bốn trơ cùng loại.
- c ba trơ cùng loại đồng bộ.
- d hai trơ cùng loại đồng bộ

16/ Một bộ đếm nhị phân 5 bit thì tần số tại lối ra của bit có trọng số lớn nhất so với tần số xung nhịp

- a nhỏ hơn 64 lần
- b nhỏ hơn 8 lần
- c nhỏ hơn 16 lần
- d nhỏ hơn 32 lần

17/ Trong bộ đếm đồng bộ, các lối vào Clock

- a phải được nối với trơ LSB của bộ đếm.
- b phải là dạng xung được phát theo kiểu đơn bước.
- c phải được nối với trơ MSB của bộ đếm.
- d là chung cho mỗi trơ của bộ đếm.

18/ Trong bộ đếm không đồng bộ, tín hiệu cần đếm

- a phải được nối với trơ LSB của bộ đếm.
- b phải là dạng sóng sin.
- c là chung cho mỗi trơ của bộ đếm.
- d phải được nối với trơ MSB của bộ đếm.

19/ Tần số đầu vào của một bộ đếm không đồng bộ 4 bit là 1MHz.

Vậy tần số tại đầu ra tại lối ra có trọng số lớn nhất (MSB) là bao nhiêu?

- a 62,5 KHz.
- b 125 KHz.
- c 1000 KHz.
- d 500 KHz.

20/ Khi phát xung clock vào bộ đếm không đồng bộ thì xung clock là:

- a Tín hiệu điều khiển trơ MSB của bộ đếm.
- b Tín hiệu điều khiển tất cả các đầu vào.
- c Tín hiệu điều khiển trơ LSB của bộ đếm.
- d Trạng thái tĩnh.

21/ Hệ số chia tần số cho một bộ đếm không đồng bộ 5 bit lần lượt là:

- a** Tất cả các trường hợp trên, phụ thuộc vào tần số xung clock.
- b** 1, 2, 4, 8 và 16.
- c** 1, 2, 4, 16 và 32.
- d** 2, 4, 8, 16 và 32

22/ Một bộ đếm đồng bộ Mod 10 sẽ:

- a** Đếm từ 0 \rightarrow 9
- b** Đếm từ 0 \rightarrow 10
- c** Luôn là 0 \rightarrow 15
- d** Luôn là 15.

23/ Bộ ghi dịch dùng để dịch trái dữ liệu vào nối tiếp thì luồng bit dữ liệu chuyển động từ

- a** Không có trường hợp nào ở trên.
- b** Từ phải qua trái.
- c** Từ trái qua phải.
- d** Từ phải qua trái sau đó từ trái qua phải.

24/ Bộ ghi dịch dùng để dịch phải dữ liệu vào nối tiếp thì luồng bit dữ liệu chuyển động từ

- a** Từ trái qua phải.
- b** Từ phải qua trái sau đó từ trái qua phải
- c** Không có trường hợp nào ở trên.
- d** Từ phải qua trái.

25/ Dữ liệu nạp vào bộ ghi dịch có thể:

- a** chỉ là kiểu dữ liệu thay đổi luân phiên.
- b** Là bất kỳ kiểu dữ liệu nào.
- c** chỉ là kiểu dữ liệu ở mức cao.
- d** chỉ là kiểu dữ liệu ở mức thấp

26/ Khi tần số xung nhịp của bộ đếm nối tiếp tăng thì:

- a** Giảm khả năng đếm lớn nhất của nó
- b** Chức năng của các đầu vào xoá (CLEAR) và lập (SET) không bị ảnh hưởng gì.
- c** Tăng khả năng đếm lớn nhất của nó
- d** Các đầu vào xoá (CLEAR) và lập (SET) sẽ không điều khiển tất cả các trigơ của bộ đếm

27/ Nếu cấp một xung clock vào bộ đếm nối tiếp thì:

- a** Cho phép một bộ đếm nối tiếp chạy trong chế độ không đồng bộ.
- b** Thay đổi lần lượt các chế độ hoạt động của bộ đếm nối tiếp.
- c** Xác định số đếm lớn nhất của bộ đếm nối tiếp.
- d** Chuyển một bộ đếm nối tiếp thành một bộ đếm song song.

28/ Nếu như bộ đếm được xoá và sau đó đầu ra Q (BIT 4) được nối với lối CLEAR (xoá) của bộ đếm thì:

- a** Bộ đếm sẽ đếm đến số thứ 8, sau đó sẽ reset (xoá) lại.
- b** Bộ đếm sẽ đếm đến số thứ 8, sau đó sẽ preset (lập) lại
- c** Bộ đếm sẽ không hoạt động.
- d** Tất cả các đầu ra của bộ đếm sẽ trùng pha.

29/ Chân CLEAR (xoá) của bộ đếm hoạt động ở mức tích cực thấp.

Khi chân CLEAR được đưa xuống mức thấp thì bộ đếm:

- a** Tiếp nhận xung xoá, lúc này tất cả các đầu ra không đảo được đặt ở mức thấp

- b Tiếp nhận xung xoá, lúc này tất cả các đầu ra đảo được đặt cố định ở mức thấp
- c Dao động giữa giá trị đếm lớn nhất và giá trị nhỏ nhất
- d Không tiếp nhận xung xoá bởi vì xung CLOCK chạy tự do

30/ Chân SET (lập) của bộ đếm hoạt động ở mức tích cực thấp.

Khi chân SET (lập) được đưa xuống mức thấp thì bộ đếm

- a Không tiếp nhận xung lập bởi vì xung CLOCK chạy tự do
- b Tiếp nhận xung lập, lúc này tất cả các đầu ra không đảo được đặt ở mức cao
- c Dao động giữa giá trị đếm lớn nhất và giá trị nhỏ nhất
- d Tiếp nhận xung lập, lúc này tất cả các đầu ra đảo được đặt cố định ở mức cao

31/ Nếu kích hoạt một bộ đếm nối tiếp 4 bit thì tại các lối ra đảo của chúng sẽ

- a Đếm từ 15 \rightarrow 10
- b Luôn là 15
- c Đếm từ 0 \rightarrow 15
- d Luôn là 0

32/ Cần bao nhiêu chu kỳ xung clock đầu vào để phát ra một chu kỳ xung tại lối ra có trọng số lớn nhất (MSB) của bộ đếm nối tiếp 4 bit

- a 4
- b 8
- c 16
- d 32

33/ Các Trơ JK sử dụng trong bộ đếm nối tiếp được xây dựng bằng cách

- a Nối tất cả các lối vào J, K, CLR và PR với V_{CC}
- b Cấu trúc mạch Trơ JK giống như một mạch Trơ T
- c Nối lối vào J và K với V_{CC} và vô hiệu hoá các lối vào CLR (xoá) và PR (lập)
- d Sử dụng bất kỳ cấu trúc nào dưới đây

34/ Cần bao nhiêu chu kỳ xung clock đầu vào để phát ra một chu kỳ xung tại lối ra có trọng số lớn nhất (MSB) của bộ đếm song song 4 bit

- a 8
- b 32
- c 16
- d 4

35/ Nếu kích hoạt một bộ đếm song song 4 bit thì tại các lối ra đảo của chúng sẽ:

- a Luôn là 15
- b Luôn là 0
- c Đếm từ 0 \rightarrow 15
- d Đếm từ 15 \rightarrow 10

36/ Khi tần số xung nhịp của bộ đếm song song giảm thì:

- a Chức năng của các đầu vào xoá (CLEAR) và lập (SET) không bị ảnh hưởng gì.
- b Các đầu vào xoá (CLEAR) và lập (SET) không điều khiển tất cả các trơ của bộ đếm
- c Tăng khả năng đếm lớn nhất của nó
- d Giảm khả năng đếm lớn nhất của nó

37/ Chức năng nạp dữ liệu vào song song của bộ ghi dịch sử dụng trơ D

- a Là một lối vào ưu tiên.

- b Yêu cầu sườn âm của xung clock
- c Là lỗi vào ưu tiên cùng chung với dữ liệu vào nối tiếp
- d Yêu cầu sườn dương của xung clock

38/ Trong một số chu kỳ xung clock, hướng dịch của dữ liệu

- a Không có trường hợp nào ở trên
- b Phải là một hướng
- c Có thể thay đổi lần lượt giữa phải và trái.
- d Có thể đồng thời hai hướng

39/ Trong bộ đếm vòng, dữ liệu có dạng

- a Tất cả là bit 1 chạy vòng tròn
- b Chỉ có 1 bit 0 chạy vòng tròn
- c Tất cả là bit 0 chạy vòng tròn.
- d Chỉ có 1 bit 1 chạy vòng tròn

40/ Trong bộ đếm vòng xoắn, dữ liệu có dạng

- a Tăng dần bit 1
- b Giảm dần bit 1 sau đó tăng dần bit 1
- c Tăng dần bit 0 sau đó giảm dần bit 0.
- d Tăng dần bit 1 sau đó giảm dần bit 1

41/ Trong bộ ghi dịch 4 bit cần bao nhiêu xung clock để lấy dữ liệu ra theo cách song song:

- a 7 xung.
- b 6 xung.
- c 5 xung.
- d 4 xung

42/ Trong bộ ghi dịch 4 bit cần bao nhiêu xung clock để lấy dữ liệu ra theo cách nối tiếp?

- a 5 xung.
- b 7 xung
- c 8 xung.
- d 6 xung.

43/ Trong bộ ghi dịch 4 bit, dữ liệu cần nạp theo cách nối tiếp là $D_3D_2D_1D_0$,

khi thực hiện dịch phải dữ liệu cần dịch bit nào trước?

- a D_3 .
- b D_1 .
- c D_2 .
- d D_0 .

44/ Trong bộ ghi dịch 4 bit, dữ liệu cần nạp theo cách nối tiếp là $D_3D_2D_1D_0$,

khi thực hiện dịch trái dữ liệu cần dịch bit nào trước?

- a D_2 .
- b D_1 .
- c D_0 .
- d D_3 .

45/ Trong bộ ghi dịch 8 bit, cần bao nhiêu trigơ?

- a 7

- b** 8
- c** 5
- d** 6

46/ Bộ đếm vòng xoắn là bộ đếm mã Johnson?

- a** Đúng
- b** Sai

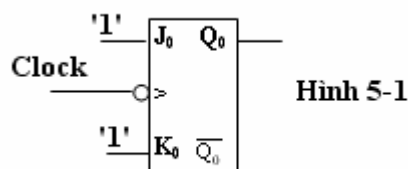
47/ Bộ đếm vòng là bộ đếm mã Johnson?

- a** Đúng
- b** Sai

48/ Trơ JK đồng bộ có thể được dùng để xây dựng bộ ghi dịch?

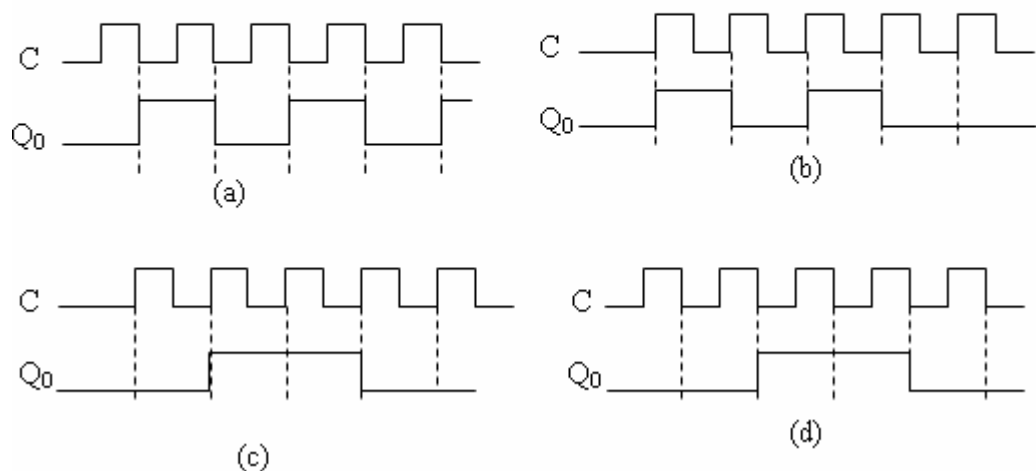
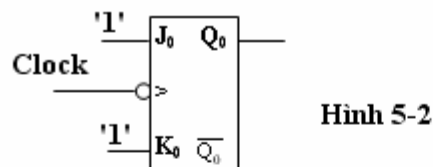
- a** Sai
- b** Đúng

49/ Cho hình 5-1. Cho biết đây là Mod mấy?



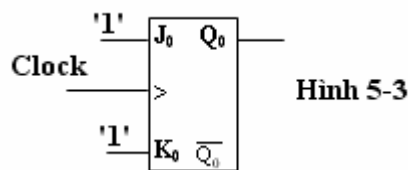
- a** Mod 1.
- b** Mod 2.
- c** Mod 4.
- d** Mod 3.

50/ Cho hình 5-2. Cho biết dạng sóng của Q_0 ?



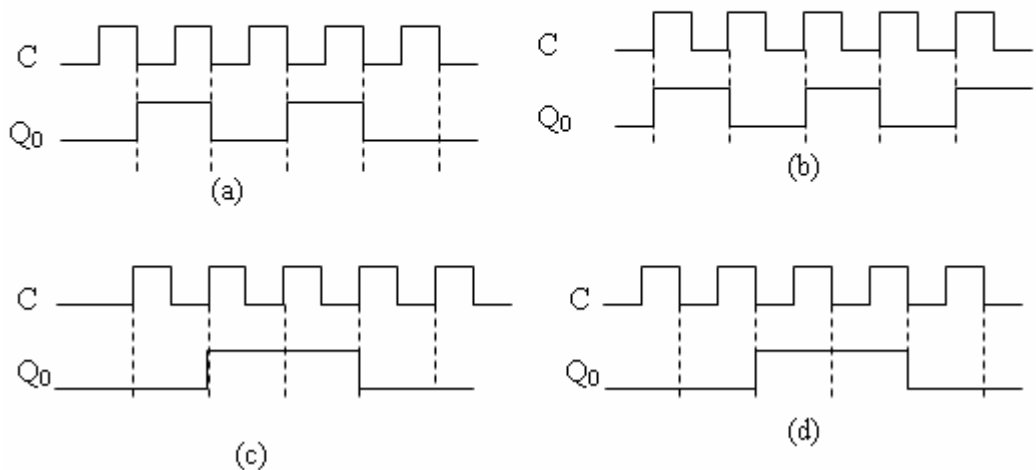
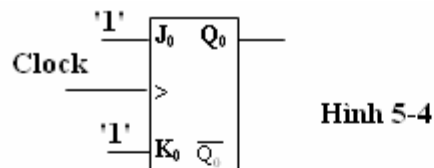
- a** Hình (c).
- b** Hình (b).
- c** Hình (d).
- d** Hình (a)

51/ Cho hình 5-3. Cho biết đây là Mod mấy?



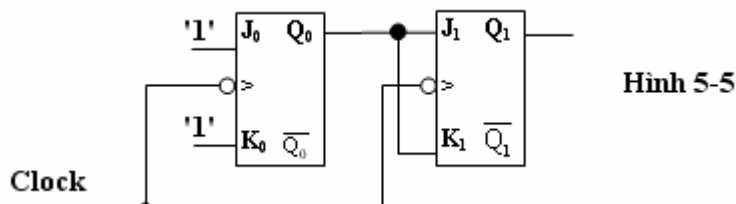
- a** Mod 1.
- b** Mod 3.
- c** Mod 4.
- d** Mod 2.

52/ Cho hình 5-4. Cho biết dạng sóng của Q_0 ?



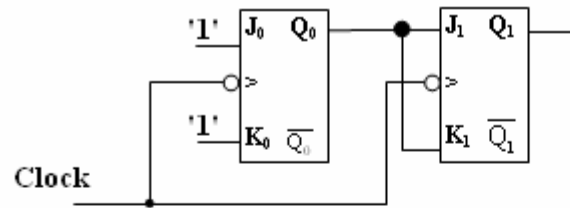
- a** Hình (c).
- b** Hình (b).
- c** Hình (a).
- d** Hình (d).

53/ Cho hình 5-5. Cho biết đây là Mod mấy?

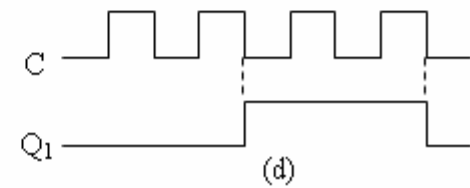
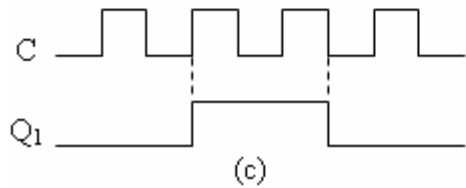
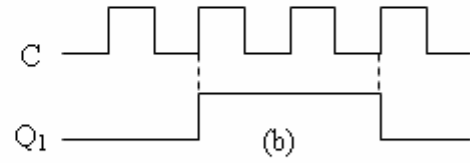
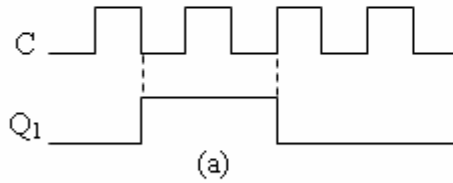


- a** Mod 4.
- b** Mod 5.
- c** Mod 3.
- d** Mod 2.

54/ Cho hình 5-6. Cho biết dạng sóng của Q_1 ?

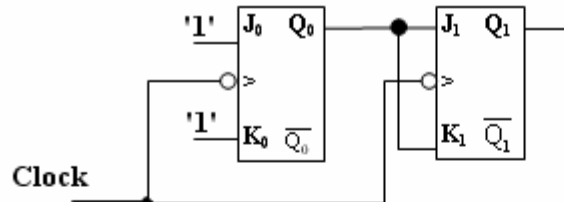


Hình 5-6

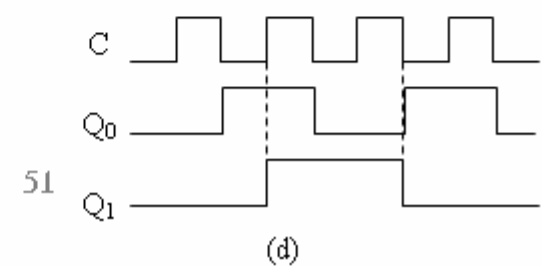
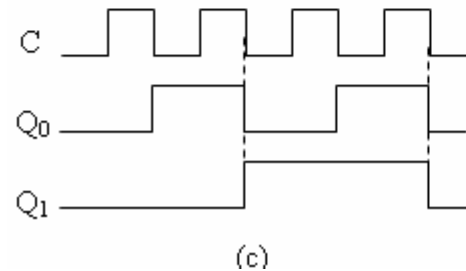
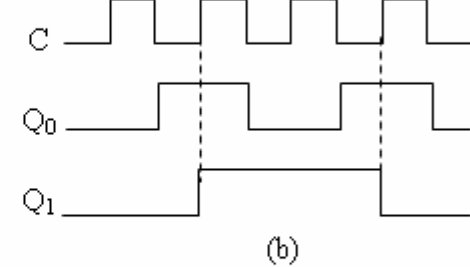
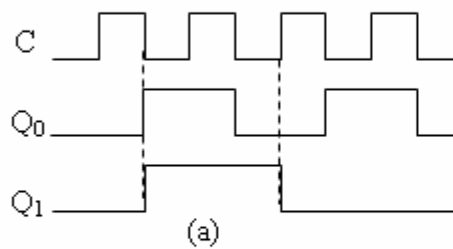


- a Hình (a).
- b Hình (d).
- c Hình (b).
- d Hình (c).

55/ Cho hình 5-7. Cho biết dạng sóng của Q_1 và Q_0 ?

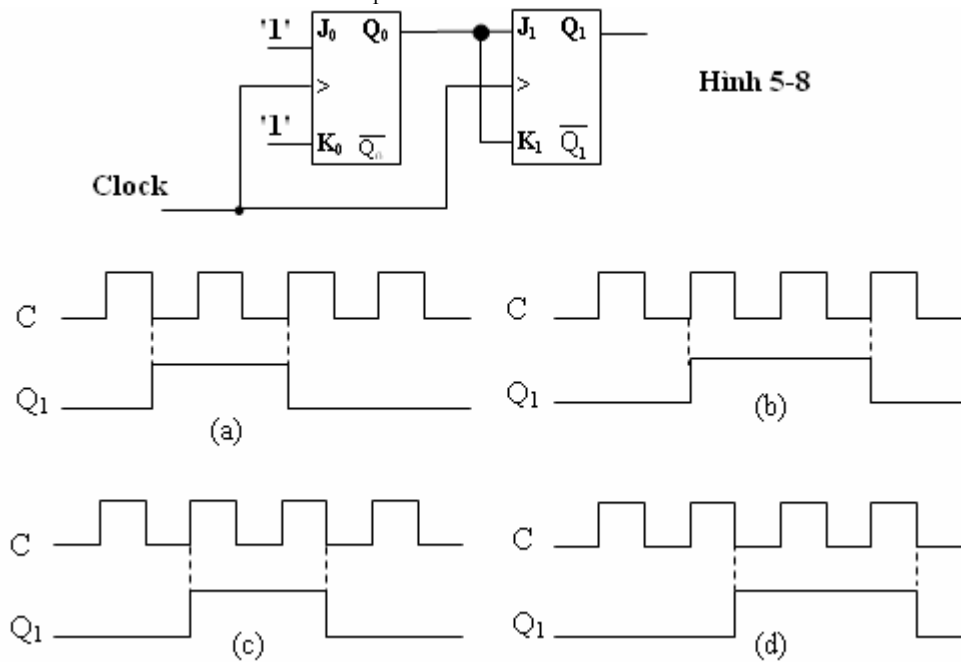


Hình 5-7



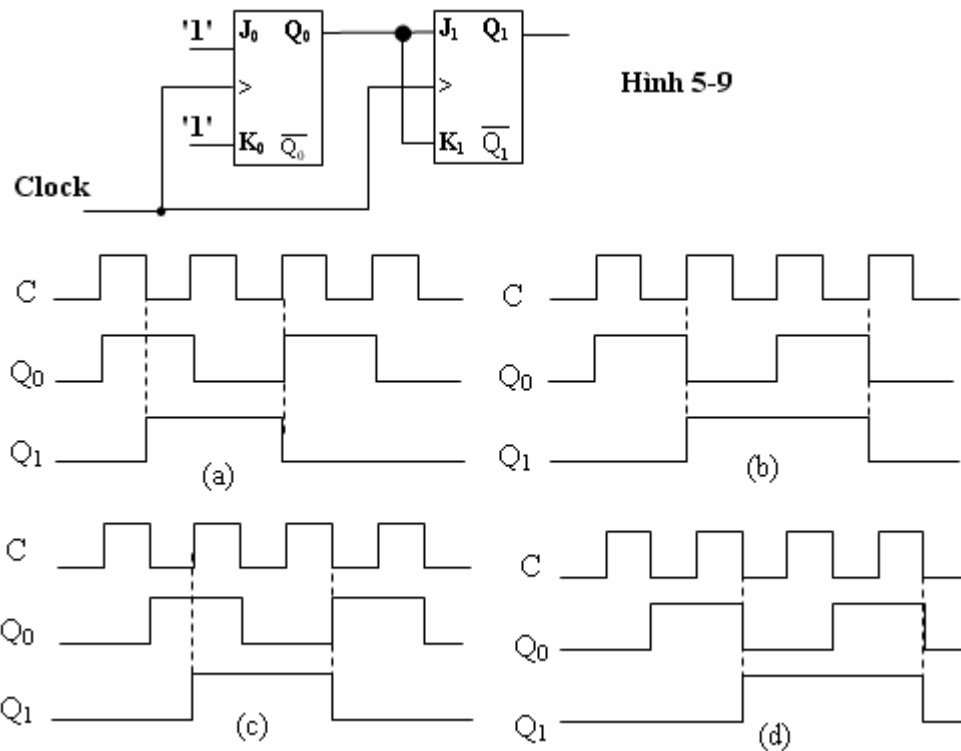
- a Hình (d).
- b Hình (c).
- c Hình (b).
- d Hình (a).

56/ Cho hình 5-8. Cho biết dạng sóng của Q_1 ?



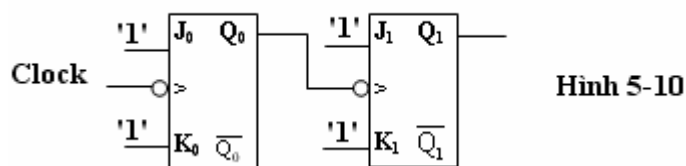
- a** Hình (d).
b Hình (a).
c Hình (c).
d Hình (b).

57/ Cho hình 5-9. Cho biết dạng sóng của Q_1 và Q_0 ?



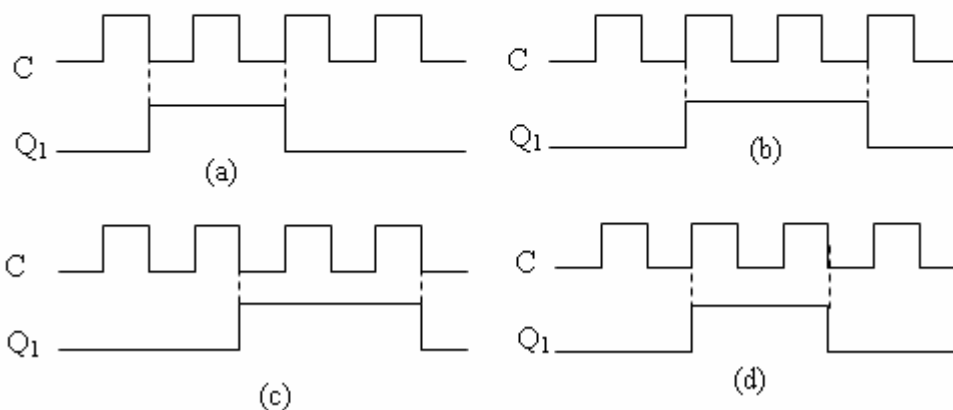
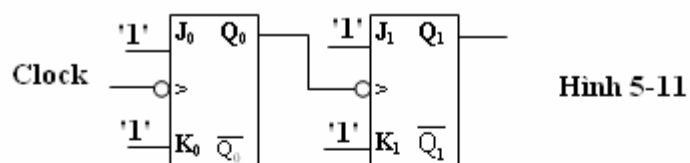
- a** Hình (c).
b Hình (b).
c Hình (d).
d Hình (a).

58/ Cho hình 5-10. Cho biết đây là Mod mấy?



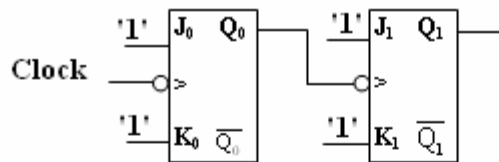
- a** Mod 5.
- b** Mod 3.
- c** Mod 4.
- d** Mod 2.

59/ Cho hình 5-11. Cho biết dạng sóng của Q_1 ?

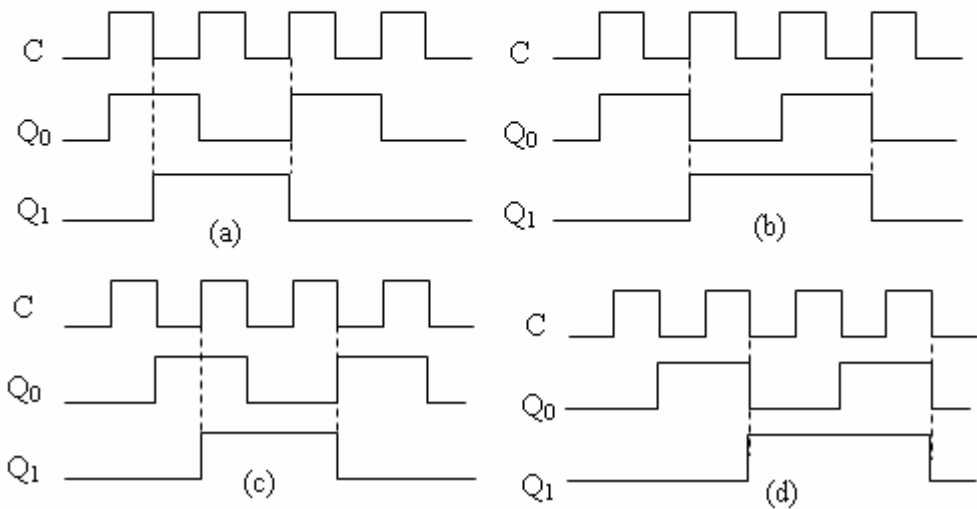


- a** Hình (d).
- b** Hình (b).
- c** Hình (c).
- d** Hình (a).

60/ Cho hình 5-12. Cho biết dạng sóng của Q_1 và Q_0 ?

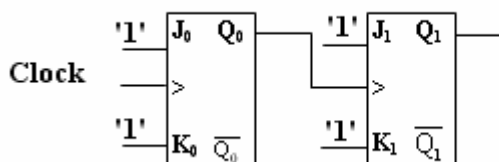


Hình 5-12



- a Hình (b).
- b Hình (d).
- c Hình (c).
- d Hình (a).

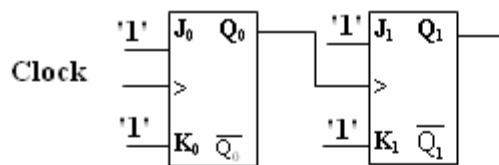
61/ Cho hình 5-13. Cho biết đây là Mod mấy?



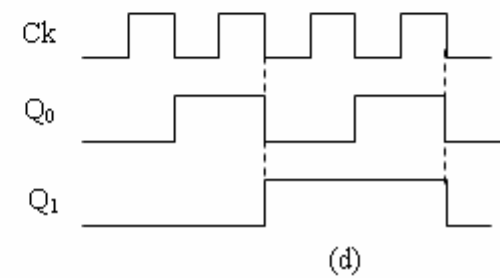
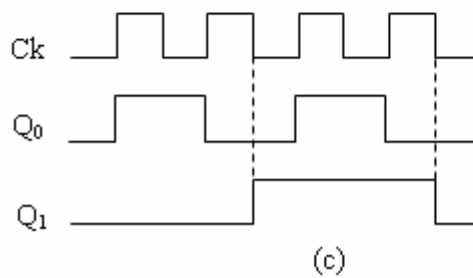
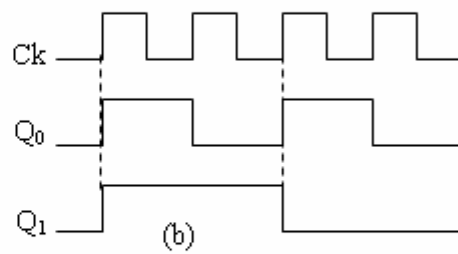
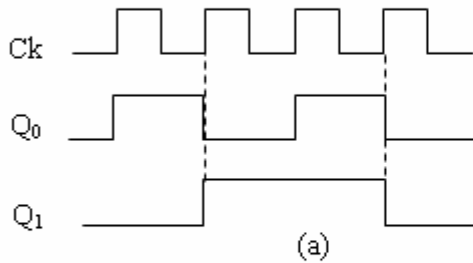
Hình 5-13

- a Mod 3, đếm tiến.
- b Mod 4, đếm tiến.
- c Mod 3, đếm lùi.
- d Mod 4, đếm lùi.

62/ Cho hình 5-14. Cho biết dạng sóng của Q_0 và Q_1 ?

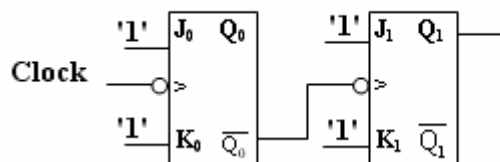


Hình 5-14



- a Hình (d).
- b Hình (a).
- c Hình (c).
- d Hình (b).

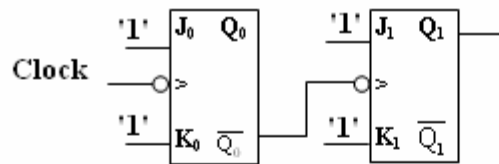
63/ Cho hình 5-15. Cho biết đây là bộ đếm Mod mấy?



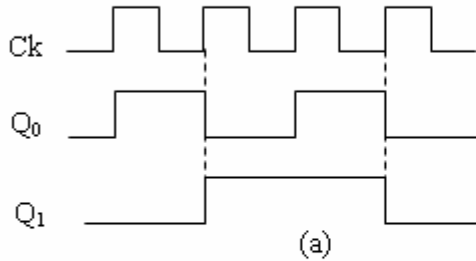
Hình 5-15

- a Mod 4, đếm tiến.
- b Mod 5, đếm tiến.
- c Mod 5, đếm lùi.
- d Mod 4, đếm lùi.

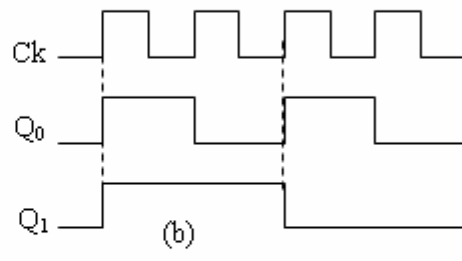
64/ Cho hình 5-16. Cho biết dạng sóng của Q_0 và Q_1 ?



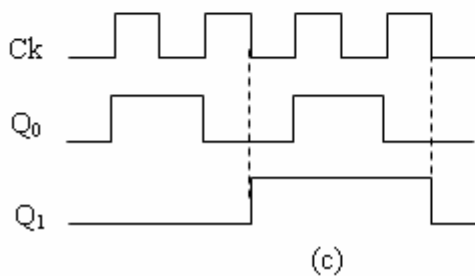
Hình 5-16



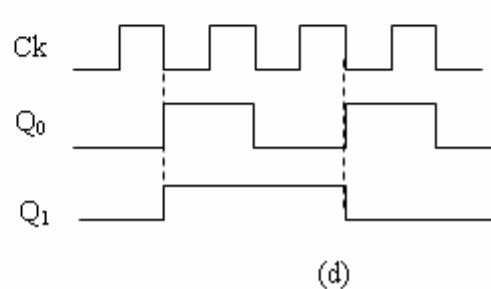
(a)



(b)



(c)



(d)

- a Hình (a).
- b Hình (b).
- c Hình (d).
- d Hình (c).

65/ Cho bộ đếm nối tiếp 4 bit, nếu thời gian trễ của 1 trigơ là τ thì thời gian trễ của bộ đếm là bao nhiêu

(bỏ qua các thời gian trễ khác)?

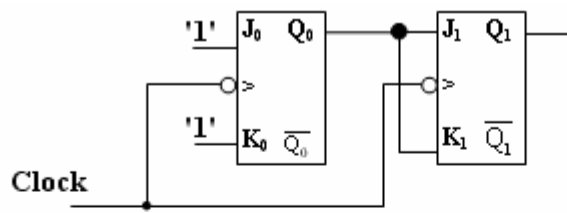
- a 3τ
- b τ
- c 2τ
- d 4τ

66/ Cho bộ đếm song song 4 bit, nếu thời gian trễ của 1 trigơ là τ thì thời gian trễ của bộ đếm là bao nhiêu

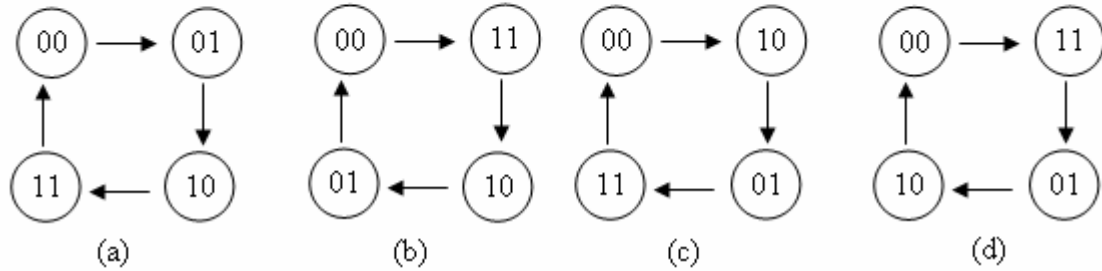
(bỏ qua các thời gian trễ khác)?

- a 4τ
- b 3τ
- c 2τ
- d τ

67/ Cho hình 5-17. Đồ hình trạng thái của mạch là hình nào?

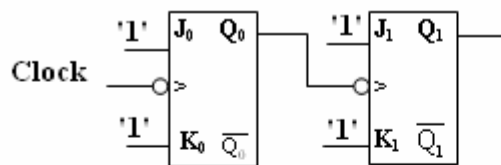


Hình 5-17

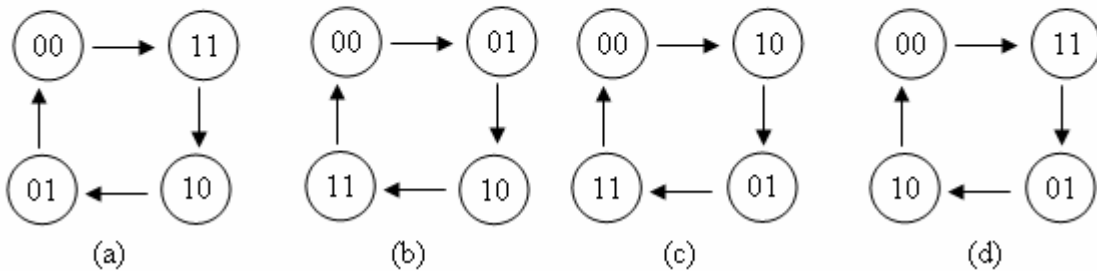


- a** Hình (d).
b Hình (b).
c Hình (c).
d Hình (a).

68/ Cho hình 5-18. Đồ hình trạng thái của mạch là hình nào?

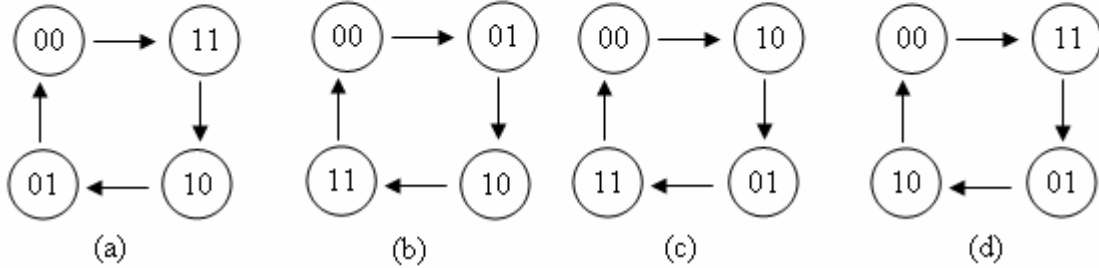
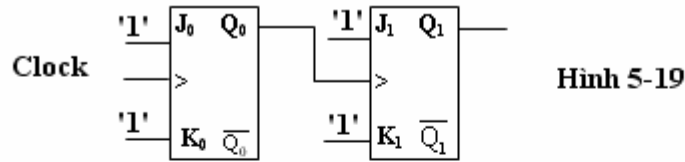


Hình 5-18



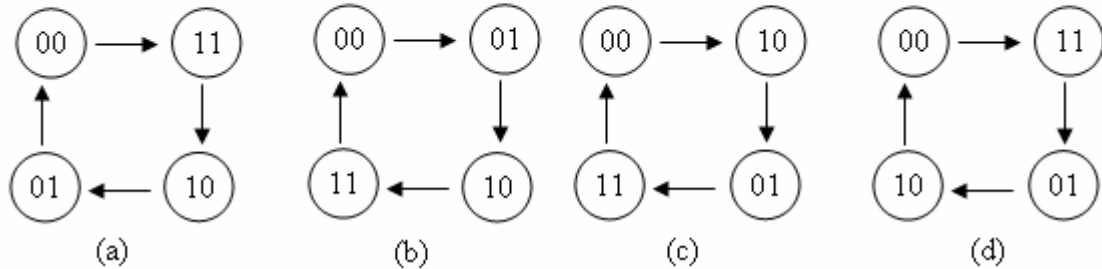
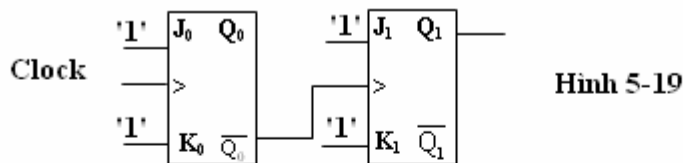
- a** Hình (c).
b Hình (b).
c Hình (a).
d Hình (d).

69/ Cho hình 5-19. Đồ hình trạng thái của mạch là hình nào?



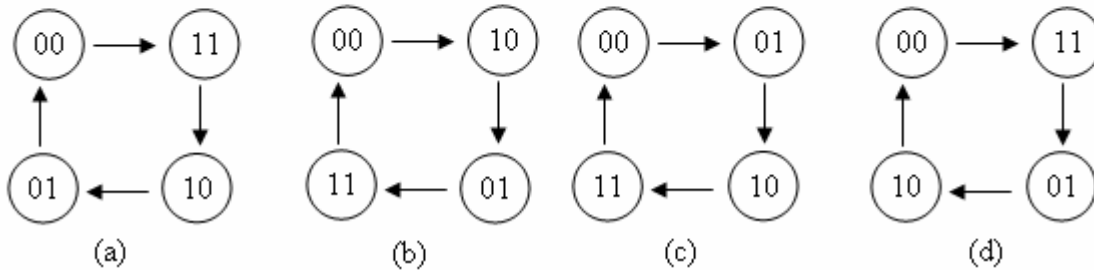
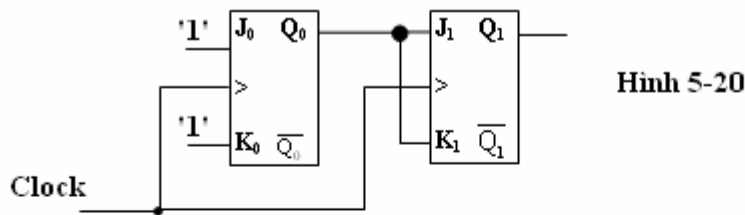
- a** Hình (b).
b Hình (a).
c Hình (c).
d Hình (d).

70/ Cho hình 5-19. Đồ hình trạng thái của mạch là hình nào?



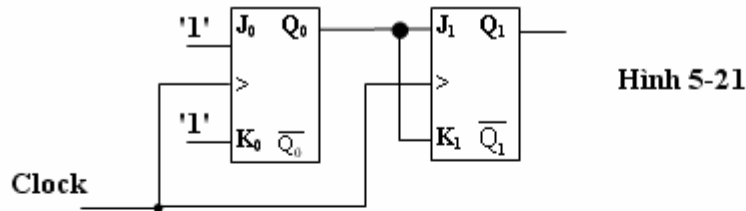
- a** Hình (b).
b Hình (c).
c Hình (a).
d Hình (d).

71/ Cho hình 5-20. Đồ hình trạng thái của mạch là hình nào?



- a** Hình (a).
b Hình (c).
c Hình (d).
d Hình (b).

72/ Cho hình 5-21. Bảng trạng thái của mạch là bảng nào?



C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	1
1	0	1	1	0
2	1	0	1	1
3	1	1	0	0

(a)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	1
1	0	1	1	0
2	1	0	0	1
3	1	1	0	0

(b)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	0
1	0	1	1	1
2	1	0	1	0
3	1	1	0	1

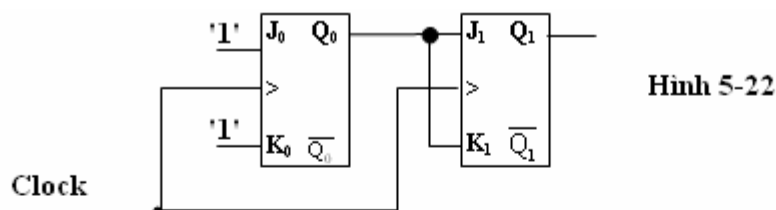
(c)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	0
1	0	1	1	1
2	1	0	0	1
3	1	1	0	0

(d)

- a** Bảng (b).
b Bảng (a).
c Bảng (d).
d Bảng (c).

73/ Cho hình 5-22. Bảng trạng thái của mạch là bảng nào?



Hình 5-22

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	1
1	0	1	1	0
2	1	0	0	1
3	1	1	0	0

(a)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	1
1	0	1	1	0
2	1	0	1	1
3	1	1	0	0

(b)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	0
1	0	1	1	1
2	1	0	1	0
3	1	1	0	1

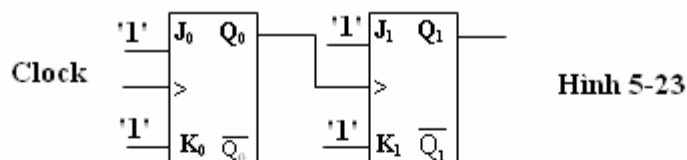
(c)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	0
1	0	1	1	1
2	1	0	0	1
3	1	1	0	0

(d)

- a** Bảng (c).
b Bảng (d).
c Bảng (b).
d Bảng (a).

74/ Cho hình 5-23. Bảng trạng thái của mạch là bảng nào?



Hình 5-23

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	0
1	0	1	1	1
2	1	0	1	0
3	1	1	0	1

(a)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	1
1	0	1	1	0
2	1	0	1	1
3	1	1	0	0

(b)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	1
1	0	1	1	0
2	1	0	0	1
3	1	1	0	0

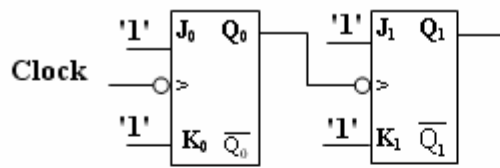
(c)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	0
1	0	1	1	1
2	1	0	0	1
3	1	1	0	0

(d)

- a** Bảng (a).
b Bảng (d).
c Bảng (c).
d Bảng (b).

75/ Cho hình 5-24. Bảng trạng thái của mạch là bảng nào?



Hình 5-24

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	0
1	0	1	1	1
2	1	0	1	0
3	1	1	0	1

(a)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	1
1	0	1	1	0
2	1	0	1	1
3	1	1	0	0

(b)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	1
1	0	1	1	0
2	1	0	0	1
3	1	1	0	0

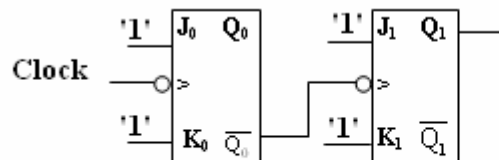
(c)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	0
1	0	1	1	1
2	1	0	0	1
3	1	1	0	0

(d)

- a** Bảng (c).
b Bảng (b).
c Bảng (d).
d Bảng (a).

76/ Cho hình 5-25. Bảng trạng thái của mạch là bảng nào?



Hình 5-25

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	0
1	0	1	1	1
2	1	0	1	0
3	1	1	0	1

(a)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	1
1	0	1	1	0
2	1	0	1	1
3	1	1	0	0

(b)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	1
1	0	1	1	0
2	1	0	0	1
3	1	1	0	0

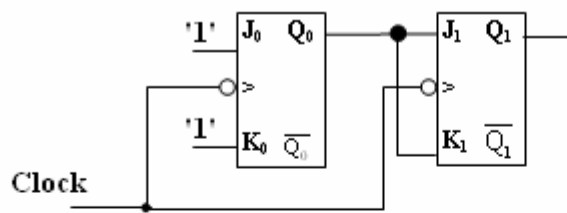
(c)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	0
1	0	1	1	1
2	1	0	0	1
3	1	1	0	0

(d)

- a** Bảng (c).
b Bảng (a).
c Bảng (d).
d Bảng (b).

77/ Cho hình 5-26. Bảng trạng thái của mạch là bảng nào?



Hình 5-26

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	0
1	0	1	1	1
2	1	0	1	0
3	1	1	0	1

(a)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	0
1	0	1	1	1
2	1	0	0	1
3	1	1	0	0

(b)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	1
1	0	1	1	0
2	1	0	0	1
3	1	1	0	0

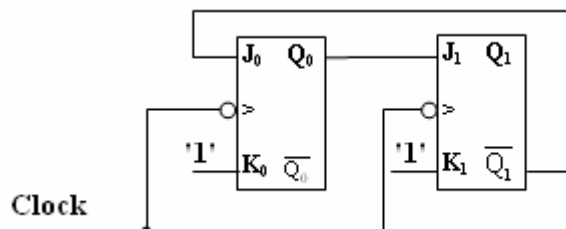
(c)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	1
1	0	1	1	0
2	1	0	1	1
3	1	1	0	0

(d)

- a** Bảng (a).
b Bảng (d).
c Bảng (b).
d Bảng (c).

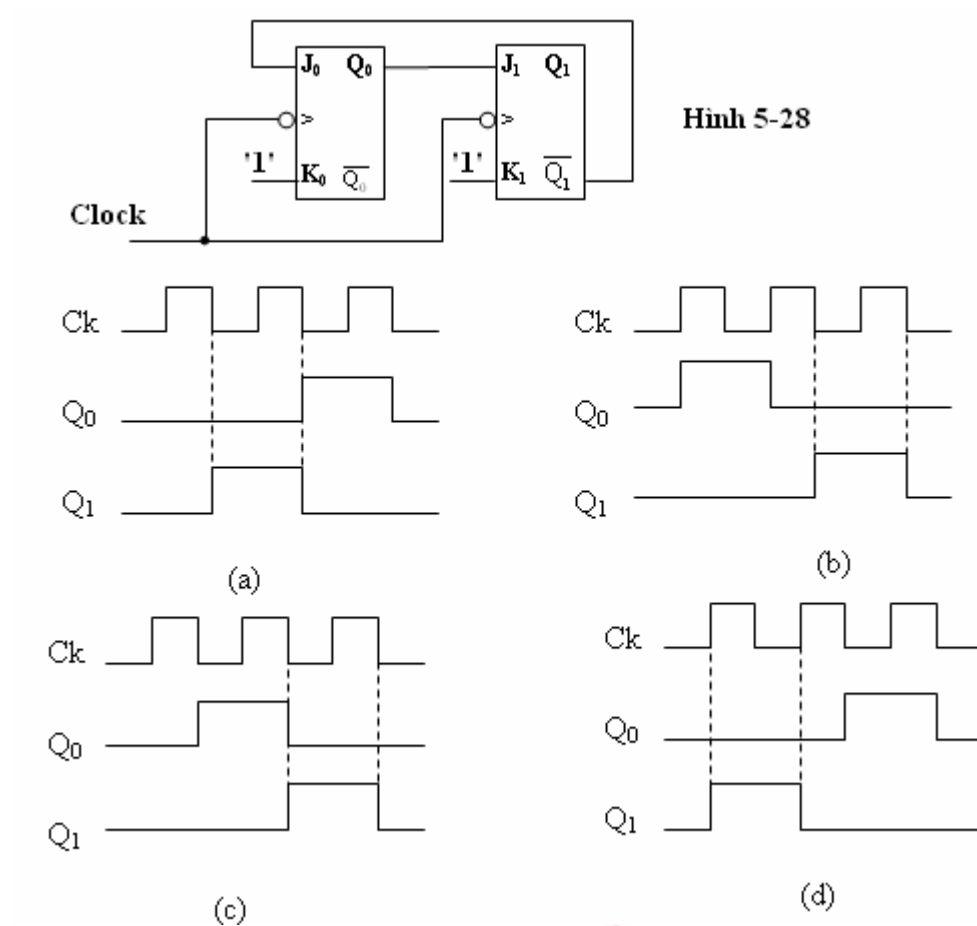
78/ Cho bộ đếm hình 5-27. Cho biết đây là bộ đếm Mod mấy?



Hình 5-27

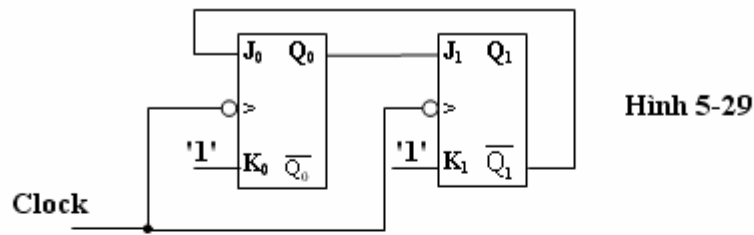
- a** Mod 4.
b Mod 6.
c Mod 3.
d Mod 5.

79/ Cho hình 5-28. Cho biết dạng sóng của Q₀ và Q₁?



- a** Hình (c).
b Hình (b).
c Hình (a).
d Hình (d).

80/ Cho hình 5-29. Bảng trạng thái của mạch là bảng nào?



C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	0
1	0	1	1	1
2	1	0	1	0
3	1	1	0	1

(a)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	0
1	0	1	1	1
2	1	0	0	1
3	1	1	0	0

(b)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	1	1
1	0	1	1	0
2	1	0	0	1
3	1	1	0	0

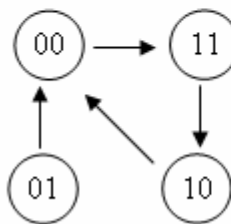
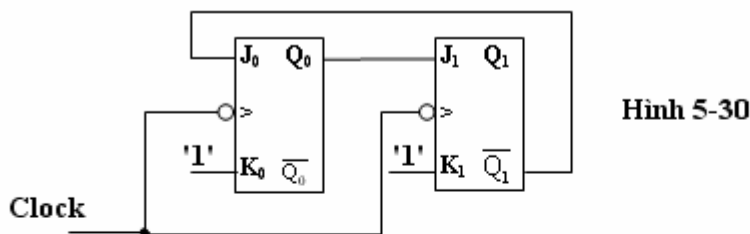
(c)

C	Q ₁	Q ₀	Q ₁ ^k	Q ₀ ^k
0	0	0	0	1
1	0	1	1	0
2	1	0	0	0
3	1	1	0	0

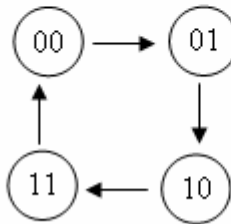
(d)

- a** Bảng (d).
b Bảng (b).
c Bảng (c).
d Bảng (a).

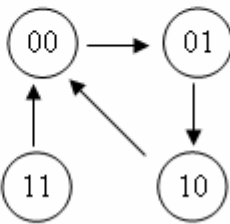
81/ Cho hình 5-30. Đồ hình trạng thái của mạch là hình nào?



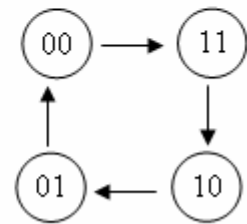
(a)



(b)



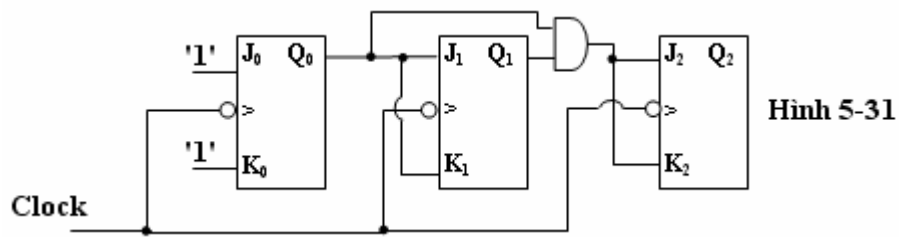
(c)



(d)

- a** Hình (d).
b Hình (c).
c Hình (b).
d Hình (a).

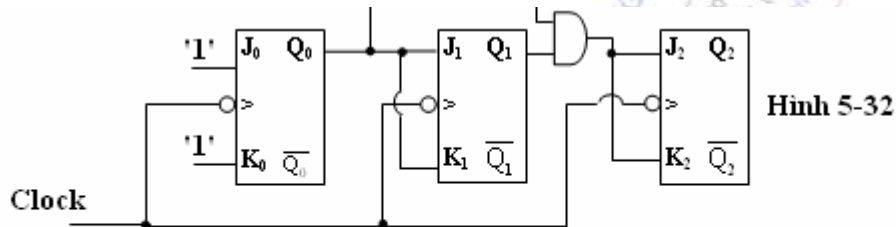
82/ Cho hình 5-31. Cho biết đây là Mod mấy?



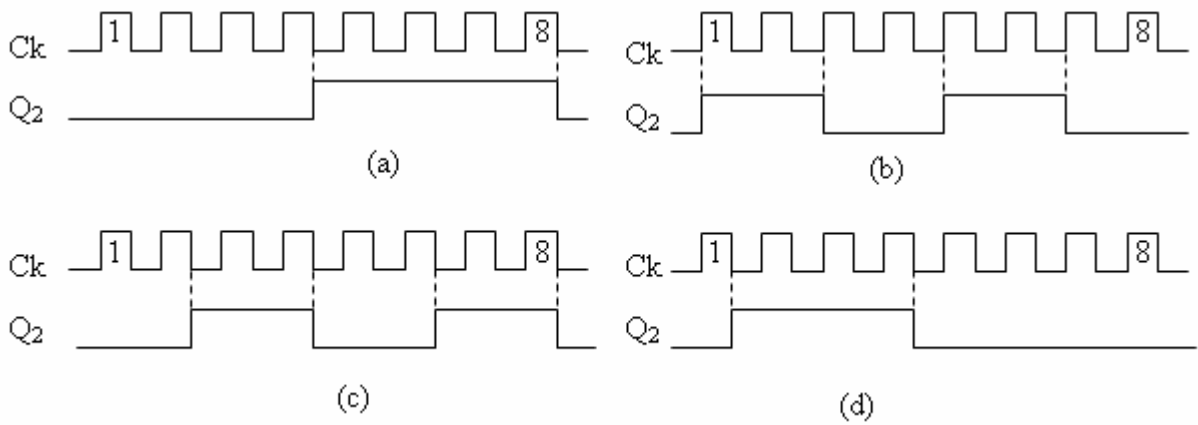
Hình 5-31

- a Mod 9.
- b Mod 8.
- c Mod 6.
- d Mod 7.

83/ Cho hình 5-32. Cho biết dạng sóng của Q_2 ?

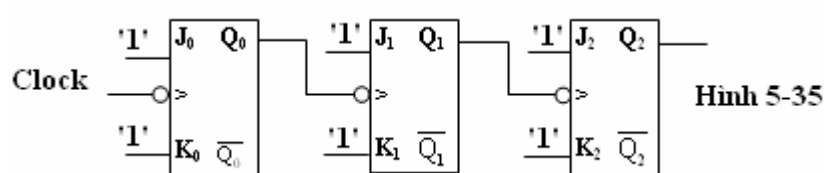


Hình 5-32



- a Hình (d).
- b Hình (b).
- c Hình (c).
- d Hình (a).

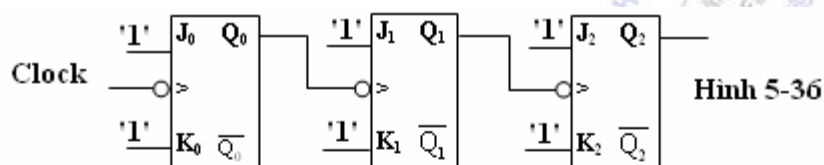
84/ Cho hình 5-33. Bảng trạng thái của mạch là bảng nào?



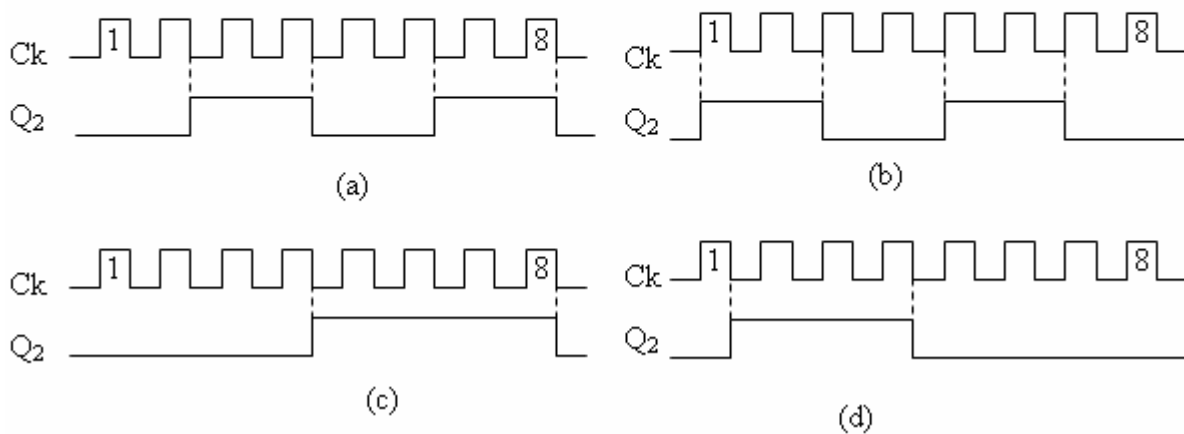
Hình 5-35

- a** Mod 8.
- b** Mod 5.
- c** Mod 7.
- d** Mod 6.

87/ Cho hình 5-36. Cho biết dạng sóng của Q_2 ?

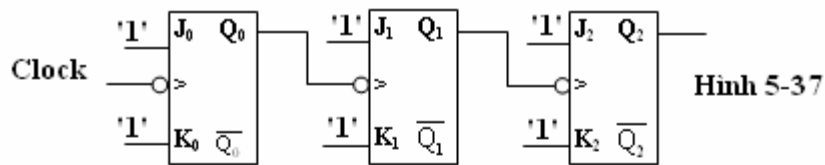


Hình 5-36



- a** Hình (c).
- b** Hình (b).
- c** Hình (d).
- d** Hình (a).

88/ Cho hình 5-37. Bảng trạng thái của mạch là bảng nào?



Hình 5-37

C	Q ₂	Q ₁	Q ₀	Q ₂ ^k	Q ₁ ^k	Q ₀ ^k	C	Q ₂	Q ₁	Q ₀	Q ₂ ^k	Q ₁ ^k	Q ₀ ^k
0	0	0	0	1	1	1	0	0	0	0	0	0	1
1	0	0	1	1	1	0	1	0	0	1	0	1	0
2	0	1	0	1	0	1	2	0	1	0	0	1	1
3	0	1	1	1	0	0	3	0	1	1	1	0	0
4	1	0	0	0	1	1	4	1	0	0	1	0	1
5	1	0	1	0	1	0	5	1	0	1	1	1	0
6	1	1	0	0	0	1	6	1	1	0	1	1	1
7	1	1	1	0	0	0	7	1	1	1	0	0	0

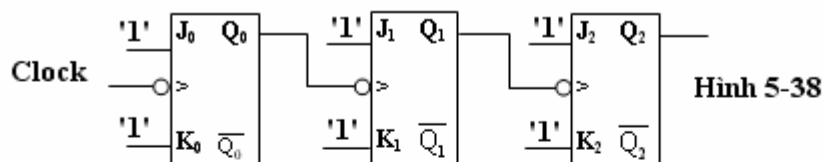
(a)

(b)

a Bảng (b).

b Bảng (a).

89/ Cho hình 5-38. Đồ hình trạng thái của mạch là hình nào?



Hình 5-38

000 → 111 → 110 → 101

↑

↓

001 ← 010 ← 011 ← 100

(a)

000 → 001 → 010 → 011

↑

↓

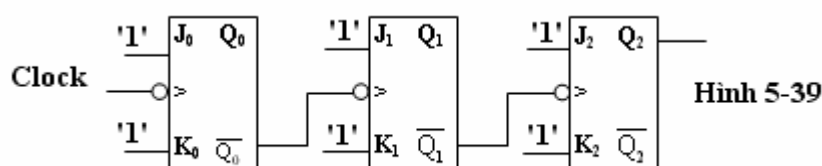
111 ← 110 ← 101 ← 100

(b)

a Hình (b).

b Hình (a).

90/ Cho hình 5-39. Cho biết đây là có thể đếm được Mod mấy?

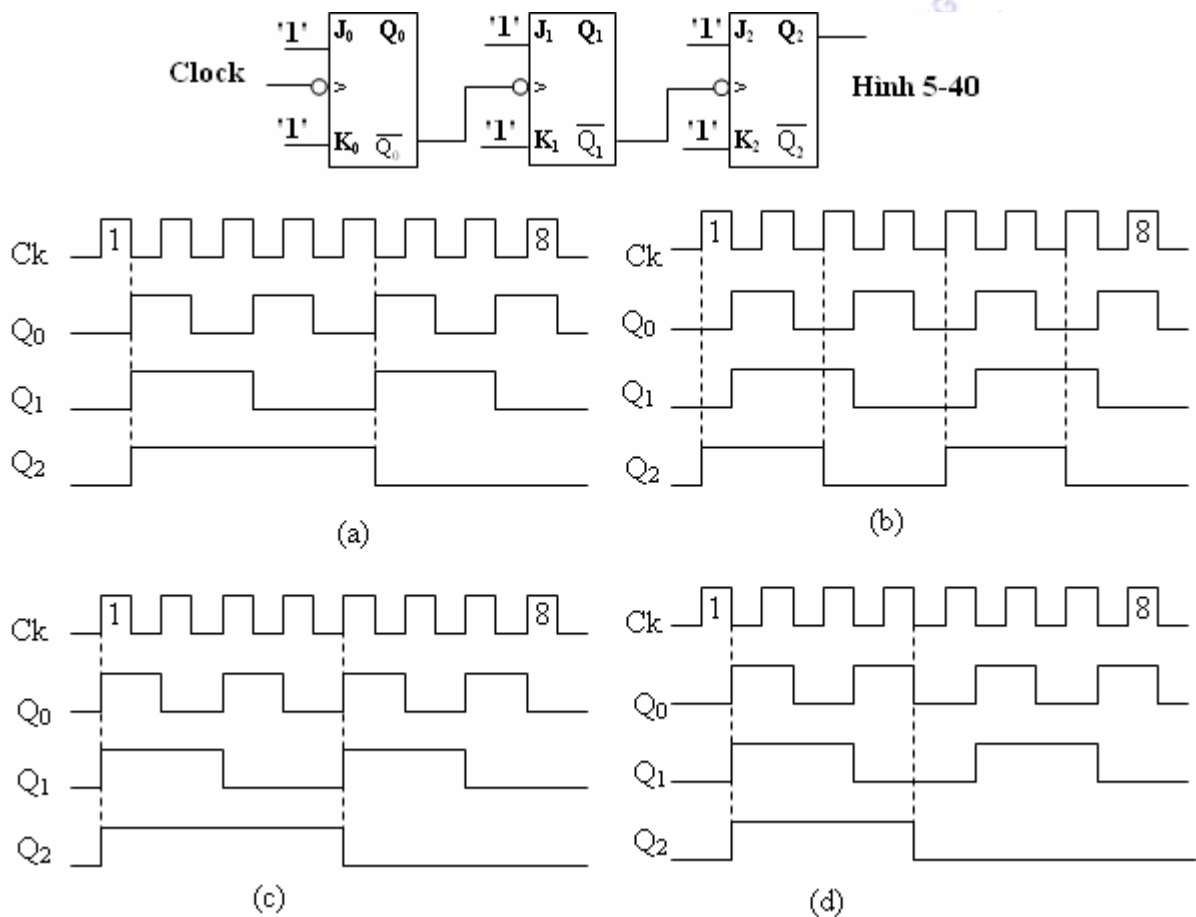


Hình 5-39

a Mod 8, đếm tiến.

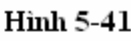
- b** Mod 7, đếm tiến.
- c** Mod 8, đếm lùi.
- d** Mod 7, đếm lùi.

91/ Cho hình 5-40. Cho biết dạng sóng của Q_2 , Q_1 và Q_0 ?



- a** Hình (c).
- b** Hình (b).
- c** Hình (a).
- d** Hình (d).

92/ Cho hình 5-41. Bảng trạng thái của mạch là bảng nào?

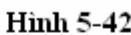


(a)

(b)

- b**

93/ Cho hình 5-42. Đồ hình trạng thái của mạch là hình nào?



↑

↓

↑

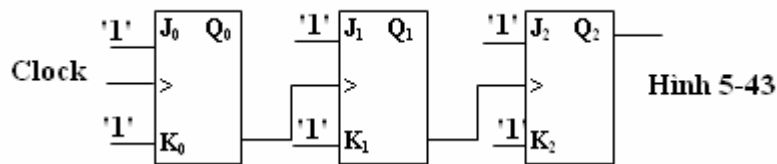
↓

(a)

(b)

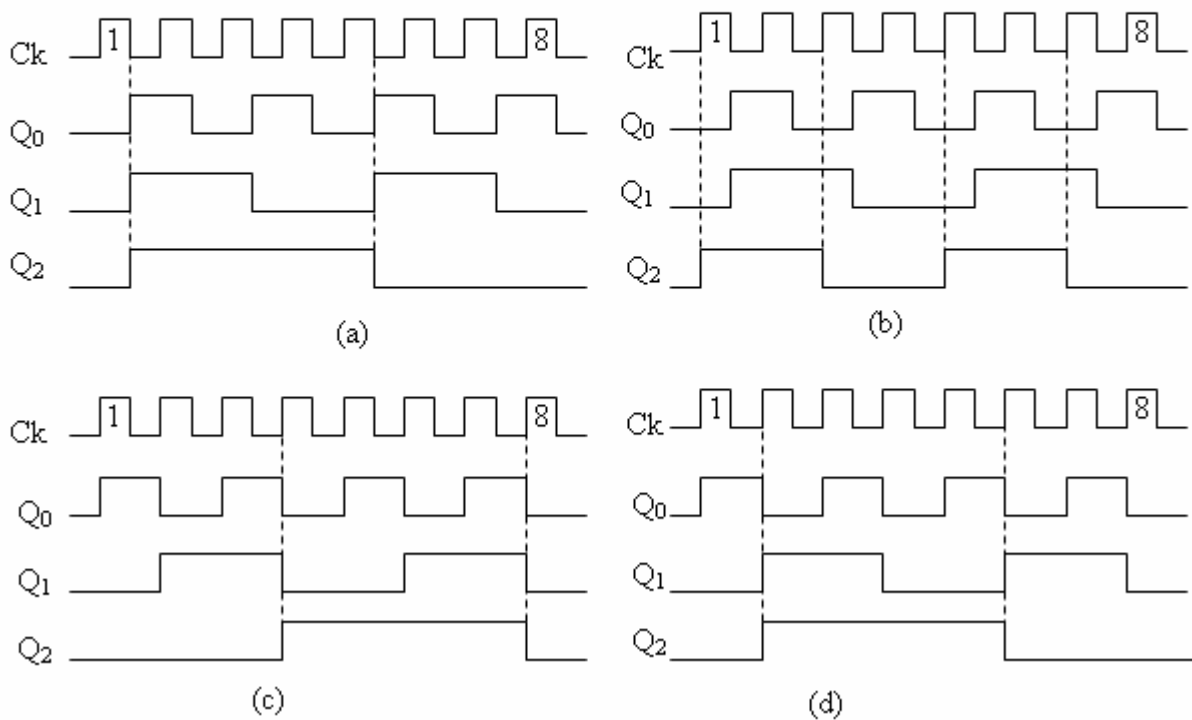
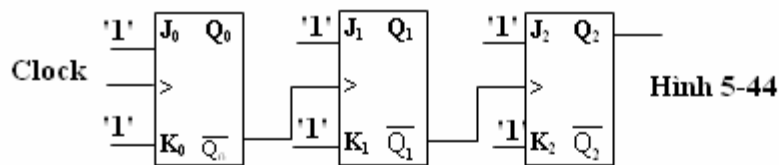
- b**

94/ Cho hình 5-43. Cho biết đây là có thể đếm được Mod mấy?



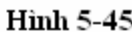
- a Mod 8, đếm tiến.
- b Mod 8, đếm lùi.
- c Mod 7, đếm tiến.
- d Mod 7, đếm lùi.

95/ Cho hình 5-44. Cho biết dạng sóng của Q_2 , Q_1 và Q_0 ?



- a Hình (a).
- b Hình (b).
- c Hình (d).
- d Hình (c).

96/ Cho hình 5-45. Bảng trạng thái của mạch là bảng nào?

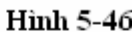


(a)

(b)

- $$\begin{array}{c} \underline{\mathbf{a}} \\ \underline{\mathbf{b}} \end{array}$$

97/



↑

↓

↑

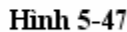
↓

$$111 \leftarrow 110 \leftarrow 101 \leftarrow 100$$

(b)

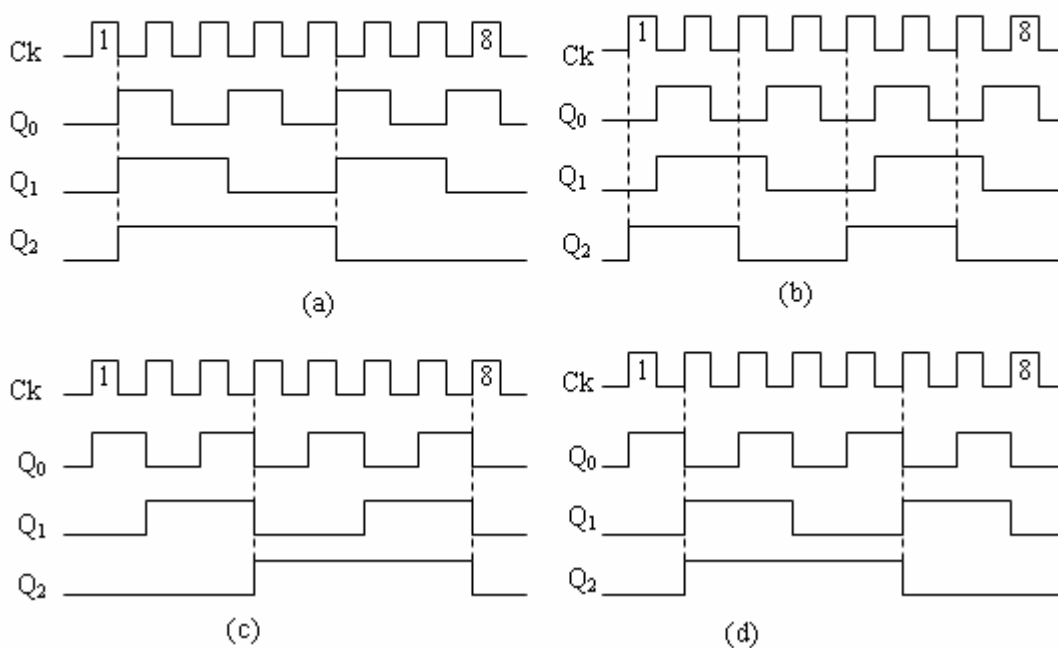
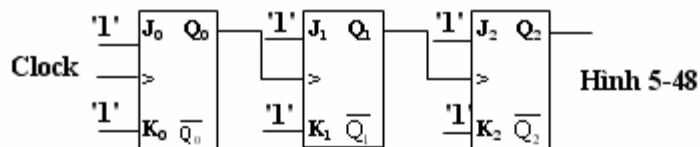
- $$\frac{\mathbf{a}}{\mathbf{b}}$$

98/



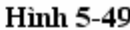
- a** Mod 7, đếm tiến.
- b** Mod 8, đếm tiến.
- c** Mod 7, đếm lùi.
- d** Mod 8, đếm lùi.

99/ Cho hình 5-48. Cho biết dạng sóng của Q_2 , Q_1 và Q_0 ?



- a** Hình (d).
- b** Hình (a).
- c** Hình (c).
- d** Hình (b).

100/ Cho hình 5-49. Bảng trạng thái của mạch là bảng nào?

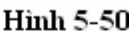


(a)

(b)

- $$\begin{array}{c} \underline{\mathbf{a}} \\ \underline{\mathbf{b}} \end{array}$$

101/ Cho hình 5-50. Đồ hình trạng thái của mạch là hình nào?


$$000 \rightarrow 001 \rightarrow 010 \rightarrow 011$$

↓

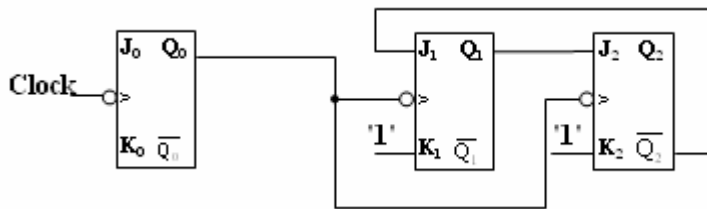
↓

$$111 \leftarrow 110 \leftarrow 101 \leftarrow 100$$

(b)

- $$\begin{array}{c} \underline{\mathbf{a}} \\ \underline{\mathbf{b}} \end{array}$$

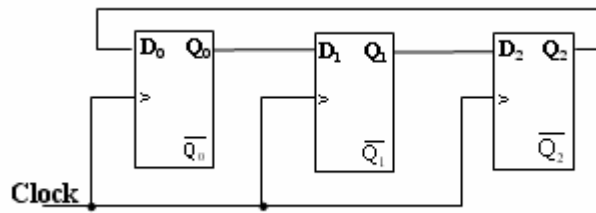
102/ Cho bộ đếm hình 5-51. Cho biết đây là bộ đếm Mod mấy?



Hình 5-51

- a Mod 6.
- b Mod 5.
- c Mod 8.
- d Mod 7.

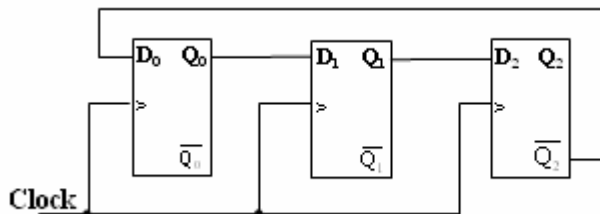
103/ Cho hình 5-52. Giả sử trạng thái ban đầu $Q_0Q_1Q_2$ là 100, sau 2 xung Clock thì trạng thái lỗi ra là bao nhiêu?



Hình 5-52

- a 010
- b 100
- c 001
- d 000

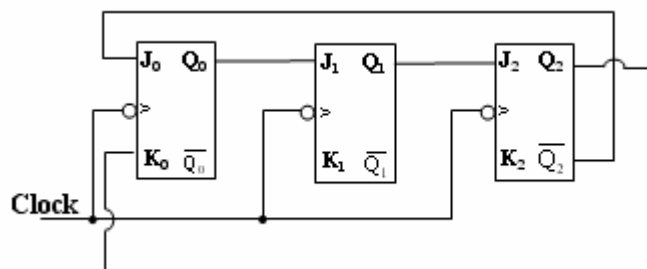
104/ Cho hình 5-53. Giả sử trạng thái ban đầu $Q_0Q_1Q_2$ là 000, sau 3 xung Clock thì trạng thái lỗi ra là bao nhiêu?



Hình 5-53

- a 111
- b 011
- c 110
- d 001

105/ Cho hình 5-54. Giả sử trạng thái ban đầu $Q_0Q_1Q_2$ là 000, sau 3 xung Clock thì trạng thái lỗi ra là bao nhiêu?

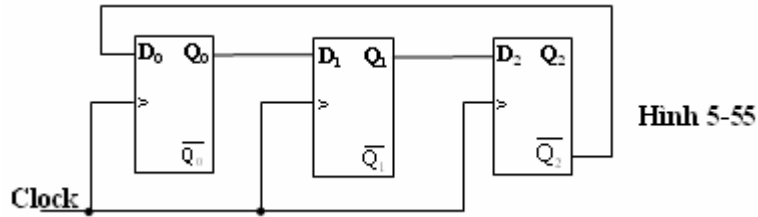


Hình 5-54

- a 111
- b 001
- c 011

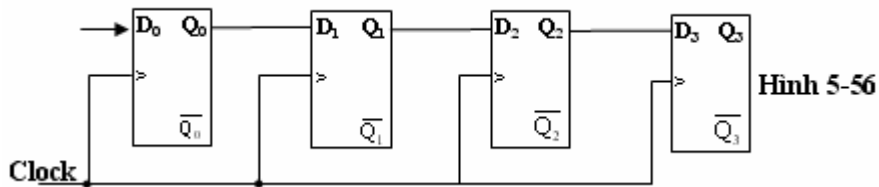
d 110

106/ Cho hình 5-55. Giả sử trạng thái ban đầu $Q_0Q_1Q_2$ là 111, sau 3 xung Clock thì trạng thái lỗi ra là bao nhiêu?



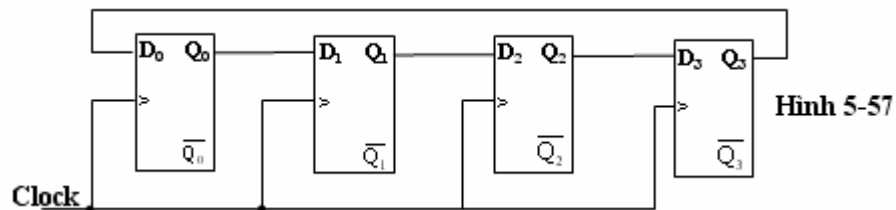
- a 110
- b 011
- c 001
- d 000

107/ Cho hình 5-56. Giả sử dữ liệu cần nạp vào thanh ghi là 1101, sau 4 xung Clock thì trạng thái lỗi ra $Q_0Q_1Q_2Q_3$ là bao nhiêu?



- a 1110
- b 1001
- c 1011
- d 1101

108/ Cho hình 5-57. Giả sử trạng thái ban đầu $Q_0Q_1Q_2Q_3$ là 0000, sau 4 xung Clock thì trạng thái lỗi ra $Q_0Q_1Q_2Q_3$ là bao nhiêu?



- a 0000
- b 1101
- c 1111
- d 1011

1/ Đặc điểm nổi bật nhất của mạch dao động đa hài dùng thạch anh là gì?

- a** Biên độ tín hiệu lối ra ổn định
- b** Tần số lối ra có thể điều chỉnh được
- c** Tần số tín hiệu lối ra ổn định
- d** Biên độ lối ra có thể điều chỉnh được

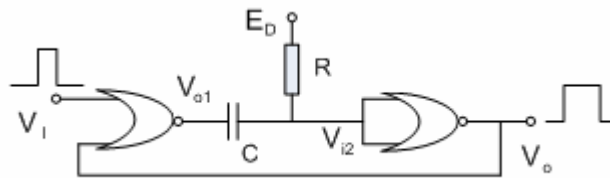
2/ Đặc điểm quan trọng nhất của trigơ Schmitt là gì?

- a** Tần số hoạt động cao
- b** Tính chống nhiễu cao vì nó hoạt động như bộ so sánh hai ngưỡng
- c** Là bộ so sánh một ngưỡng
- d** Công suất tiêu thụ thấp

3/ Mạch đa hài đợi là gì?

- a** Là mạch phát xung điều hoà
- b** Là mạch dao động đa hài có chân điều khiển
- c** Là mạch phát xung vuông
- d** Là mạch dao động đa hài có một trạng thái ổn định và một trạng thái tạm ổn định

4/ Trong mạch đa hài đợi kiểu vi phân như hình 6-1, nếu xung điều khiển có độ rộng lớn hơn xung đa hài đợi lối ra thì:

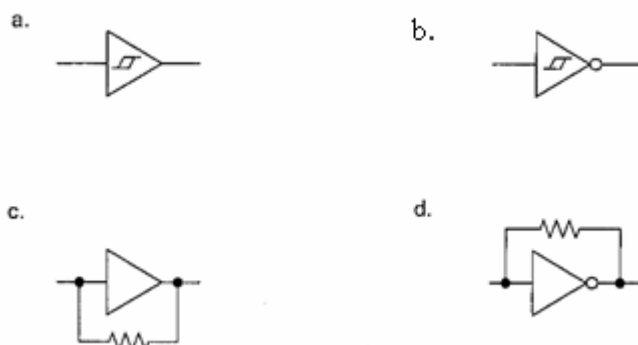


- a** Xung lối ra bằng xung lối vào
- b** Tín hiệu lối ra luôn bằng 1
- c** Tín hiệu lối ra luôn bằng 0
- d** Mạch vẫn hoạt động bình thường

5/ Các vị trí ngưỡng của cổng Schmitt được tạo ra bởi

- a** hồi tiếp thuận.
- b** hồi tiếp dương.
- c** hồi tiếp ngược.
- d** hồi tiếp âm.

6/ Ký hiệu nào dưới đây biểu diễn cổng Schmitt đảo?

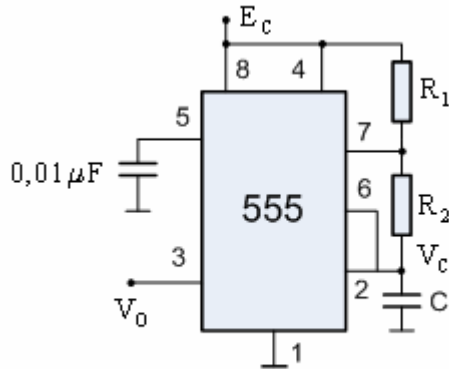


- a** Hình b.
- b** Hình d.
- c** Hình a.
- d** Hình c.

7/ Trong một cổng Schmitt, hồi tiếp dương (hay trễ) dùng để

- a Không có trường hợp nào đúng
- b tăng khả năng dòng ra
- c tăng vùng không xác định của điện áp kích (mức chuyển trạng thái)
- d giảm mức ngưỡng của cổng

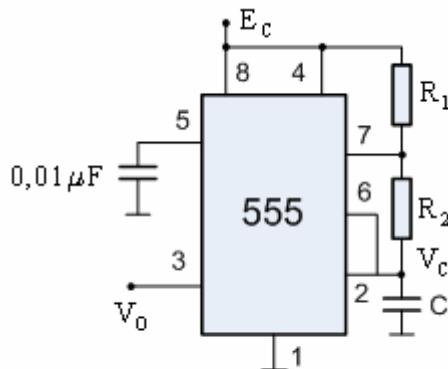
8/ Trong mạch đa hài hình 6-2, nếu không có điện trở R_1 thì



Hình 6-2

- a Xung lối ra là xung vuông có độ lấp đầy là 50%
- b Không có tín hiệu lối ra
- c Mạch vẫn phát xung và tần số lối ra chỉ phụ thuộc vào giá trị của R_2 và C
- d Mạch vẫn phát xung nhưng tần số rất cao

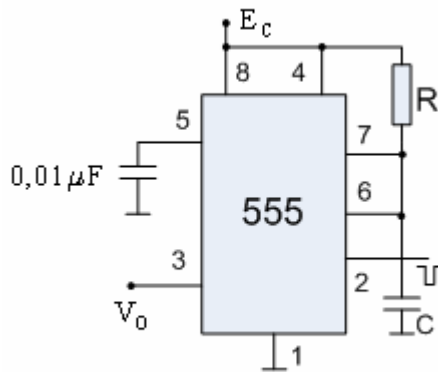
9/ Trong mạch đa hài hình 6-3, chu kỳ dao động của mạch được tính theo công thức:



Hình 6-3

- a $T = 1,4 (2R_1 + R_2)C$
- b $T = 0,7 (2R_1 + R_2)C$
- c $T = 0,7 (R_1 + 2R_2)C$
- d $T = 1,1 (2R_1 + R_2)C$

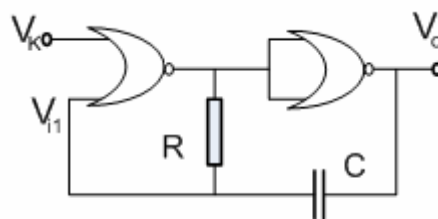
10/ Trong mạch đa hài dợt hình 6-4, độ rộng xung của mạch được tính theo công thức



Hình 6-4

- a $T = 2,2 RC$
- b $T = 1,4 RC$
- c $T = 1,1 RC$
- d $T = 0,7 RC$

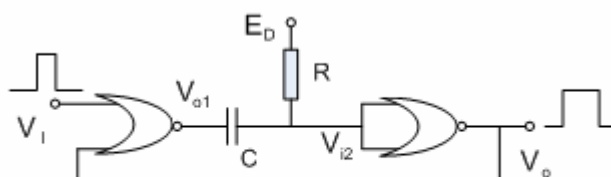
11/ Trong mạch dao động đa hài cơ bản CMOS hình 6-5, chu kỳ dao động của mạch được tính theo công thức:



Hình 6-5

- a $T = 2,2 RC$
- b $T = 0,7 RC$
- c $T = 1,1 RC$
- d $T = 1,4 RC$

12/ Trong mạch đa hài đợi kiểu vi phân dùng NOR CMOS hình 6-6, chu kỳ dao động của mạch được tính theo công thức



Hình 6-6

- a $T = 2,2 (R + R_0) C$
- b $T = 1,4 (R + R_0) C$
- c $T = 1,1 (R + R_0) C$
- d $T = 0,7 (R + R_0) C$

13/ Dạng sóng ra của trigơ Schmitt là

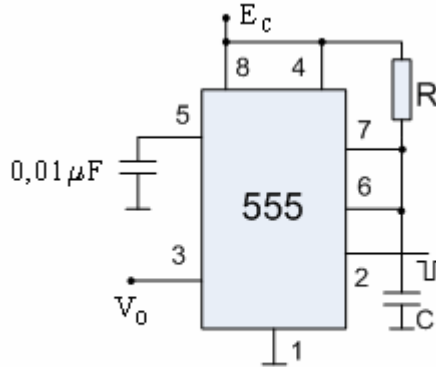
- a Xung vuông
- b sin
- c tam giác

d rãng cửa

14/ Tần số của mạch dao động đa hài thạch anh phụ thuộc vào

- a R có trong mạch
- b Tinh thể thạch anh
- c R và C có trong mạch
- d C có trong mạch

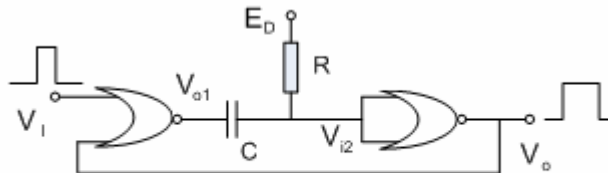
15/ Trong mạch đa hài đợi hình 6-7, cho $R = 50k\Omega$, $C = 2,2\mu F$ tính độ rộng xung ra của mạch:



Hình 6-7

- a $T = 1,11 \text{ ms}$
- b $T = 1,21 \text{ ms}$
- c $T = 11,2 \text{ ms}$
- d $T = 12,1 \text{ ms}$

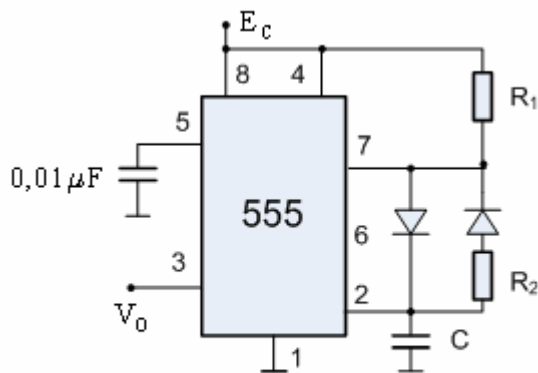
16/ Trong mạch đa hài đợi hình 6-8, cho điện trở đầu ra của cổng 1 $R_0 = 1000\Omega$, $R = 10k\Omega$, $C = 1\mu F$, tính độ rộng xung ra của mạch:



Hình 6-8

- a $T = 7,7 \text{ s}$
- b $T = 7,7 \mu s$
- c $T = 7,7 \text{ ms}$
- d $T = 7,7 \text{ ns}$

17/ Trong mạch đa hài hình 6-9, cho $R_1 = R_2 = 1k\Omega$, $C = 4,7\mu F$ tính tần số dao động của mạch:



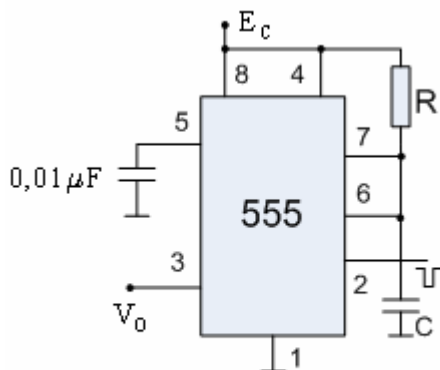
Hình 6-9

- a $f = 1000 \text{ kHz}$
- b $f = 10 \text{ kHz}$
- c $f = 100 \text{ kHz}$
- d $f = 1 \text{ kHz}$

18/ Trigon Schmitt được sử dụng:

- a giống như một bộ khuếch đại.
- b cho điện áp vào một chiều.
- c cho quá trình chuyển đổi sóng đầu vào nhanh.
- d cho quá trình chuyển đổi sóng đầu vào chậm

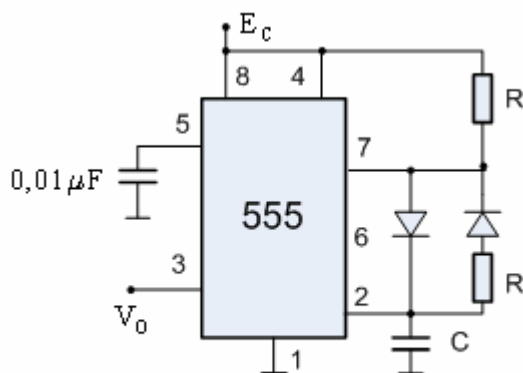
19/ Trong mạch đa hài đợi hình 6-10, nếu giá trị của tụ C rất bé ($< 0,1 \mu\text{F}$) thì mạch có hoạt động được không và tại sao?



Hình 6-10

- a Được - vì giá trị của tụ không ảnh hưởng đến hoạt động của mạch.
- b Không - xung kích vào chân 2 của IC là 1 xung âm.
- c Không - vì lúc đó tụ không có khả năng nạp điện và phóng điện.
- d Được - vì giá trị của điện trở sẽ bù cho giá trị của tụ điện.

20/ Trong mạch đa hài hình 6-11, cặp diode có chức năng gì?



Hình 6-11

- a Để hệ số lấp đầy bằng (1/4).
- b Để hệ số lấp đầy bằng 1.
- c Để hệ số lấp đầy bằng (1/2).
- d Để hệ số lấp đầy bằng 2.

21/ Trong mạch dao động đa hài có bao nhiêu trạng thái ổn định?

- a 3
- b 1
- c 2
- d 4

22/ Một dạng sóng sin có thể được biến đổi sang dạng sóng hình vuông bằng cách sử dụng một:

- a bộ dao động đa hài.
- b bộ dao động đa hài dùng IC 555.
- c bộ dao động đa hài đoi.
- d trigơ Schmitt.

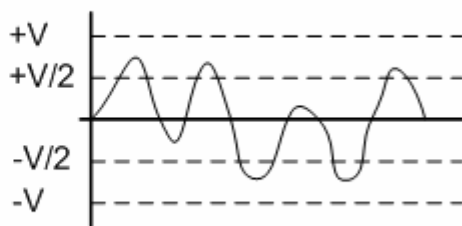
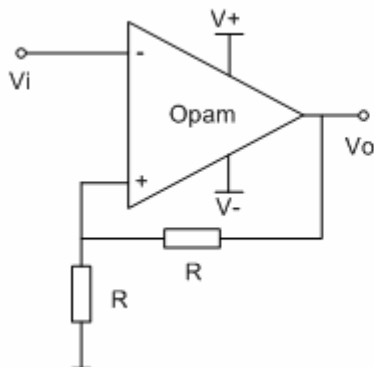
23/ Bộ dao động đa hài có yêu cầu xung kích khởi ?

- a Sai
- b Đúng

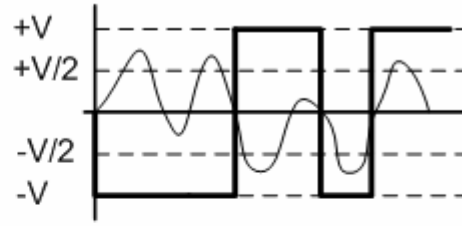
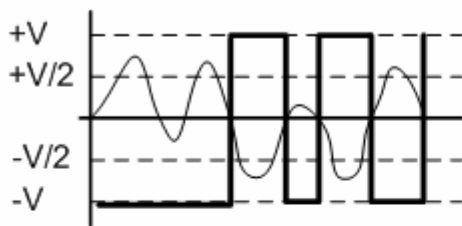
24/ Mạch nào được dùng để biến đổi các tín hiệu biến thiên một cách chậm chạp để làm đầu vào cho các mạch logic?

- a bộ dao động đa hài đoi.
- b trigơ Schmitt.
- c bộ dao động đa hài.
- d bộ dao động đa hài dùng IC 555.

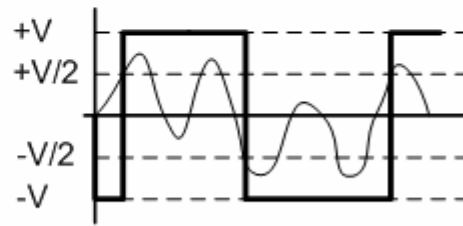
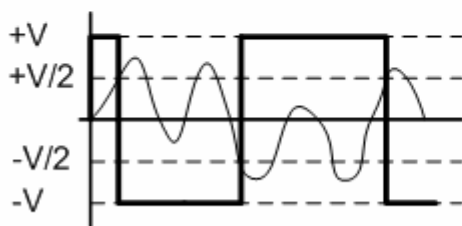
25/ Cho mạch điện trigơ Schmitt ở hình 6-12, nếu tín hiệu lỗi vào có dạng tín hiệu như hình sau, tín hiệu lỗi ra nằm ở hình nào?



Hình a.



Hình b



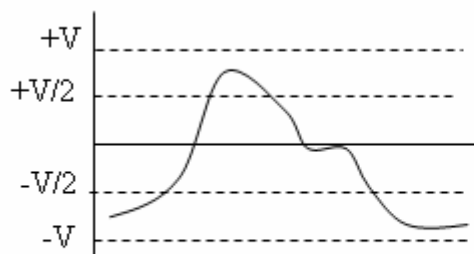
Hình c

Hình d

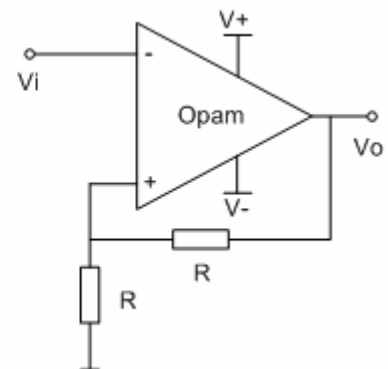
Hình 6-12

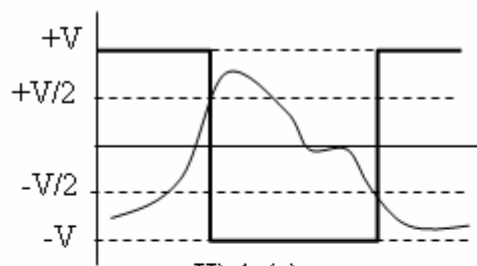
- a** Hình a.
- b** Hình b.
- c** Hình c.
- d** Hình d.

26/ Cho mạch điện trigơ Schmitt ở hình 6-13, nếu tín hiệu lỗi vào có dạng tín hiệu như hình sau, tín hiệu lỗi ra nằm ở hình nào

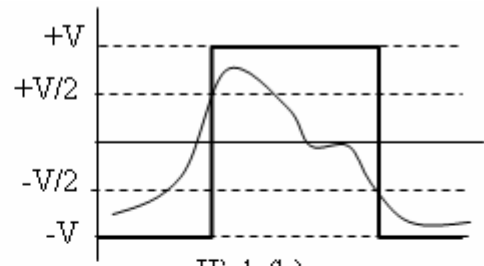


Hình 6-13

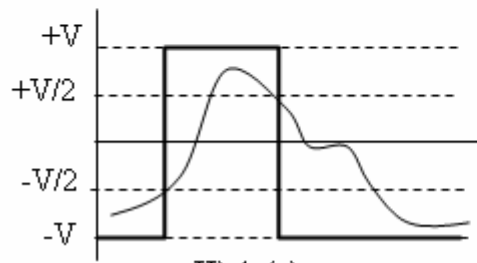




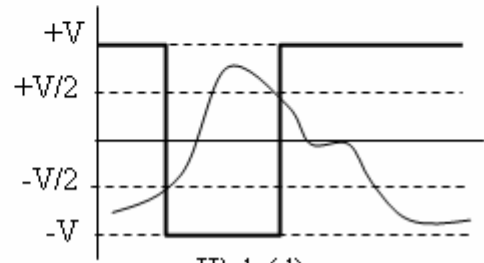
Hình (a)



Hình (b)



Hình (c)



Hình (d)

- a Hình (b).
- b Hình (c).
- c Hình (a).
- d Hình (d).

CHƯƠNG 7. BỘ NHỚ BÁN DẪN

1/ Thông tin trong bộ nhớ được lưu trữ ở dạng

- a Bát phân
- b nhị phân
- c thập phân
- d Hexa

2/ RAM là bộ nhớ mà

- a Không có trường hợp nào đúng
- b dữ liệu bị mất khi mất nguồn nuôi
- c cả hai câu trên đều đúng
- d dữ liệu không bị mất khi mất nguồn nuôi

3/ ROM là bộ nhớ mà

- a dữ liệu không bị mất khi mất nguồn nuôi
- b dữ liệu bị mất khi vẫn còn nguồn nuôi
- c dữ liệu bị mất khi mất nguồn nuôi
- d Không có trường hợp nào đúng

4/ DRAM là:

- a RAM tĩnh
- b bộ nhớ chỉ đọc
- c RAM động
- d bộ nhớ chỉ viết

5/ SRAM là

- a RAM tĩnh
- b bộ nhớ chỉ viết

- c bộ nhớ chỉ đọc
- d RAM động

6/ DRAM là loại bộ nhớ

- a chỉ có thể đọc dữ liệu
- b không mất dữ liệu khi có nguồn nuôi
- c có thể bị mất dữ liệu khi có nguồn nuôi
- d chỉ có thể viết dữ liệu

7/ SRAM là loại bộ nhớ:

- a chỉ có thể viết dữ liệu.
- b có thể bị mất dữ liệu khi có nguồn nuôi.
- c chỉ có thể đọc dữ liệu
- d không mất dữ liệu khi có nguồn nuôi

8/ Cấu tạo của một ô nhớ DRAM gồm có

- a 1 transistor trường MOS và 1 diode
- b 1 transistor trường MOS và 1 tụ điện
- c 1 transistor lưỡng cực và 1 tụ điện
- d 1 transistor trường MOS và 1 trigơ

9/ Linh kiện lưu giữ bit thông tin của DRAM là

- a Trigơ
- b Tụ điện
- c Diode
- d Transistor

10/ Linh kiện lưu giữ bit thông tin của SRAM là

- a Tụ điện
- b Transistor
- c Diode
- d Trigơ

11/ DRAM được chế tạo bằng cách sử dụng công nghệ

- a lưỡng cực
- b Không có phương án nào đúng
- c lưỡng cực và MOS
- d MOS

12/ Thời gian truy nhập của bộ nhớ lưỡng cực so với bộ nhớ MOS là

- a lâu hơn
- b bằng nhau
- c Không có trường hợp nào đúng.
- d nhanh hơn

13/ PROM là loại bộ nhớ có thể sửa đổi dữ liệu được sau khi đã lập trình, đúng hay sai

- a Sai
- b Đúng

14/ Trong chip EPROM để cho ánh sáng tử ngoại đi qua khi cần xóa dữ liệu trong bộ nhớ thì nó phải có _____

- a một cửa sổ
- b Hai cửa sổ làm bằng thủy tinh thạch anh

- c cửa sổ làm bằng thủy tinh thạch anh
- d Hai cửa sổ

15/ Thời gian truy nhập của các chip ROM hiện nay so với các chip RAM là

- a bằng nhau
- b Không có đáp án nào đúng
- c lâu hơn
- d nhanh hơn.

16/ Số các byte cực đại có thể được lưu trữ trong bộ nhớ có dung lượng 1024×8 là bao nhiêu?

- a 1024×2
- b 1024×4
- c 1024×8
- d 1024

17/ Số đường địa chỉ cần thiết trong bộ nhớ có dung lượng 1024×8 là bao nhiêu?

- a 13
- b 10
- c 12
- d 11

18/ Số đường vào/ ra (I/O) cần thiết trong bộ nhớ có dung lượng 1024×8 là bao nhiêu?

- a 10
- b 12
- c 8
- d 14

19/ Số đường địa chỉ cần thiết trong bộ nhớ có dung lượng 128KB là bao nhiêu?

- a 17
- b 15
- c 16
- d 7

20/ Thời gian truy nhập của 1 RAM là 10 ns, thời gian tối thiểu phải mất đi giữa hai thao tác đọc là bao nhiêu ?

- a 40 ns
- b 10 ns
- c 20 ns
- d 30 ns

21/ Một EPROM có thể bị xóa bởi:

- a điện
- b tia tử ngoại
- c bể cầu chì.
- d đốt cầu chì.

22/ Bộ nhớ FLASH là bộ nhớ:

- a Không bay hơi.
- b Không có đáp án nào đúng.
- c Cả hai đáp án trên đều đúng.
- d Bay hơi.

23/ Bộ nhớ FLASH có cấu trúc giống như bộ nhớ

- a EEPROM
- b DRAM
- c EPROM
- d SRAM

24/ Mục đích sử dụng chính của bộ nhớ FLASH là thay thế cho

- a ROM
- b Các ổ đĩa mềm và ổ đĩa cứng dung lượng nhỏ
- c RAM
- d CDROM

25/ Bộ nhớ CACHE có dung lượng so với bộ nhớ chính của máy tính là

- a tùy trường hợp
- b lớn hơn
- c bằng nhau
- d nhỏ hơn

26/ Bộ nhớ CACHE là bộ nhớ chứa các thông tin mà CPU

- a Cả hai trường hợp trên
- b Không có đáp án nào đúng
- c đã lâu không được sử dụng.
- d vừa sử dụng gần đây nhất.

27/ Cho bộ nhớ có dung lượng là 32k x 8, số đường địa chỉ và đường vào/ra là bao nhiêu?

- a 5 và 8
- b 15 và 4.
- c 5 và 4.
- d 15 và 8

28/ Cho bộ nhớ có số đường địa chỉ là 10 và đường vào/ra là 8, hỏi dung lượng của nó là bao nhiêu tính theo byte và theo bit?

- a 1024 byte và 8 kbit.
- b 1kbyte và 4 kbit.
- c 1024 byte và 2 kbit.
- d 1kbyte và 1 kbit.

29/ Cho bộ nhớ RAM có số đường địa chỉ là 10 và đường vào dữ liệu là 8, hỏi dung lượng của nó là bao nhiêu tính theo byte và số đường dữ liệu ra?

- a 2 kbyte và 8 đường.
- b 1024 byte và 8 đường.
- c 1 kbyte và 4 đường.
- d 2048 byte và 4 đường.

30/ Cho bộ nhớ ROM có số đường địa chỉ là 5 và đường dữ liệu ra là 8, hỏi dung lượng của nó là bao nhiêu tính theo byte và số đường dữ liệu vào?

- a 32 byte và 0 đường.
- b 16 byte và 0 đường
- c 32 byte và 8 đường.
- d 16 byte và 8 đường.

31/ Cho bộ nhớ RAM có dung lượng 16 k x 8 muốn mở rộng dung lượng lên thành 32 k x 8 thì cần thêm mấy đường địa chỉ?

- a 4 đường

- b 1 đường
- c 5 đường
- d 2 đường

32/ Cho chip nhớ RAM có dung lượng 16 k x 8 muốn mở rộng dung lượng lên thành 32 k x 8 thì cần mấy chip nhớ 16 k x 8 ?

- a 2 chip.
- b 3 chip.
- c 4 chip.
- d 5 chip.

CHƯƠNG 8. LOGIC LẬP TRÌNH (PLD)

1/ Câu nào trong những câu sau không đúng khi nói về ưu điểm của phương pháp thiết kế mạch dùng IC có chức năng cố định?

- a- Chi phí thiết kế cao.
- b- Vận hành nhanh xung quanh bản thiết kế
- c- Tương đối dễ dàng khi thử nghiệm các mạch thiết kế

- a Câu c .
- b Câu b .
- c Câu a .
- d Không có câu nào sai.

2/ Câu nào trong những câu sau không đúng khi nói về ưu điểm của phương pháp thiết kế mạch dùng các ASIC (Application Specific IC)?

- a- Chi phí thiết kế thấp.
- b- Giảm thiểu được kích thước.
- c- Giảm thiểu được yêu cầu về điện.
- d- Việc thiết kế được thực thi dưới dạng này không thể sao chép được.

- a Câu c.
- b Câu d.
- c Câu a.
- d Câu b.

3/ Cấu tạo của PLD giống với loại nào?

- a EEPROM
- b Cả 3 loại trên.
- c PROM
- d EPROM

4/ Các phần tử có trong PLD là:

- a Cổng OR và XOR
- b Tất cả đáp án đều đúng
- c Trơ
- d Cổng AND

5/ Cấu trúc chính của SPLD là:

- a PLA (Programmable Logic Array)
- b PAL (Programmable Array Logic)
- c PLA (Programmable Logic Array) và PAL (Programmable Array Logic)
- d Không có phương án nào đúng

6/ Mật độ logic của CPLD so với SPLD là

- a** Thấp hơn
- b** Bằng nhau.
- c** Tùy từng trường hợp
- d** Cao hơn

7/ Trong cấu trúc của CPLD, khối nào sau đây không có mặt:

- a** Vi xử lý.
- b** Khối logic.
- c** Ma trận kết nối trung tâm
- d** Khối Microcell.

8/ Trong cấu trúc của CPLD, khối Microcell chứa tài nguyên là

- a** Diode
- b** Tụ điện
- c** Trigon
- d** Transistor

9/ Trong cấu trúc của CPLD, khối chức năng (function block) bao gồm

- a** một khối logic và nhiều khối Microcell
- b** khối Microcell
- c** nhiều khối logic và một khối Microcell
- d** khối logic

10/ Trong cấu trúc của CPLD, các khối chức năng (function block) được kết nối với nhau thông qua _____

- a** Ma trận kết nối trung tâm (Interconnect Array)
- b** Ma trận kết nối hai chiều X-Y
- c** Ma trận kết nối ba chiều X-Y-Z
- d** Không có đáp án nào đúng.

11/ Trong cấu trúc của FPGA loại lập trình lại được, muốn thực hiện hàm logic tổ hợp thì phải dùng

- a** Cấu trúc bảng tra LUT dựa vào SDRAM
- b** Các cấu trúc thanh ghi
- c** Cấu trúc vào/ra
- d** Ma trận hạng tích AND, OR

12/ Trong các câu sau, câu nào không đúng

- a** CPLD có cấu trúc đồng nhất
- b** FPGA có cấu trúc không đồng nhất
- c** Không có đáp án nào đúng
- d** FPGA có cấu trúc đồng nhất

13/ Trong cấu trúc của FPGA loại lập trình 1 lần, muốn thực hiện hàm logic tổ hợp thì phải dùng

- a** Các cổng logic truyền thống
- b** Các cấu trúc thanh ghi.
- c** Cấu trúc bảng tra LUT dựa vào SDRAM
- d** Cấu trúc vào/ra

14/ Trong cấu trúc của FPGA, các khối được kết nối với nhau thông qua _____

- a** Ma trận kết nối ba chiều X-Y-Z

- b Không có đáp án nào đúng
- c Ma trận kết nối hai chiều X-Y
- d Ma trận kết nối trung tâm (Interconnect Array)

15/ Trong cấu trúc của CPLD, khi mất nguồn nuôi thì cấu hình của nó sẽ

- a Không có đáp án nào đúng
- b Có thể bị mất có thể không.
- c bị mất đi.
- d được lưu lại

16/ Trong cấu trúc của FPGA, khi mất nguồn nuôi thì cấu hình của nó sẽ

- a bị mất đi
- b Có thể bị mất có thể không
- c Không có đáp án nào đúng
- d được lưu lại

17/ Quá trình thiết kế cho CPLD/FPGA chủ yếu là thực hiện trên các công cụ

- a Không có đáp án nào đúng
- b phần mềm
- c phần cứng.
- d cả 2 loại trên

18/ Khi thiết kế cho CPLD cần phải thực hiện theo trình tự nào?

- a Nhập thiết kế - tổng hợp thiết kế - kiểm tra, mô phỏng thiết kế - thực hiện thiết kế - mô phỏng định thời - cấu hình
- b Nhập thiết kế - kiểm tra, mô phỏng thiết kế - tổng hợp thiết kế - thực hiện thiết kế - mô phỏng định thời - cấu hình
- c Nhập thiết kế - tổng hợp thiết kế - mô phỏng định thời - kiểm tra, mô phỏng thiết kế - thực hiện thiết kế - cấu hình
- d Nhập thiết kế - mô phỏng định thời - tổng hợp thiết kế - kiểm tra, mô phỏng thiết kế - thực hiện thiết kế - cấu hình

19/ Khi thiết kế cho FPGA cần phải thực hiện theo trình tự nào?

- a Nhập thiết kế - tổng hợp thiết kế - mô phỏng định thời - kiểm tra, mô phỏng thiết kế - thực hiện thiết kế - cấu hình
- b Nhập thiết kế - kiểm tra, mô phỏng thiết kế - tổng hợp thiết kế - thực hiện thiết kế - mô phỏng định thời - cấu hình
- c Nhập thiết kế - mô phỏng định thời - tổng hợp thiết kế - kiểm tra, mô phỏng thiết kế - thực hiện thiết kế - cấu hình
- d Nhập thiết kế - tổng hợp thiết kế - kiểm tra, mô phỏng thiết kế - thực hiện thiết kế - mô phỏng định thời - cấu hình

20/ Ngôn ngữ lập trình cho CPLD/FPGA là

- a Ngôn ngữ lập trình C.
- b Ngôn ngữ lập trình Pascal
- c Ngôn ngữ mô tả phần cứng HDL
- d Ngôn ngữ lập trình Visual Basic

21/ Có mấy cách nhập thiết kế khi thiết kế CPLD/FPGA là

- a 2 cách : sử dụng ngôn ngữ HDL, dạng sơ đồ
- b 3 cách : sơ đồ nguyên lý, sử dụng ngôn ngữ HDL, dạng sơ đồ
- c 1 cách : sử dụng ngôn ngữ HDL
- d Nhập bất kỳ kiểu nào

22/ Trong lưu đồ thiết kế CPLD/FPGA, sau khi hoàn thành phần mô phỏng thiết kế, bước tổng hợp thiết kế có nhiệm vụ chuyển file mô tả VHDL thành

- a** File cấu hình
- b** File nestlist
- c** File sơ đồ
- d** File văn bản HDL

23/ Trong lưu đồ thiết kế CPLD/FPGA, phần thực hiện thiết kế gồm các bước

- a** Biên dịch (translate), phân bố bản thiết kế vào chip (map)
- b** Biên dịch (translate), phân bố bản thiết kế vào chip (map), định vị và định tuyến kết nối (place and route)
- c** Phân bố bản thiết kế vào chip (map), định vị và định tuyến kết nối (place and route)
- d** Biên dịch (translate), định vị và định tuyến kết nối (place and route)

24/ Để thực hiện mô phỏng hoạt động của thiết kế CPLD/FPGA, người ta có tính đến các tham số: thời gian trễ, thời gian truy nhập... ?

- a** Đúng
- b** Sai

25/ Trong lưu đồ thiết kế CPLD/FPGA, phần thực hiện thiết kế có kết quả ở dạng

- a** File cấu hình.
- b** File văn bản HDL
- c** File sơ đồ.
- d** File nestlist.

26/ Trong lưu đồ thiết kế CPLD/FPGA, muốn nạp file cấu hình cho CPLD/FPGA thì phải nạp ở bước nào?

- a** Cấu hình
- b** Kiểm tra, mô phỏng thiết kế
- c** Thực hiện thiết kế
- d** Tổng hợp thiết kế

27/ Trong lưu đồ thiết kế FPGA, ở bước “Cấu hình”: file “bitstream” (dòng bit) được nạp vào đâu để FPGA giữ lại được cấu hình đã nạp khi mất nguồn nuôi?

- a** SRAM
- b** PROM
- c** EPROM
- d** DRAM

28/ Một PLA bao gồm các mảng _____ có thể lập trình

- a** NAND và NOR
- b** AND và NOT
- c** AND và OR
- d** AND và XOR

29/ Để thiết kế một mạch kỹ thuật số có 32 biến cần có bao nhiêu PLA 16 lối vào và 8 đầu ra?

- a** 3
- b** 2
- c** 4
- d** 5

CHƯƠNG 9. NGÔN NGỮ MÔ TẢ PHẦN CỨNG – VHDL

1/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```
entity JKFF is
    Port(J,K,Clk:in std_logic;
          Q, notQ:out std_logic);
end JKFF;
architecture Behavioral of JKFF is
    signal Qtemp: std_logic;
    signal JK:std_logic_vector(0 to 1);
begin
    JK<= (J,K) ;
    process(Clk)
    begin
        if(Clk'event and Clk='0') then
            case JK is
                when "00" => Null;
                when "01" => Qtemp<='0';
                when "10" => Qtemp<='1';
                when others=>Qtemp<=not Qtemp;
            end case;
        end if;
    end process;
    Q<=Qtemp;
    notQ<=not Qtemp;
end Behavioral;
```

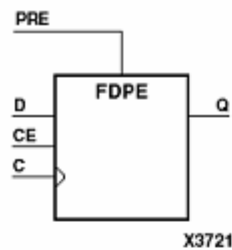
- a Trigo JK hoạt động tại sườn dương xung clock
- b Cả hai loại trên
- c Không có đáp án nào đúng.
- d Trigo JK hoạt động tại sườn âm xung clock

2/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```
entity Cau2 is
end Cau2;
architecture Behavioral of Cau2 is
    signal I : std_logic_vector(7 downto 0);
    signal SEL: std_logic_vector(2 downto 0);
    signal Y : std_logic;
begin
    with SEL select
        Y <= I(0) when "000",
              I(1) when "001",
              I(2) when "010",
              I(3) when "011",
              I(4) when "100",
              I(5) when "101",
              I(6) when "110",
              I(7) when others;
end Behavioral
```

- a Mạch phân kênh 1 vào - 8 ra
- b Mạch mã hoá địa chỉ
- c Mạch giải mã địa chỉ
- d Mạch hợp kênh 8 vào - 1 ra

3/ Đoạn mô tả kiến trúc nào mô tả cho mô hình thanh ghi 4 bit hoạt động sườn dương của clock, có tín hiệu chốt clock (CE) và thiết lập (PRE) không đồng bộ



Mô tả thích hợp của thanh ghi như sau:

```
library ieee;
use ieee.std_logic_1164.all;
entity flop is
  port( C, CE, PRE : in std_logic;
        D : in  std_logic_vector (3 downto 0);
        Q : out std_logic_vector (3 downto 0));
end flop;
```

A.

```
architecture archi of flop is
begin
  process (C)
  begin
    if (PRE='1') then
      Q <= "1111";
    elsif (C'event and C='1') then
      if (CE='1') then
        Q <= D;
      end if;
    end if;
  end process;
end archi;
```

B.

```
architecture archi of flop is
begin
  process (C, PRE)
  begin
    if (PRE='1') then
      Q <= "1111";
    elsif (C'event and C='1') then
      if (CE='0') then
        Q <= D;
      end if;
    end if;
  end process;
end archi;
```

C.

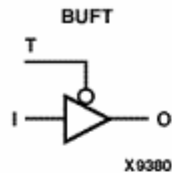
```
architecture archi of flop is
begin
  process (C, PRE)
  begin
    if (PRE='1') then
      Q <= "1111";
    elsif (C'event and C='1') then
      if (CE='1') then
        Q <= D;
      end if;
    end if;
  end process;
end archi;
```

D.

```
architecture archi of flop is
begin
  process (C, PRE)
  begin
    if (PRE='1') then
      Q <= "0000";
    elsif (C'event and C='1') then
      if (CE='1') then
        Q <= D;
      end if;
    end if;
  end process;
end archi;
```

- a Phương án C
- b Phương án D
- c Phương án A
- d Phương án B

4/ Đoạn mô tả kiến trúc nào mô tả cho cổng 3 trạng thái sau



Trong đó mô tả thực thể như sau:

```
entity three_st is
  port( T, I : in std_logic;
        O : out std_logic);
end three_st;
```

A.

```
architecture archi of three_st is
begin
  process (I, T)
  begin
    if (T='0') then
      O <= I;
    else
      O <= 'X';
    end if;
  end process;
end archi;
```

C.

```
architecture archi of three_st is
begin
  O <= I when T='1' else
    'Z';
end archi;
```

B.

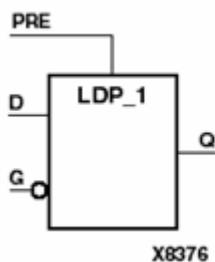
```
architecture archi of three_st is
begin
  process (I, T)
  begin
    if (T='1') then
      O <= I;
    else
      O <= 'Z';
    end if;
  end process;
end archi;
```

D.

```
architecture archi of three_st is
begin
  O <= I when T='0' else
    'Z';
end archi;
```

- a Phương án A
- b Phương án C
- c Phương án D
- d Phương án B

5/ Đoạn mô tả kiến trúc nào mô tả cho mô hình mạch chốt công đảo và Preset không đồng bộ như sau:



D[3:0]	Lỗi vào dữ liệu
G	Lỗi vào đảo
PRE	Lỗi vào lập (Hoạt động ở mức cao)
Q[3:0]	Lỗi ra dữ liệu

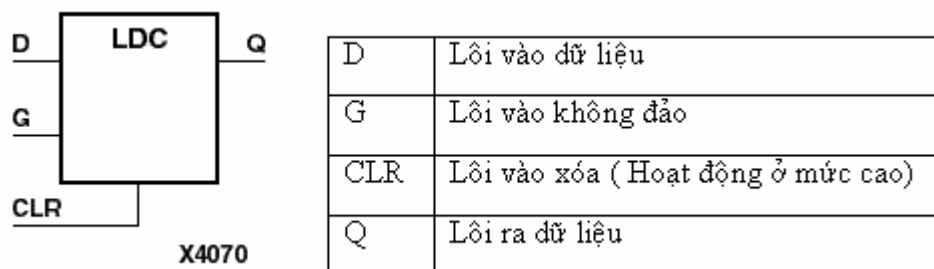
Trong đó mô tả thực thể như sau:

```
entity latch is
  port(D : in std_logic_vector(3 downto 0);
        G, PRE : in std_logic;
        Q : out std_logic_vector(3 downto 0));
end latch;
```

<p>A.</p> <pre> architecture archi of latch is begin process (PRE, G) begin if (Q='1') then Q <= "1111"; elsif (PRE='0') then Q <= D; end if; end process; end archi; </pre>	<p>B.</p> <pre> architecture archi of latch is begin process (PRE, G) begin if (PRE='1') then Q <= "1111"; elsif (G='0') then Q <= D; end if; end process; end archi; </pre>
<p>C.</p> <pre> architecture archi of latch is begin process (PRE) begin if (PRE='1') then Q <= "1111"; elsif (G='0') then Q <= D; end if; end process; end archi; </pre>	<p>D.</p> <pre> architecture archi of latch is begin process (PRE, G) begin if (PRE='1') then Q <= "1111"; elsif (G='1') then Q <= D; end if; end process; end archi; </pre>

- a Phương án C
b Phương án A
c Phương án D
d Phương án B

6/ Đoạn mô tả kiến trúc nào mô tả cho mô hình mạch chốt công dương và xóa không đồng bộ như sau:



<p>A.</p> <pre> entity latch is port(G, D, CLR : in std_logic; Q : out std_logic); end latch; architecture archi of latch is begin process (CLR, D, G) begin if (CLR='1') then Q <= '1'; elsif (G='1') then Q <= D; end if; end process; end archi; </pre>	<p>B.</p> <pre> entity latch is port(G, D, CLR : in std_logic; Q : out std_logic); end latch; architecture archi of latch is begin process (CLR, D, G) begin if (CLR='0') then Q <= '0'; elsif (G='1') then Q <= D; end if; end process; end archi; </pre>
<p>C.</p> <pre> entity latch is port(G, D, CLR : in std_logic; Q : out std_logic); end latch; architecture archi of latch is begin process (CLR, D, G) begin if (CLR='1') then Q <= '0'; elsif (G='1') then Q <= D; end if; end process; end archi; </pre>	<p>D.</p> <pre> entity latch is port(G, D, CLR : in std_logic; Q : out std_logic); end latch; architecture archi of latch is begin process (CLR, D, G) begin if (CLR='1') then Q <= '0'; elsif (G='0') then Q <= D; end if; end process; end archi; </pre>

- a Phương án D
- b Phương án A
- c Phương án B
- d Phương án C

7/ VHDL là ngôn ngữ

- a mô tả phần mềm
- b lập trình cơ bản
- c mô tả phần cứng
- d lập trình bậc cao

8/ Ngôn ngữ lập trình VHDL có phân biệt chữ hoa và chữ thường?

- a Sai
- b Đúng

9/ Các đối tượng trong VHDL là:

- a Tín hiệu - signal, dữ liệu - data, hằng - constant.
- b Tín hiệu - signal, biến - variable, dữ liệu - data.
- c Tín hiệu - signal, biến - variable, hằng - constant.
- d Tín hiệu - signal, biến - variable, ký tự - character.

10/ Trong VHDL, “tín hiệu - signal” dùng để:

- a Chứa các giá trị cụ thể.
- b Chứa các kết quả trung gian.

- c Chứa các cổng logic.
- d Biểu diễn đường kết nối trong hệ thống.

11/ Trong VHDL, “tín hiệu - signal” được khai báo trong các process và trong các chương trình con?

- a Sai
- b Đúng

12/ Trong VHDL, “biến - variable” dùng để:

- a Chứa các kết quả trung gian.
- b Chứa các giá trị cụ thể.
- c Biểu diễn đường kết nối trong hệ thống.
- d Chứa các cổng logic

13/ Trong VHDL, “biến - variable” được khai báo và sử dụng trong các process và trong các chương trình con?

- a Sai
- b Đúng

14/ Trong VHDL, “hằng - constant” được khai báo trong các process và trong procedure?

- a Sai
- b Đúng

15/ Trong VHDL, cú pháp khai báo chung cho các đối tượng là

- a Đối_tượng tên đối_tượng := kiểu_dữ_liệu.
- b Đối_tượng tên đối_tượng : kiểu_dữ_liệu.
- c Đối_tượng tên đối_tượng <= kiểu_dữ_liệu.
- d Đối_tượng tên đối_tượng = kiểu_dữ_liệu.

16/ Trong VHDL, kiểu “Boolean” nằm trong kiểu dữ liệu nào?

- a Kiểu của người thiết kế.
- b Kiểu ghép.
- c Kiểu mảng 2 chiều.
- d Kiểu vô hướng.

17/ Trong VHDL, kiểu “Boolean” có các giá trị là:

- a Các số thực.
- b Các số nguyên.
- c 0 và 1.
- d False và True.

18/ Trong VHDL, kiểu “Bit” có các giá trị là:

- a False và True.
- b Các số nguyên.
- c 0 và 1.
- d Các số thực.

19/ Trong VHDL, cú pháp gán “biến” là:

- a biến := biểu_thức.
- b biến = biểu_thức.
- c biến : biểu_thức.
- d biến <= biểu_thức.

20/ Trong VHDL, cú pháp gán “tín hiệu” là:

- a** Tín_hiệu_đích := biểu_thức.
- b** Tín_hiệu_đích <= biểu_thức.
- c** Tín_hiệu_đích : biểu_thức.
- d** Tín_hiệu_đích = biểu_thức.

21/ Trong VHDL, muốn gán 2 mảng với nhau thì 2 mảng đó phải:

- a** Cùng kiểu.
- b** Cùng kiểu và cùng giá trị.
- c** Cùng độ lớn và cùng giá trị.
- d** Cùng kiểu và cùng độ lớn.

22/ Trong VHDL, “Port” dùng để khai báo:

- a** Danh sách các hằng số.
- b** Danh sách các cổng logic vào/ra.
- c** Danh sách các tham số.
- d** Danh sách đối tượng vào/ra.

23/ Trong VHDL, “Generic” dùng để khai báo:

- a** Danh sách các cổng logic vào/ra.
- b** Danh sách các tham số.
- c** Danh sách đối tượng vào/ra.
- d** Danh sách các hằng số.

24/ Trong VHDL, khi mô tả “kiến trúc” của hệ thống số dùng:

- a** Mô hình hoạt động (Behavior).
- b** Mô hình luồng dữ liệu.
- c** Mô hình cấu trúc logic (Structure).
- d** Cả ba đều đúng.

25/ Trong VHDL, “Process” có thể viết các mô tả dùng:

- a** Không có đáp án nào đúng.
- b** Cấu trúc lệnh tuần tự.
- c** Cấu trúc lệnh hỗn hợp.
- d** Cấu trúc lệnh song song.

26/ Trong VHDL, “Architecture” chứa:

- a** Không có đáp án nào đúng.
- b** Cấu trúc lệnh tuần tự.
- c** Cấu trúc lệnh song song.
- d** Cấu trúc lệnh hỗn hợp.

27/ Trong VHDL, khai báo thực thể (Entity) là khai báo:

- a** Danh sách các cổng logic vào/ra
- b** Danh sách các hằng số
- c** Giao diện của hệ thống với bên ngoài
- d** Danh sách đối tượng vào/ra

28/ Trong VHDL, muốn đánh dấu dòng chú thích thì dùng dấu

- a** - -
- b** <
- c** *
- d** %

29/ Trong VHDL, hướng tín hiệu của cổng có thể là

- a** In, out, và buffer
- b** In, out, inout và buffer
- c** In, inout và buffer
- d** In, out, và inout

30/ Trong VHDL, có các cách mô tả kiến trúc (Architecture) của một phần tử hay một hệ thống số là

- a** Mô hình hoạt động (Behaviour), mô hình cấu trúc logic (Structure), mô hình luồng dữ liệu
- b** Mô hình thư viện, mô hình cấu trúc logic (Structure), mô hình luồng dữ liệu
- c** Mô hình hoạt động (Behaviour), mô hình cấu trúc logic (Structure), mô hình thư viện
- d** Mô hình hoạt động (Behaviour), mô hình thực thể, mô hình luồng dữ liệu

31/ Process mô tả mạch logic AND, chọn phương án đúng.

```
--(Phương án A)
entity Logic_AND is
  Port ( A,B : in std_logic;
        C   : out std_logic);
end Logic_AND;
architecture Behavioral of Logic_AND is
begin
  Process (A,B)
  begin
    C<= A and B;
  end Process;
end Behavioral;
```



```
--(Phương án B)
entity Logic_AND is
  Port ( A,B : in std_logic;
        C   : out std_logic);
end Logic_AND;
architecture Behavioral of Logic_AND is
begin
  Process (A,B)
  begin
    C= A and B;
  end Process;
end Behavioral;
```



- a** Phương án B
- b** Phương án A.

32/ Hai mô tả cấu trúc chọn kênh sau tương đương nhau ?

```

architecture ...
begin
    Z <= A when Sel="00" else
        B when Sel="10" else
        C when Sel="11" else
        'X' ;
end architecture;

```

Và

```

architecture ...
begin
    process(A,B,C, SEL )
    begin
        case (SEL) is
            when "00" =>Z <= A;
            when "10" =>Z <= B;
            when "11" =>Z <= C;
            when others =>Z<= 'X';
        end case;
    end process;
end architecture;

```

- a Đúng
b Sai

33/ Đoạn mô tả sau mô tả cho loại trigơ D hoạt động tại sườn âm hay sườn dương?

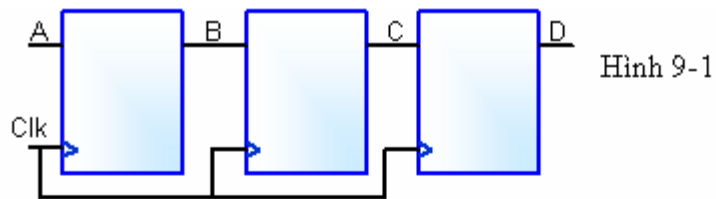
```

...
process( Clk )
variable B, C, D : bit := '1' ;
begin
    If (Clk'event and Clk ='1') then
        B := A ;
        C := B ;
        D := C ;
    end if ;
end process ;...

```

- a cả hai sườn xung
b Không có đáp án nào đúng.
c Sườn âm.
d Sườn dương.

34/ Cho hình 9-1, đoạn mô tả nào dùng để tổng hợp mạch?

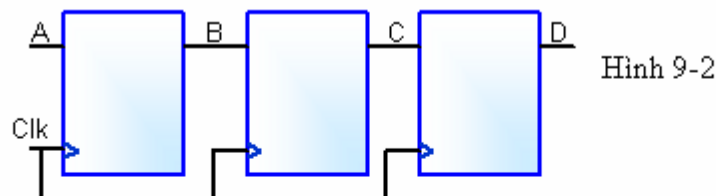


```
-- (Phương án A)
...
process( Clk )
  variable B, C, D: bit := '1' ;
begin
  If Clk'event and Clk = '1') then
    B := A ;
    C := B ;
    D := C ;
  end if ;
end process ;...
```

```
-- (Phương án B)
Architecture Behavior of Triger is
  signal Clk, A, B, C, D: bit := '1';
Begin
  process( Clk )
  begin
    If (Clk'event and Clk = '1') then
      B <= A ;
      C <= B ;
      D <= C ;
    end if ;
  end process ;
End Behavior;
```

- a Phương án B.
b Phương án A.

35/ Cho hình 9-2, hai đoạn mô tả sau tổng hợp mạch 9-2?



```
-- (Phương án A)
...
process( Clk )
  variable B, C, D : bit := '1' ;
begin
  If (Clk'event and Clk = '1') then
    D := C ;
    C := B ;
    B := A ;
  end if ;
end process ;...
```

```
-- (Phương án B)
Architecture Behavior of Triger is
  signal Clk, A, B, C, D: bit := '1';
Begin
  process( Clk )
  begin
    If (Clk'event and Clk = '1') then
      B <= A ;
      C <= B ;
      D <= C ;
    end if ;
  end process ;
End Behavior;
```

- a Sai
b Đúng

36/ Muốn mô tả mạch hợp kênh 4 lối vào dữ liệu có thể sử dụng đoạn mô tả nào?

```

--(Phương án A)

process (A, B, C, D, Sel)
begin
    If      (Sel = "00") then
        Z <= A ;
    elsif   (Sel = "01") then
        Z <= B ;
    elsif   (Sel = "10") then
        Z <= C ;
    elsif   (Sel = "11") then
        Z <= D ;
    end if;
end process ;

```

```

--(Phương án B)

process (A, B, C, D, Sel )
begin
    case Sel is
        when "00" => Z <= A ;
        when "01" => Z <= B ;
        when "10" => Z <= C ;
        when "11" => Z <= D ;
    end case ;
end process ;

```

- a Phương án A
- b Phương án B
- c Không có phương án nào đúng.
- d Cả hai phương án A và B.

37/ Đoạn mô tả sau mô tả cho loại trigơ D hoạt động tại sườn âm hay sườn dương của xung nhịp và khi chân Reset ở mức logic nào?

```

entity DFF is
    port ( D, Clock : in std_logic ;
          Reset : in std_logic ;
          Q : out std_logic) ;
end entity DFF ;
architecture RTL of DFF is
begin
    process (Clock, Reset)
    begin
        If (Reset = '1' ) then
            Q <= '0' ;
        elsif (Clock'event and Clock = '1') then
            Q <= D ;
        end if;
    end process ;
end architecture RTL;

```

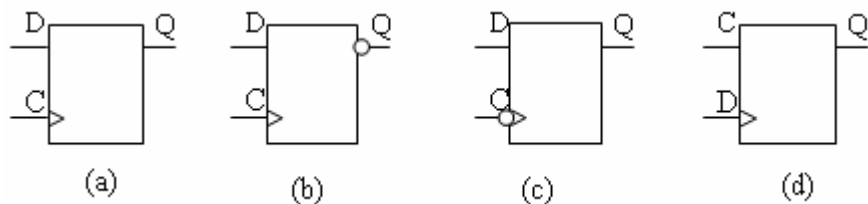
- a Sườn âm xung nhịp và hoạt động khi Reset = 0
- b Sườn âm xung nhịp và hoạt động khi Reset = 1
- c Sườn dương xung nhịp và hoạt động khi Reset = 0
- d Sườn dương xung nhịp và hoạt động khi Reset = 1

38/ Mô hình phần cứng nào trong hình 9-3 tổng hợp được ứng với đoạn mô tả như sau:

```

library ieee;
use ieee.std_logic_1164.all;
entity flop is
    port(C, D : in std_logic;
          Q : out std_logic);
end flop;
architecture archi of flop is
begin
    process (C)
    begin
        if (C'event and C='1') then
            Q <= D;
        end if;
    end process;
end archi;

```



Hình 9-3

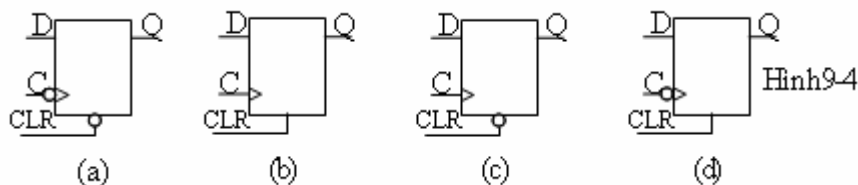
- a Hình (b)
- b Hình (c)
- c Hình (d)
- d Hình (a)

39/ Mô hình phần cứng nào trong hình 9-4 tổng hợp được ứng với đoạn mô tả như sau:

```

entity flop is
    port(C, D, CLR : in std_logic;
          Q          : out std_logic);
end flop;
architecture archi of flop is
begin
    process (C, CLR)
    begin
        if (CLR = '1') then
            Q <= '0';
        elsif (C'event and C='0') then
            Q <= D;
        end if;
    end process;
end archi;

```



Hình 9-4

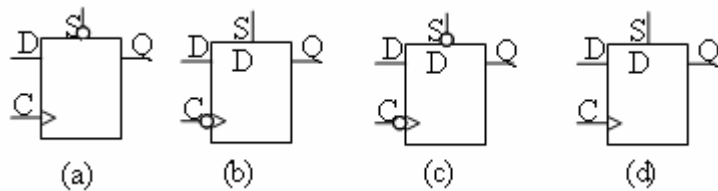
- a Hình (c)
- b Hình (b)
- c Hình (a)
- d Hình (d)

40/ Mô hình phần cứng nào trong hình 9-5 tổng hợp được ứng với đoạn mô tả như sau:

```

entity flop is
  port(C, D, S : in std_logic;
        Q      : out std_logic);
end flop;
architecture archi of flop is
begin
  process (C)
  begin
    if (C'event and C='1') then
      if (S='1') then
        Q <= '1';
      else
        Q <= D;
      end if;
    end if;
  end process;
end archi;

```



Hình 9-5

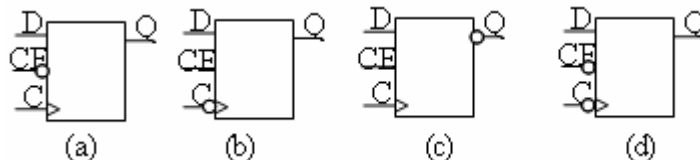
- a Hình (b)
- b Hình (d)
- c Hình (c)
- d Hình (a)

41/ Mô hình phần cứng nào trong hình 9-6 tổng hợp được ứng với đoạn mô tả như sau:

```

entity flop is
  port(C, D, CE : in std_logic;
        Q : out std_logic);
end flop;
architecture archi of flop is
begin
  process (C)
  begin
    if (C'event and C='1') then
      if (CE='0') then
        Q <= D;
      end if;
    end if;
  end process;
end archi;

```



Hình 9-6

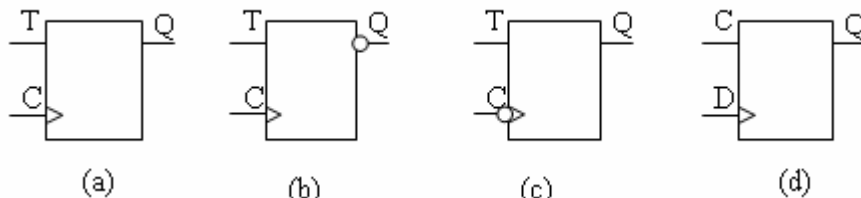
- a Hình (a)
- b Hình (c)
- c Hình (b)
- d Hình (d)

42/ Mô hình phần cứng nào trong hình 9-7 tổng hợp được ứng với đoạn mô tả như sau:


```

library ieee;
use ieee.std_logic_1164.all;
entity flop is
    port(C, T : in std_logic;
         Q, notQ : out std_logic);
end flop;
architecture archi of flop is
begin
    process (C)
    begin
        if (C'event and C='1') then
            if (T='0') then
                Q <= Q;
            else
                Q <= notQ;
            end if;
        end if;
    end process;
end archi;

```



Hình 9-7

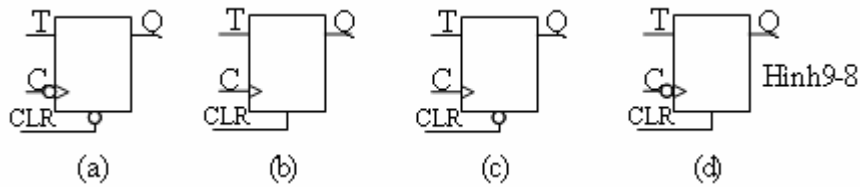
- a Hình (b)
- b Hình (a)
- c Hình (d)
- d Hình (c)

43/ Mô hình phần cứng nào trong hình 9-8 tổng hợp được ứng với đoạn mô tả như sau:

```

entity flop is
    port(C, T, CLR : in std_logic;
         Q,notQ : out std_logic);
end flop;
architecture archi of flop is
begin
    process (C, CLR)
    begin
        if (CLR = '1')then
            Q <= '0';
        elsif (C'event and C='0')then
            if (T='0') then
                Q <= Q;
            else
                Q <= notQ;
            end if;
        end if;
    end process;
end archi;

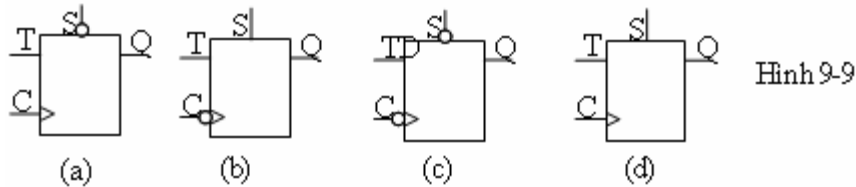
```



- a Hình (a)
- b Hình (c)
- c Hình (b)
- d Hình (d)

44/ Mô hình phân cứng nào trong hình 9-9 tổng hợp được ứng với đoạn mô tả như sau:

```
entity flop is
  port(C, T, S : in std_logic;
        Q, notQ : out std_logic);
end flop;
architecture archi of flop is
begin
  process (C)
  begin
    if (C'event and C='1') then
      if (S='1') then
        Q <= '1';
      elsif (T = '0') then Q <= Q;
      else
        Q <= notQ;
      end if;
    end if;
  end process;
end archi;
```



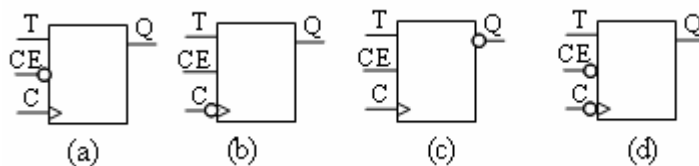
- a Hình (c)
- b Hình (a)
- c Hình (d)
- d Hình (b)

45/ Mô hình phân cứng nào trong hình 9-10 tổng hợp được ứng với đoạn mô tả như sau

```

entity flop is
  port(C, T, CE : in  std_logic;
        Q, notQ : out std_logic);
end flop;
architecture archi of flop is
  begin
    process (C)
    begin
      if (C'event and C='1') then
        if (CE='0') then
          if (T='0') then
            Q <= Q;
          else Q <= notQ;
          end if;
        end if;
      end if;
    end process;
  end archi;

```



Hình 9-10

- a Hình (a)
- b Hình (c)
- c Hình (b)
- d Hình (d)

46/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```

entity counter is
  port( Clk, CLR : in  std_logic;
        Q : out std_logic_vector(3 downto 0));
end counter;
architecture archi of counter is
  signal tmp: std_logic_vector(3 downto 0);
begin
  process (Clk, CLR)
  begin
    if (CLR='1') then
      tmp <= "0000";
    elsif (Clk'event and Clk='1') then
      tmp <= tmp + 1;
    end if;
  end process;
  Q <= tmp;
end archi;

```

- a Bộ đếm tiến 4 bit có xoá không đồng bộ
- b Bộ đếm tiến 4 bit có xoá đồng bộ
- c Bộ đếm lùi 4 bit có xoá đồng bộ
- d Bộ đếm lùi 4 bit có xoá không đồng bộ

47/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```

entity counter is
    port( Clk, CLR : in  std_logic;
          Q : out std_logic_vector(3 downto 0));
end counter;
architecture archi of counter is
    signal tmp: std_logic_vector(3 downto 0);
begin
    process (Clk, CLR)
    begin
        if (CLR='1') then
            tmp <= "0000";
        elsif (Clk'event and Clk='1') then
            tmp <= tmp - 1;
        end if;
    end process;
    Q <= tmp;
end archi;

```

- a** Bộ đếm tiến 4 bit có xoá đồng bộ
- b** Bộ đếm lùi 4 bit có xoá không đồng bộ
- c** Bộ đếm lùi 4 bit có xoá đồng bộ
- d** Bộ đếm tiến 4 bit có xoá không đồng bộ

48/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```

entity counter is
    port( Clk, S : in  std_logic;
          Q : out std_logic_vector(3 downto 0));
end counter;
architecture archi of counter is
    signal tmp: std_logic_vector(3 downto 0);
begin
    process (Clk)
    begin
        if (Clk'event and Clk='1') then
            if (S='1') then
                tmp <= "1111";
            else
                tmp <= tmp - 1;
            end if;
        end if;
    end process;
    Q <= tmp;
end archi;

```

- a** Bộ đếm lùi 4 bit có lỗi vào lập (S) không đồng bộ hoạt động ở logic dương
- b** Bộ đếm lùi 4 bit có lỗi vào lập (S) đồng bộ hoạt động ở logic âm
- c** Bộ đếm lùi 4 bit có lỗi vào lập (S) không đồng bộ hoạt động ở logic âm
- d** Bộ đếm lùi 4 bit có lỗi vào lập (S) đồng bộ hoạt động ở logic dương

49/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```

entity counter is
  port( Clk, S : in  std_logic;
        Q : out std_logic_vector(3 downto 0));
end counter;
architecture archi of counter is
  signal tmp: std_logic_vector(3 downto 0);
  begin
    process (Clk)
    begin
      if (Clk'event and Clk='1') then
        if (S='1') then
          tmp <= "1111";
        else
          tmp <= tmp + 1;
        end if;
      end if;
    end process;
    Q <= tmp;
  end archi;

```

- a** Bộ đếm tiến 4 bit có lỗi vào lập (S) đồng bộ hoạt động ở logic dương
- b** Bộ đếm tiến 4 bit có lỗi vào lập (S) đồng bộ hoạt động ở logic âm
- c** Bộ đếm tiến 4 bit có lỗi vào lập (S) không đồng bộ hoạt động ở logic âm
- d** Bộ đếm tiến 4 bit có lỗi vào lập (S) không đồng bộ hoạt động ở logic dương

50/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity counter is
  port( Clk, ALOAD : in  std_logic; -- Clock và tín hiệu nạp
        D : in std_logic_vector(3 downto 0); -- Đầu vào bộ đếm
        Q : out std_logic_vector(3 downto 0)); -- Đầu ra bộ đếm
end counter;
architecture archi of counter is
  signal tmp: std_logic_vector(3 downto 0);
begin
  process (Clk, ALOAD, D)
  begin
    if (ALOAD='1') then
      tmp <= D;
    elsif (Clk'event and Clk='0')
      then tmp <= tmp + 1;
    end if;
  end process;
  Q <= tmp;
end archi;

```

- a** Bộ đếm tiến 4 bit nạp không đồng bộ, hoạt động tại sườn dương xung clock
- b** Bộ đếm tiến 4 bit nạp đồng bộ, hoạt động tại sườn âm xung clock
- c** Bộ đếm tiến 4 bit nạp không đồng bộ, hoạt động tại sườn âm xung clock
- d** Bộ đếm tiến 4 bit nạp đồng bộ, hoạt động tại sườn dương xung clock

51/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity counter is
    port( Clk, ALOAD : in  std_logic;  -- Clock và tín hiệu nạp
          D : in std_logic_vector(3 downto 0); -- Đầu vào bộ đếm
          Q : out std_logic_vector(3 downto 0)); -- Đầu ra bộ đếm
end counter;

architecture archi of counter is
    signal tmp: std_logic_vector(3 downto 0);
begin
    process (Clk, ALOAD, D)
    begin
        if (ALOAD='1') then
            tmp <= D;
        elsif (Clk'event and Clk='0')
            then tmp <= tmp - 1;
            end if;
        end process;
        Q <= tmp;
    end archi;
end archi;

```

- a** Bộ đếm lùi 4 bit nạp đồng bộ, hoạt động tại sườn dương xung clock
- b** Bộ đếm lùi 4 bit nạp đồng bộ, hoạt động tại sườn âm xung clock
- c** Bộ đếm lùi 4 bit nạp không đồng bộ, hoạt động tại sườn âm xung clock
- d** Bộ đếm lùi 4 bit nạp không đồng bộ, hoạt động tại sườn dương xung clock

52/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity counter is
    port( Clk, ALOAD : in  std_logic;  -- Clock và tín hiệu nạp
          D : in std_logic_vector(3 downto 0); -- Đầu vào bộ đếm
          Q : out std_logic_vector(3 downto 0)); -- Đầu ra bộ đếm
end counter;

architecture archi of counter is
    signal tmp: std_logic_vector(3 downto 0);
begin
    process (Clk)
    begin
        if (ALOAD='1') then
            tmp <= D;
        elsif (Clk'event and Clk='0')
            then tmp <= tmp + 1;
            end if;
        end process;
        Q <= tmp;
    end archi;
end archi;

```

- a** Bộ đếm tiến 4 bit nạp đồng bộ, hoạt động tại sườn âm xung clock.
- b** Bộ đếm tiến 4 bit nạp không đồng bộ, hoạt động tại sườn âm xung clock.
- c** Bộ đếm tiến 4 bit nạp đồng bộ, hoạt động tại sườn dương xung clock.

d Bộ đếm tiến 4 bit nạp không đồng bộ, hoạt động tại sườn dương xung clock.

53/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity counter is
    port( Clk, ALOAD : in std_logic; -- Clock và tín hiệu nạp
          D : in std_logic_vector(3 downto 0); -- Đầu vào bộ đếm
          Q : out std_logic_vector(3 downto 0)); -- Đầu ra bộ đếm
end counter;

architecture archi of counter is
    signal tmp: std_logic_vector(3 downto 0);
begin
    process (Clk)
    begin
        if (ALOAD='1') then
            tmp <= D;
        elsif (Clk'event and Clk='0')
            then tmp <= tmp - 1;
        end if;
    end process;
    Q <= tmp;
end archi;
```

- a** Bộ đếm lùi 4 bit nạp không đồng bộ, hoạt động tại sườn âm xung clock.
- b** Bộ đếm lùi 4 bit nạp không đồng bộ, hoạt động tại sườn dương xung clock.
- c** Bộ đếm lùi 4 bit nạp đồng bộ, hoạt động tại sườn âm xung clock
- d** Bộ đếm lùi 4 bit nạp đồng bộ, hoạt động tại sườn dương xung clock.

54/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity counter is
    port( Clk, SLOAD : in std_logic;
          Q : out std_logic_vector(3 downto 0));
end counter;

architecture archi of counter is
    signal tmp: std_logic_vector(3 downto 0);
begin
    process (Clk)
    begin
        if (Clk'event and Clk='1') then
            if (SLOAD='1') then
                tmp <= "1001";
            else
                tmp <= tmp + 1;
            end if;
        end if;
    end process;
    Q <= tmp;
end archi;
```

- a** Bộ đếm tiến 4 bit nạp không đồng bộ hằng số '1001', hoạt động tại sườn dương xung clock
- b** Bộ đếm tiến 4 bit nạp đồng bộ hằng số '1001', hoạt động tại sườn âm xung clock
- c** Bộ đếm tiến 4 bit nạp đồng bộ hằng số '1001', hoạt động tại sườn dương xung clock

d Bộ đếm tiến 4 bit nạp không đồng bộ hằng số '1001', hoạt động tại sườn âm xung clock

55/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity counter is
    port( Clk, SLOAD : in std_logic;
          Q : out std_logic_vector(3 downto 0));
end counter;
architecture archi of counter is
    signal tmp: std_logic_vector(3 downto 0);
    begin
        process (Clk)
        begin
            if (Clk'event and Clk='0') then
                if (SLOAD='1') then
                    tmp <= "1001";
                else
                    tmp <= tmp + 1;
                end if;
            end if;
        end process;
        Q <= tmp;
    end archi;
```

a Bộ đếm tiến 4 bit nạp không đồng bộ hằng số '1001', hoạt động tại sườn âm xung clock

b Bộ đếm tiến 4 bit nạp không đồng bộ hằng số '1001', hoạt động tại sườn dương xung clock

c Bộ đếm tiến 4 bit nạp đồng bộ hằng số '1001', hoạt động tại sườn âm xung clock

d Bộ đếm tiến 4 bit nạp đồng bộ hằng số '1001', hoạt động tại sườn dương xung clock

56/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity counter is
    port( C, CLR, up_down : in std_logic; -- C - clock
          Q : out std_logic_vector(3 downto 0));
end counter;
architecture archi of counter is
    signal tmp: std_logic_vector(3 downto 0);
    begin
        process (C, CLR)
        begin
            if (CLR='1') then
                tmp <= "0000";
            elsif (C'event and C='1') then
                if (up_down='1') then
                    tmp <= tmp + 1;
                else tmp <= tmp - 1;
                end if;
            end if;
        end process;
        Q <= tmp;
    end archi;
```

a Bộ đếm thuận/ngược 4 bit có lỗi vào xóa không đồng bộ

b Bộ đếm thuận/ngược 4 bit có lỗi vào xóa đồng bộ, hoạt động tại sườn âm xung clock

c Bộ đếm thuận/ngược 4 bit có lỗi vào xóa đồng bộ, hoạt động tại sườn dương xung clock

d Bộ đếm thuận/ngược 4 bit có lỗi vào xóa đồng bộ

57/ Đoạn mô tả kiến trúc sau mô tả mô hình phần cứng nào?

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity counter is
    port( C, CLR, up_down : in std_logic; -- C - clock
          Q : out std_logic_vector(3 downto 0));
end counter;
architecture archi of counter is
    signal tmp: std_logic_vector(3 downto 0);
begin
    process (C)
    begin
        if (CLR='1') then
            tmp <= "0000";
        elsif (C'event and C='1') then
            if (up_down='1') then
                tmp <= tmp + 1;
            else tmp <= tmp - 1;
            end if;
        end if;
    end process;
    Q <= tmp;
end archi;
```

- a** Bộ đếm thuận/ngược 4 bit có lỗi vào xóa không đồng bộ
b Bộ đếm thuận/ngược 4 bit có lỗi vào xóa không đồng bộ, hoạt động tại sườn dương xung clock
c Bộ đếm thuận/ngược 4 bit có lỗi vào xóa đồng bộ.
d Bộ đếm thuận/ngược 4 bit có lỗi vào xóa đồng bộ, hoạt động tại sườn âm xung clock