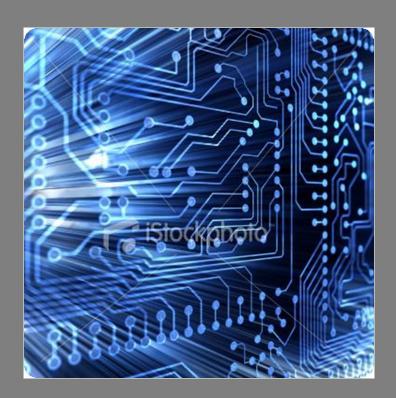
BAI TAP

THET KE HE THONG SO

Lê Hải Đăng - 20090710





Bài tập

ĐIỆN TỪ SỐ - THẾT KẾ VỆ THỐNG SỐ

Mã học phần: EE2130

Mã lớp: 21500

Sinh viên : Lê Hải Đăng

SHSV : 20090710 Lớp SV : Điện 5 – K54

Email: saucongtu@gmail.com

ĐT: 01652.038.028

Danh sách các bài tập

DANH SÁCH CÁC FILE MÔ PHỎNG	2
Chương 1	3
bài 1:	3
bài 2:	3
bài 3:	3
bài 4:	4
bài 5:	5
bài 6:	5
bài 7:	6
Chương 2	6
Chương 3	6
Chương 5	7
bài 1:	7
bài 2:	7
bài 3:	8
bài 4:	8
bài 5:	9
bài 6:	10

bài 7:	11
bài 8:	12
bài 9, 10, 11:	
Mạch cộng 8 bit	13
Mạch trừ 8 bit	
Mạch cộng trừ 8 bit	14
Mạch cộng 2 số BCD 8 bit	

DANH SÁCH CÁC FILE MÔ PHỎNG

STT	Bài	tên file
1.	bài tập chương 5	51 -> 511
2.	mạch giải mã 5/32 từ phẩn tử 74138 và các phần tử logic cần thiết	giaima5-32
3.	dùng phần tử giải mã 74139 để thực hiện hàm $Q = \sum (0,5,9,12,15)$	giaimaQ
4.	mạch cộng 2 số 8bit sử dụng 7483	cong8bit
5.	mạch trừ 2 số 8bit sử dụng 7483	tru8bit
6.	mạch cộng trừ 2 số 8bit (1-add / 0-sub)	congtru8bit
7.	mạch cộng 2 số BCD 8bit	congbcd8bit
8.	mạch ALU 2 số 8bit sử dụng 74181	alu8bit
9.	mô phỏng hoạt động của 74147	74147
10.	thanh ghi dịch 4bit, vào song song hoặc nối tiếp	thanhghi4bit
11.	mạch chia tần f/13	chiatan13
12.	mạch đếm lùi, đồng bộ, N _{min} = 3	demlui3
13.	mạch đếm không đồng bộ từ 3 đến 6	dem3-6
14.	mạch đếm từ 786 về 327, đếm 2 lần rồi dừng	dem786-327

Chương 1

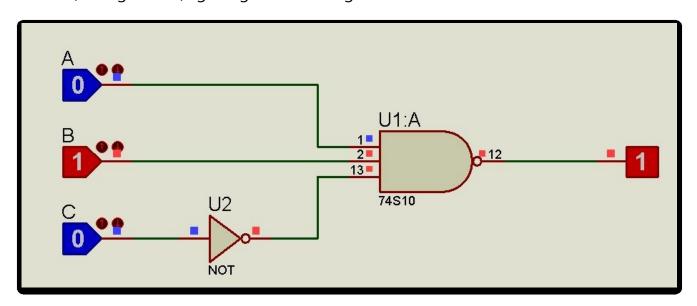
bài 1:

$$Q = \overline{(\overline{A} + C)(B + \overline{D})} = \overline{(\overline{A} + C)} + \overline{(B + \overline{D})} = A\overline{C} + \overline{B}D$$

bài 2:

$$Q = \overline{A} + \overline{B} + C = \overline{\overline{A} + \overline{B} + C} = \overline{AB\overline{C}}$$

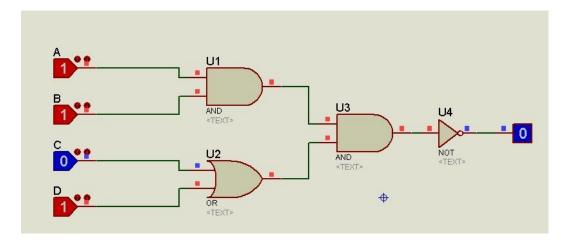
mạch logic sử dụng cổng NOT và cổng NAND



bài 3:

$$Q = \overline{AB(C+D)}$$

mạch logic sử dụng cổng AND, OR và NOT



bảng trạng thái:

Column 1	D 🔻	C 🔽	В	A	Q
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	1
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

bài 4:

a.
$$Y = \overline{\overline{A}B\overline{C}} = \overline{\overline{A}} + \overline{\overline{B}} + \overline{\overline{C}} = A + \overline{\overline{B}} + C$$

b.
$$Y = \overline{\overline{A} + \overline{BC}} = \overline{\overline{A} - \overline{BC}} = A(B + \overline{C}) = AB + A\overline{C}$$

c.
$$Y = \overline{AB\overline{CD}} = \overline{AB} + \overline{\overline{CD}} = \overline{A} + \overline{B} + CD$$

d.
$$Y = \overline{A(B+\overline{C})D} = \overline{A} + \overline{B} + \overline{C} + \overline{D} = \overline{A} + B + \overline{C} + \overline{D}$$

$$Y = \overline{(M + \overline{N})(\overline{M} + N)} = \overline{M}\overline{M} + \overline{M}\overline{N} + MN + \overline{N}\overline{N} = \overline{M}\overline{M} + \overline{M}\overline{N}$$
e.
$$= \overline{M}\overline{N}.\overline{\overline{M}}\overline{\overline{N}} = (\overline{M} + \overline{N})(M + N) = \overline{M}N + M\overline{N}$$

f.
$$Y = \overline{\overline{ABCD}} = \overline{\overline{ABC}} + \overline{D} = \overline{ABC} + \overline{D} = (\overline{A} + \overline{B})C + \overline{D}$$

bài 5:

$$Q = \overline{ABC} + A\overline{BC} + AB\overline{C} + ABC$$

$$= (\overline{ABC} + ABC) + (\overline{ABC} + ABC) + (AB\overline{C} + ABC)$$
a.
$$= BC + AC + AB$$

$$Y = (A + B + C)(\overline{A} + B + C)(A + \overline{B} + C)(A + B + \overline{C})$$

$$= [(A + B + C).(\overline{A} + B + C)].[(A + B + C).(A + \overline{B} + C)].$$
b. $.[(A + B + C).(A + B + \overline{C})]$

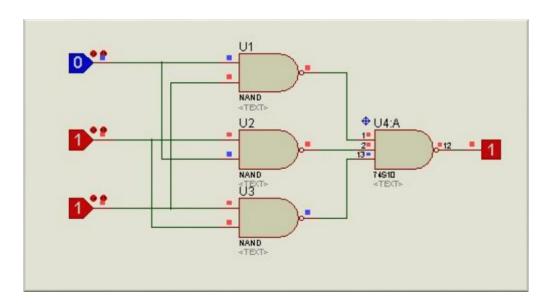
$$= (B + C)(A + C)(A + B)$$

c.
$$P = \overline{ABC} + \overline{(B+C)}A = (\overline{A} + \overline{B})C + \overline{BC}A = \overline{AC} + \overline{BC} + \overline{ABC}$$

bài 6:

vẽ hàm logic của bài 5Q chỉ sử dụng cổng NAND

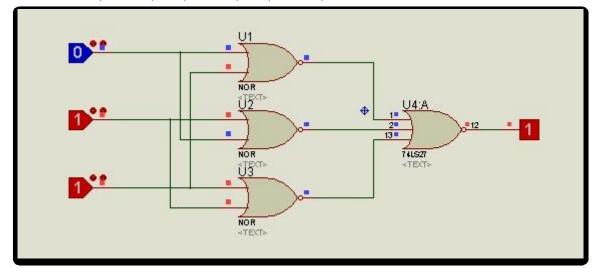
$$P = BA + AC + BC = \overline{BA + AC + BC} = \overline{BA.\overline{AC.BC}}$$



bài 7:

vẽ mạch logic của bài 5Y chỉ sử dụng phần tử NOR

$$Y = (A+B)(B+C)(C+A) = \overline{(A+B)(B+C)(C+A)}$$
$$= \overline{(A+B)} + \overline{(B+C)} + \overline{(C+A)}$$



Chương 2

Chương 3

Bìa Cacno như sau

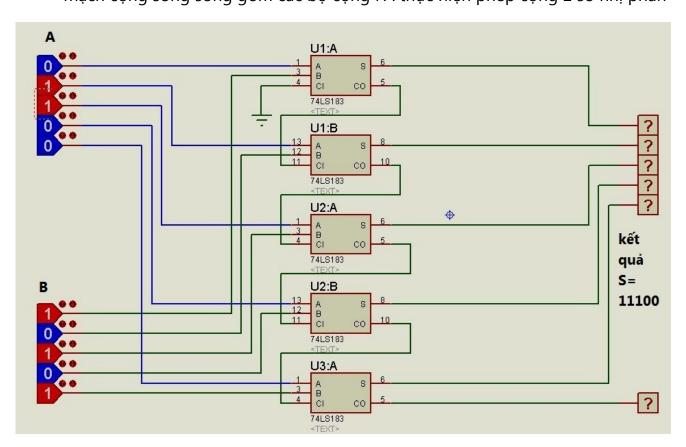
	000	001	011	010	110	111	101	100
00	1	X					1	1
01	1	1	1		Χ		1	1
11	X		Х		1		1	Х
10	1	1	1		1		1	1

sử dụng phương pháp tuyển chuẩn:

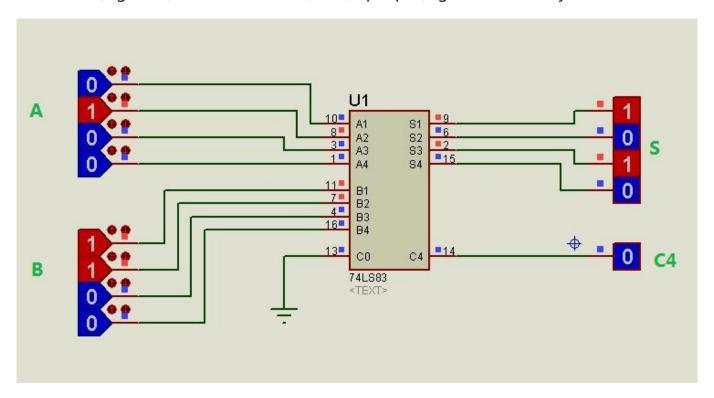
$$Q = C\overline{B} + E\overline{D} + \overline{E}\overline{C}\overline{B} + \overline{E}D\overline{C}A + ECB\overline{A}$$

Chương 5

bài 1:mạch cộng song gồm các bộ cộng FA thực hiện phép cộng 2 số nhị phân



bởi 2: sử dụng vi mạch 74LS83A để thực hiện phép cộng đối với các dãy bit



với các dãy bit đầu vào xác định, ta thu được các dãy bit đầu ra như trong bảng:

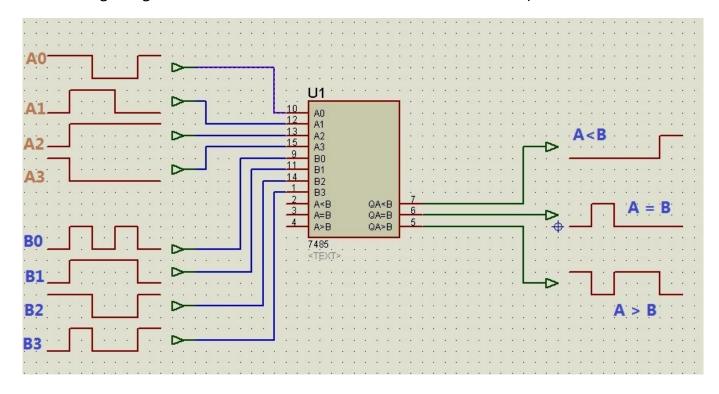
i	Ai	B _i	S _i	C_4
1	10010110	11111000	01101110	
2	11101000	11001100	10110100	10101010
3	00001010	10101010	01101000	10101010
4	10111010	00100100	00010100	

bài 3:

sử dụng vi mạch 7585 với các dãy bit trên lối vào

 $A_0: 11001$ $A_1: 01100$ $A_2: 01111$ $A_3: 11110$ $B_0: 01010$ $B_1: 01110$ $B_2: 11001$ $B_3: 01001$

dạng xung của các lối ra A > B; A = B; A < B được thể hiện qua hình

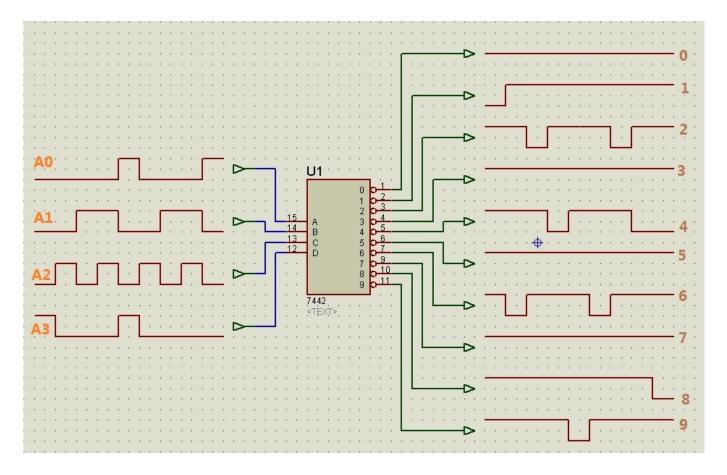


bài 4:

trên các lối vào của vi mạch giải mã BCD/DEC 7442A có các dãy bit sau.

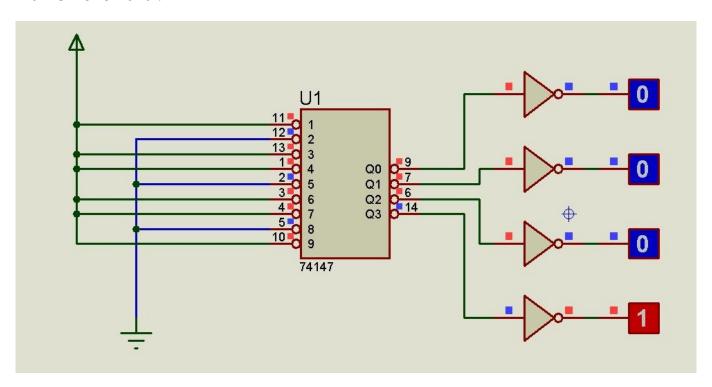
 $A_0: 000010001$ $A_1: 001100110$ $A_2: 010101010$ $A_3: 100010000$

đồ thị thời gian xung trên các lối ra của 7442 thể hiện qua hình :

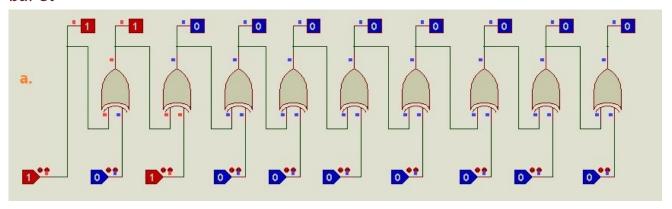


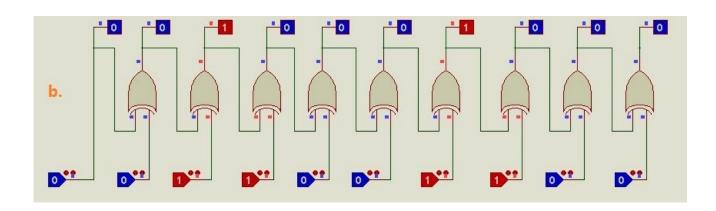
bài 5:

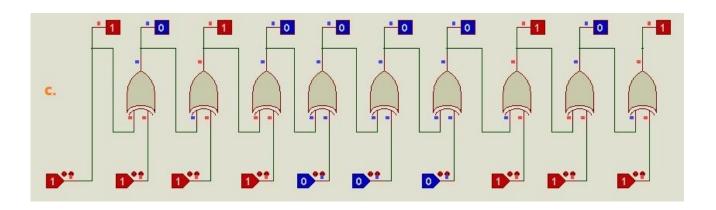
Vi mạch Encoder 74147 có mức L ở các chân 2, 5 và 12. Các lối vào còn lại ở mức H. Mã BCD ở lối ra là :

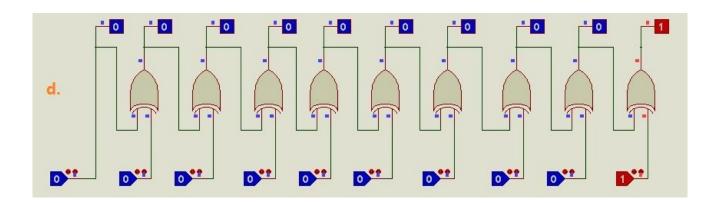


bài 6:





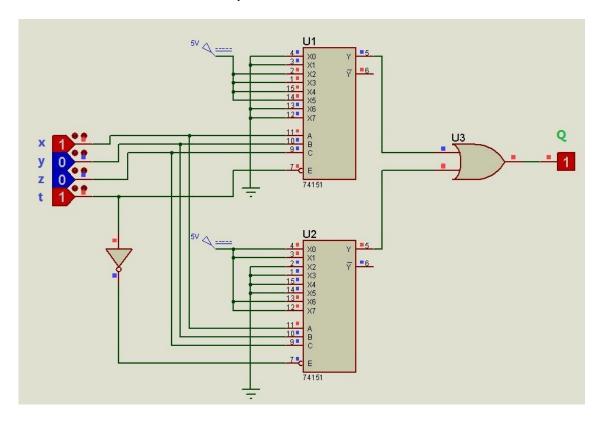




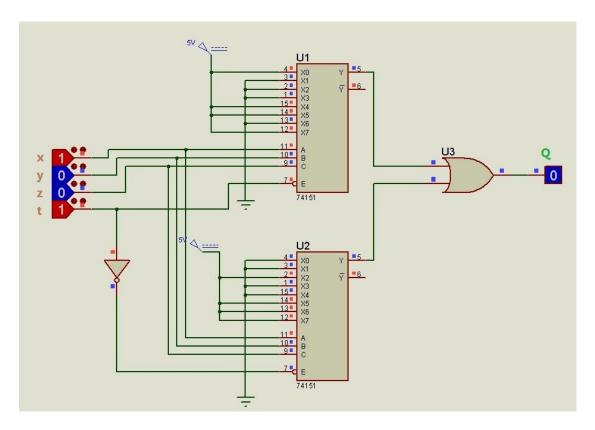
bài 7:

thực hiện các hàm logic bằng vi mạch MUX-8

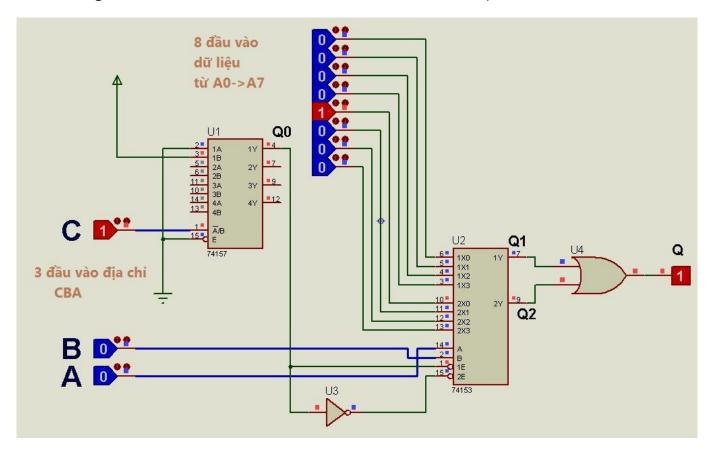
$$F_1 = \sum_{xyzt} (2,3,4,5,8,9,14,15)$$



$$F_2 = \sum_{xyzt} (0, 4, 5, 7, 10, 13, 14, 15)$$



bài 8:dùng 2 vi mạch MUX 4 và 1 vi mạch MUX 2 để thành lập một mạch MUX 8



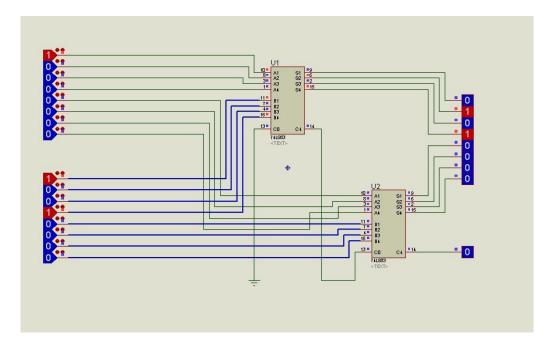
bảng trạng thái:

С	В	A	\mathbf{Q}_{0}	Q_1	\mathbf{Q}_2	Q
0	0	0	0	1X0	0	1X0
0	0	1	0	1X1	0	1X1
0	1	0	0	1X2	0	1X2
0	1	1	0	1X3	0	1X3
1	0	0	1	0	2X0	2X0
1	0	1	1	0	2X1	2X1
1	1	0	1	0	2X2	2X2
1	1	1	1	0	2X3	2X3

bài 9, 10, 11:<mô phỏng>

Mạch cộng 8 bit

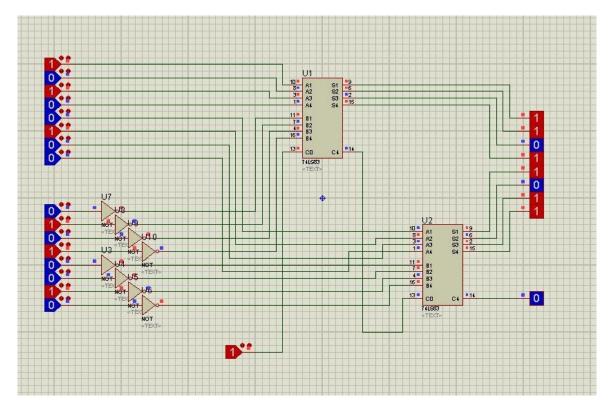
Mạch cộng 8bit được xây dựng sử dụng 2 vi mạch 74LS83 nối tầng. Cổng Cout của vi mạch thứ nhất được nối với cổng Cin của vi mạch thứ hai. Mạch được lắp như sau:



File mô phỏng: cong8bit.dsn

Mach trở 8 bit

Nối tầng 2 vi mạch 74LS83, hình minh họa như sau :



Sử dụng công thức $A-B=A+\overline{B}+1$, từ mạch cộng 8bit, ta cho dữ liệu vào của B qua phần tử đảo, đồng thời nối đầu Cin của vi mạch 74LS83 đầu tiên với Vcc, ta thu được mạch trừ 8bit.

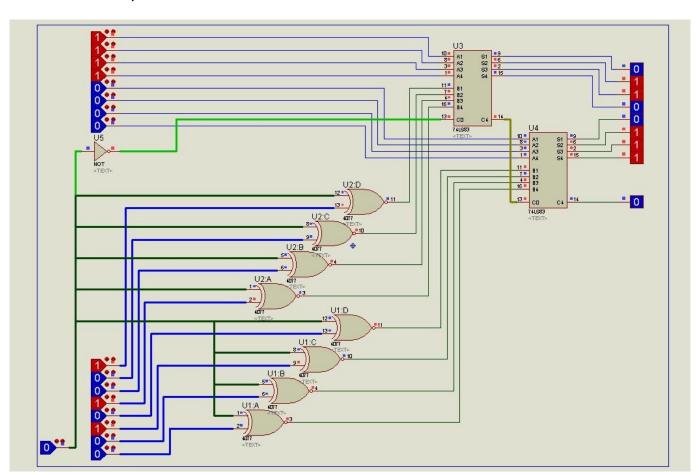
File mô phỏng: tru8bit.dsn

Mach công trừ 8 bit

Mạch cộng trừ 8bit được phát triển tương tự như mạch cộng 8bit, cũng sử dụng 2 vi mạch 74LS83. Mỗi đầu vào dữ liệu của toán tử B được nối qua phần tử OR, đầu vào Cin của vi mạch đầu tiên được nối với phần tử đảo, để đảm bảo :

- Khi công tắc ở vị trí 1 (mạch cộng) thì các giá trị đầu vào B giữ nguyên, Cin = 0
- Khi công tắc ở vị trí 0 (mạch trừ) thì các đầu vào B được đảo lại, Cin = 1

Hình minh hoa

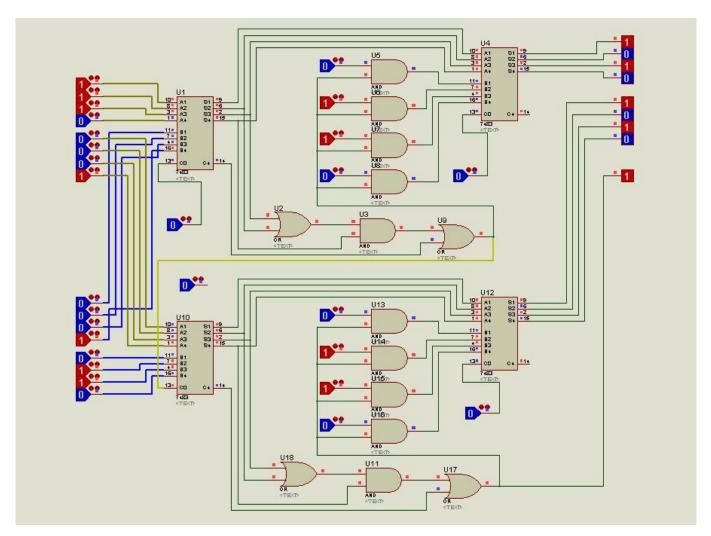


File mô phỏng : congtru8bit.dsn

Mạch công 2 số BCD 8 bit

Phát triển tương tự như mạnh cộng 2 số 8 bit thông thường. Tuy nhiên, theo tính chất của số BCD, đối với những phép cộng nào có kết quả hàng đơn vị > 10, ta cần thêm vào phần bù, tức là cộng thêm 6, trước khi đưa ra kết quả. Việc này được thực hiện bằng 1 tổ hợp các phần tử **AND** và **OR.**

Hình minh họa:



File mô phỏng: congBCD8bit.dsn