

# Thiết kế hệ thống số

---

## LATCHES AND FLIP-FLOPS

### Mạch chốt và mạch lật Flip-Flop



# Nội dung

## ④ 11.1 Giới thiệu

## ④ 11.2 Set-Reset Latch

## ④ 11.3 Gated D Latch

## ④ 11.4 Edge-Triggered D Flip-Flop

## ④ 11.5 S-R Flip-Flop

## ④ 11.6 J-K Flip-Flop

## ④ 11.7 T Flip-Flop

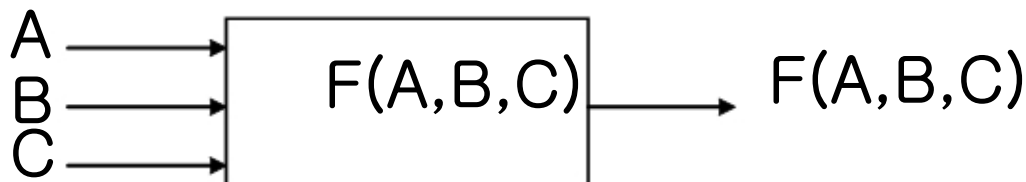
## ④ 11.8 Flip-Flops with Additional Inputs

## ④ 11.9 Summary

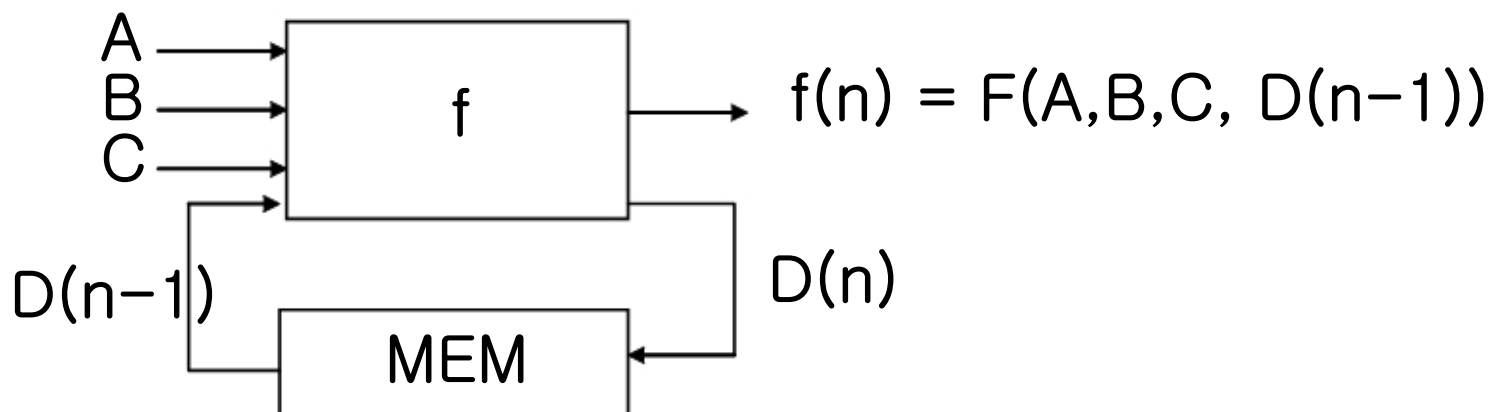


# Giới Thiệu

## ④ Mạch tổ hợp (không có nhớ)



## ④ Mạch tuần tự (có nhớ)



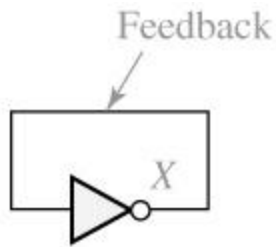
---

# MẠCH CHỐT RS

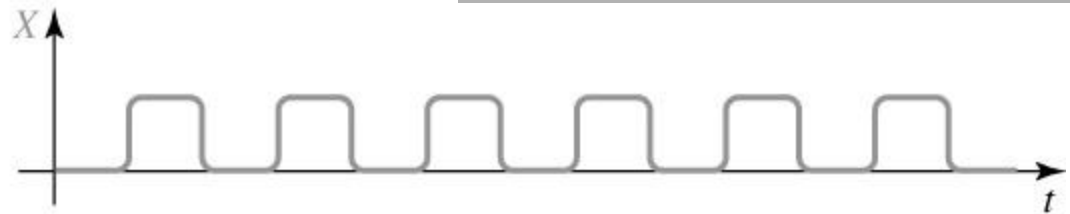
## 11.1 Giới thiệu

Để xây dựng một mạch chuyển mạch có nhớ, phải cấp phản hồi cho mạch

Fig 11-1.



(a) Inverter with feedback

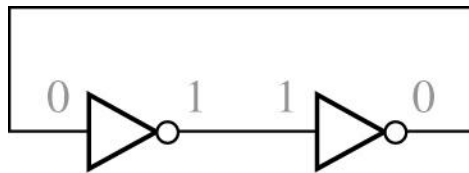


(b) Oscillation at inverter output

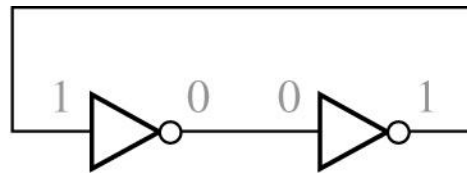
→ Trạng thái không ổn định

Fig 11-2.

→ Trạng thái ổn định



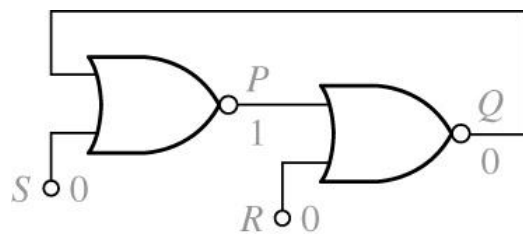
(a)



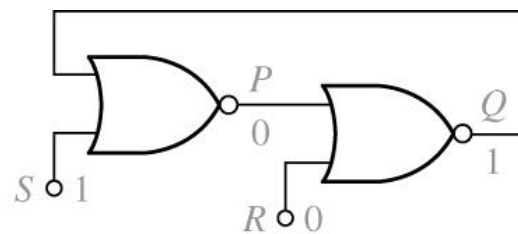
(b)

## 11.2 Mạch chốt Set-Reset

Fig 11-3.  $S=R=0$  ( $Q=0$ )  $\rightarrow$   $S=1$ ,  $R=0$



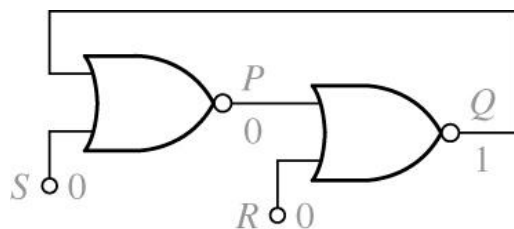
(a) (ổn định,  $Q=0$ )



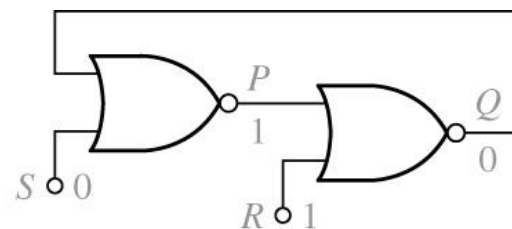
(b)

$S: 0 \rightarrow 1$   
 $Q: 0 \rightarrow 1$   
(set)

Fig 11-4.  $S=R=0$  ( $Q=1$ )  $\rightarrow$   $S=0$ ,  $R=1$



(a) (ổn định,  $Q=1$ )



(b)

$R: 0 \rightarrow 1$   
 $Q: 1 \rightarrow 0$   
(Reset)

## 11.2 Mạch chốt Set-Reset (Latch)

Fig 11-5. Chốt S-R Latch(cấu trúc liên kết chéo)

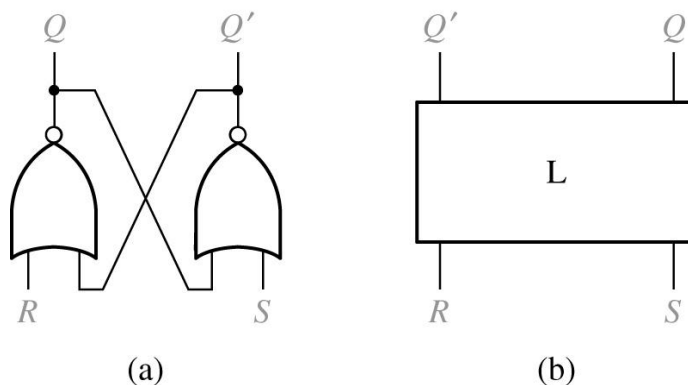
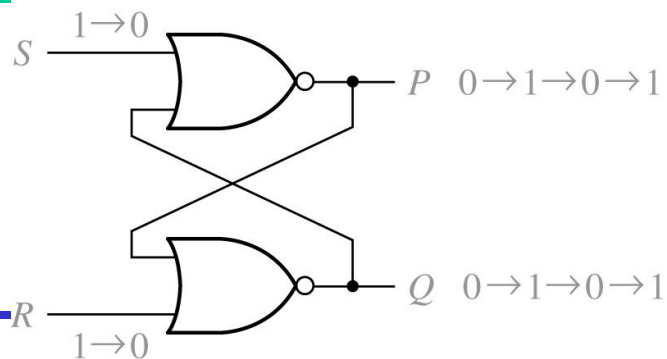


Fig 11-6. Hoạt động ko đúng của mạch RS ( $S=R=1$ ; bị cấm: Không ổn định  $\Rightarrow$  không cho phép!!)



## 11.2 Mạch chốt Set-Reset

Fig 11-7. Giải đồ thời gian cho mạch chốt S-R

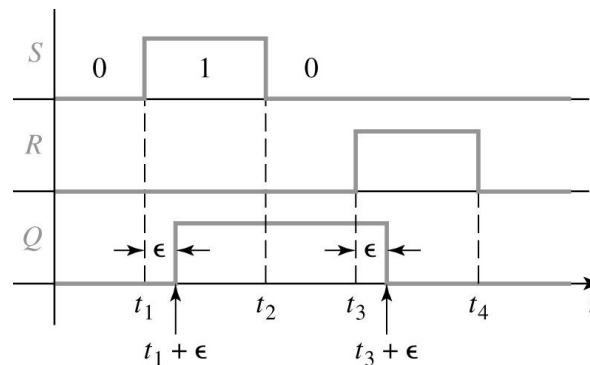


Table 11-1. Hoạt động mạch chốt S-R Latch

S(t)	R(t)	Q(t)	Q(t-E)	
0	0	0	0	unchanged
0	0	1	1	
0	1	0	0	Reset to 0
0	1	1	0	
1	0	0	1	Set to 1
1	0	1	1	
1	1	0	-	Inputs not allowed
1	1	1	-	



## 11.2 Mạch chốt Set-Reset Latch

Fig 11-8. Bản đồ cho  $Q(t+\epsilon)$

$R(t) \backslash Q(t)$		$S(t)$	
		00	01
00	0	1	
01	1	1	
11	0	X	
10	0	X	

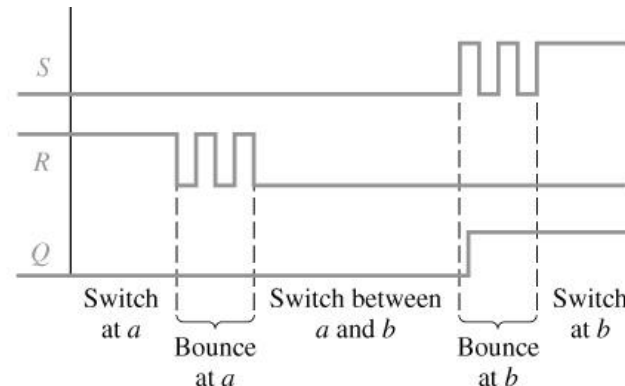
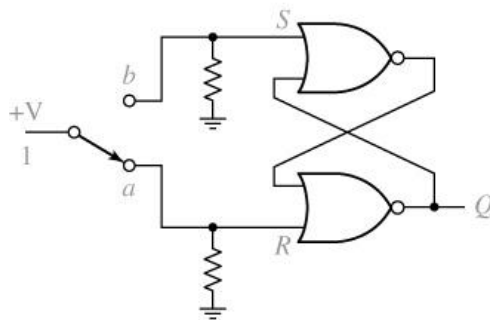
$$Q(t+\epsilon) = S(t) + R'(t)Q(t)$$

$$Q_+ = S + R'Q$$

Under  $SR=0$   
( $S=1, R=1$  not allowed)

$$Q^+ = S + R'Q \quad (SR=0)$$

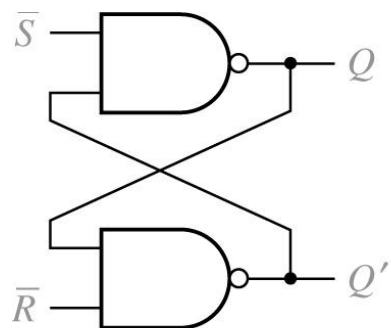
Fig 11-9. Mạch chống rung với một mạch S-R Latch



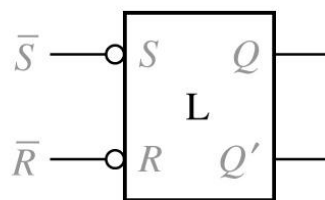
Chú ý : chỉ áp dụng cho khóa SW kiểu tiếp điểm kép (double throw) chuyển qua lại giữa 2 tiếp điểm.

## 11.2 Mạch chốt Set-Reset

Fig 11-10. Mạch **SR Latch (dùng NAND)**



(a)



(b)

$S'(t)$	$R'(t)$	$Q(t)$	$Q'(t)$
1	1	0	0
1	1	1	1
1	0	0	0
1	0	1	0
0	1	0	1
0	1	1	1
0	0	0	-
0	0	1	-

unchanged  
Reset to 0  
Set to 1  
Inputs not allowed

(c)

Đầu vào tích cực thấp cho S & R

---

**D-T-JK**

## 11.3 Mạch chốt D (D-Latch)

Figure 11-11. Mạch chốt D-Latch

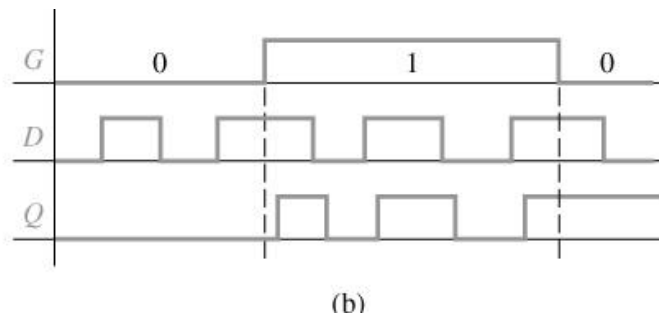
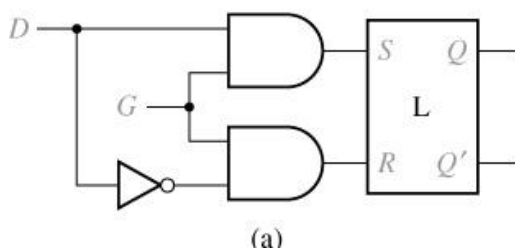


Figure 11-12. Kí hiệu và bảng chân lí của chốt D

$G$	$D$	$Q$	$Q^+$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Không đổi  
 $Q^+ = Q$

$Q^+ = D$

$Q \backslash GD$	00	01	11	10
0	0	0	1	0
1	1	1	1	0

$$Q^+ = G'Q + GD$$

## 11.4 D Flip-Flop kích theo sườn

{ Positive (Rising edge) trigger  
 Negative (Falling edge) trigger  
 ↗ to align with clock edges

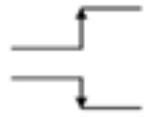
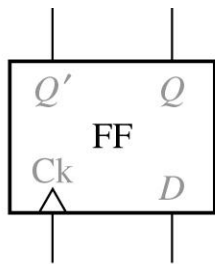
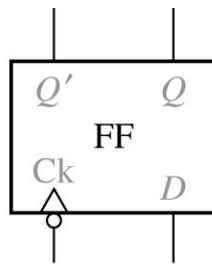


Figure 11-13. D Flip-Flops



(a) Rising-edge trigger



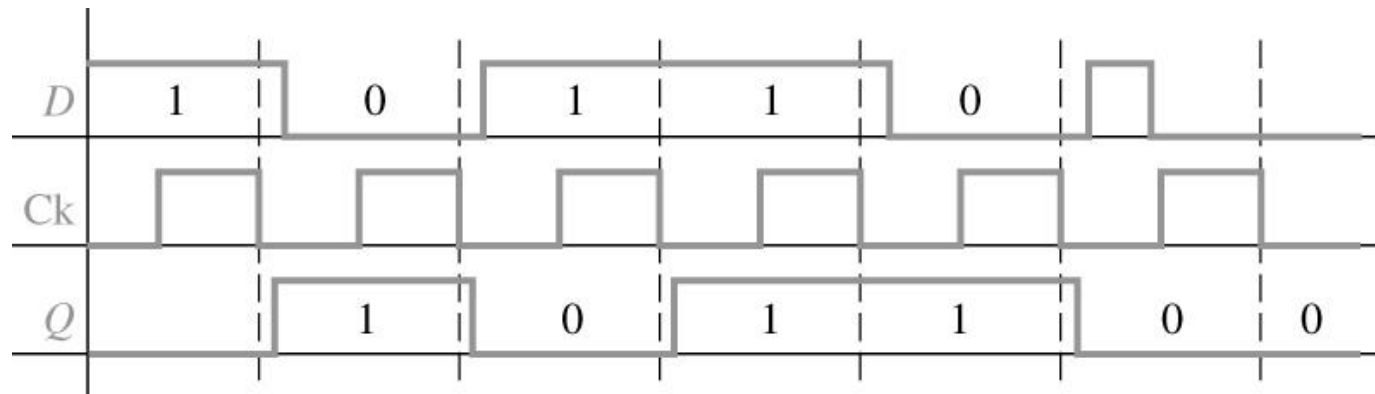
(b) Falling-edge trigger

$D$	$Q$	$Q^+$
0	0	0
0	1	0
1	0	1
1	1	1

$$Q^+ = D$$

(c) Truth table

Figure 11-14. Giải đồ thời gian cho D Flip-Flop (kích theo sườn xuống)



## 11.4 D Flip-Flop kích theo sườn

Figure 11–15. D Flip-Flop (theo sườn lên)

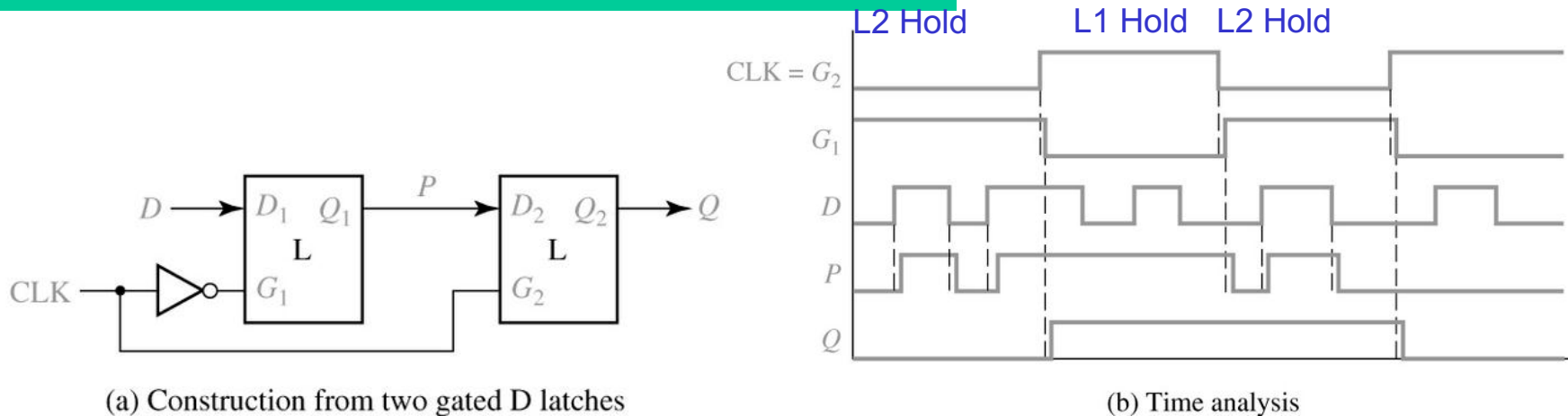
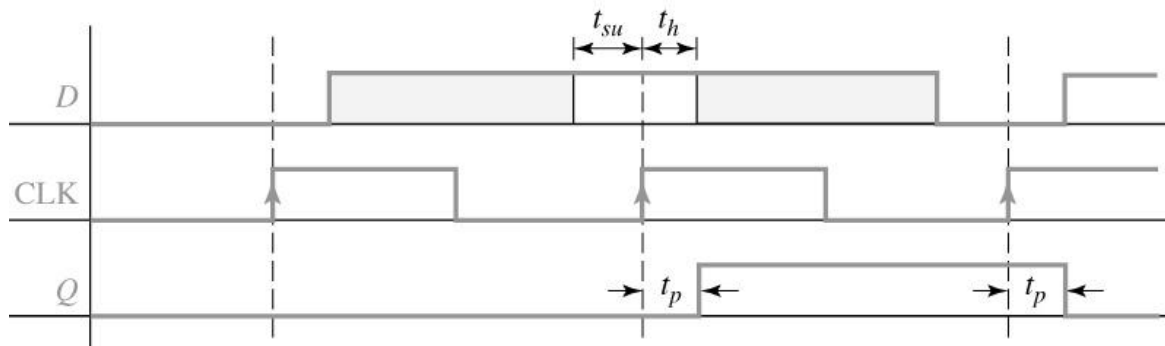


Figure 11–16. Thời gian thiết lập và giữ cho D Flip-Flop kích theo sườn



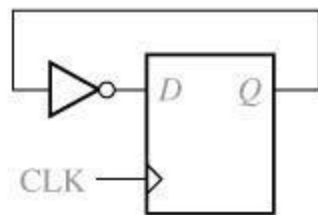
$t_{su}$  : thời gian thiết lập

$t_h$  : thời gian giữ

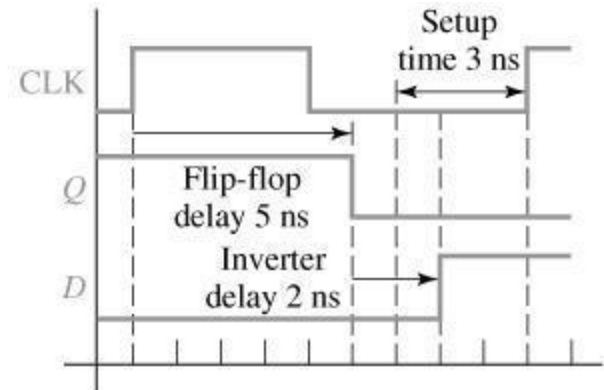
$t_p$  : trễ truyền

## 11.4 D Flip-Flop kích theo sườn

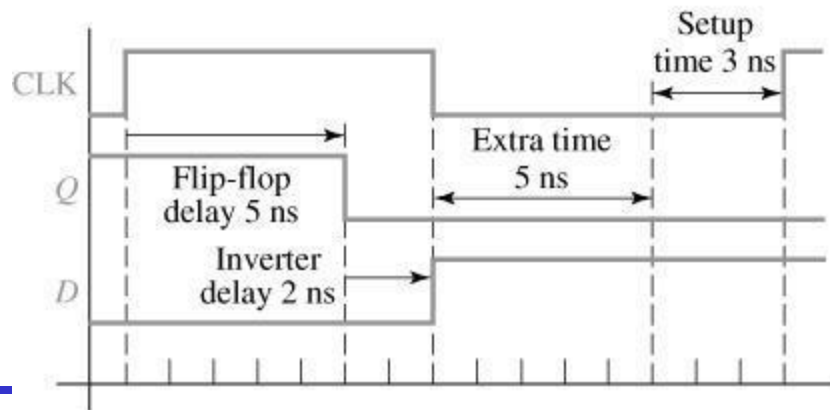
Hình 11-17. Xác định chu kỳ clock tối thiểu



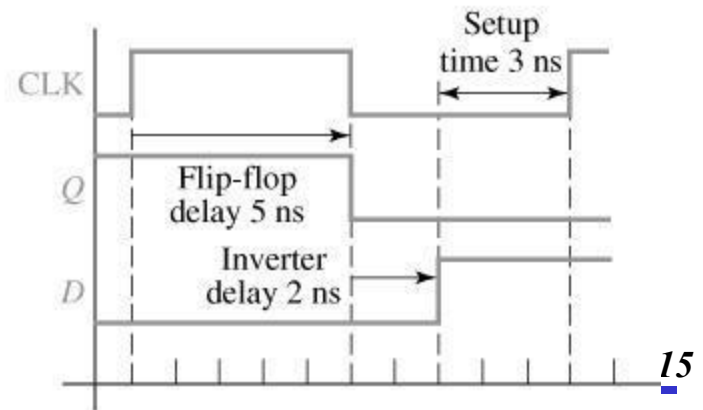
(a) Simple flip-flop circuit



(b) Setup time not satisfied



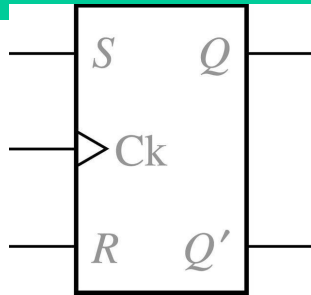
(c) Setup time satisfied



(d) Minimum clock period

## 11.5 S-R Flip-Flop

**Hình 11-18. S-R Flip-Flop**



### Q thay đổi tại các sườn xung clock

Tóm tắt hoạt động:

$S=R=$

Giữ nguyên trạng thái

$S=1, R=0$

Đặt  $Q = 1$  (sau sườn CK tích cực)

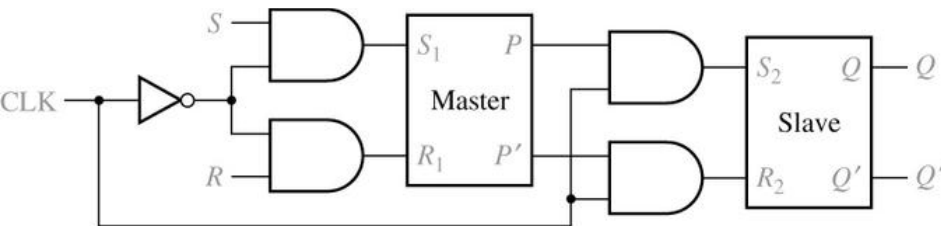
$S=0, R=1$

Reset  $Q = 0$  (sau sườn CK tích cực)

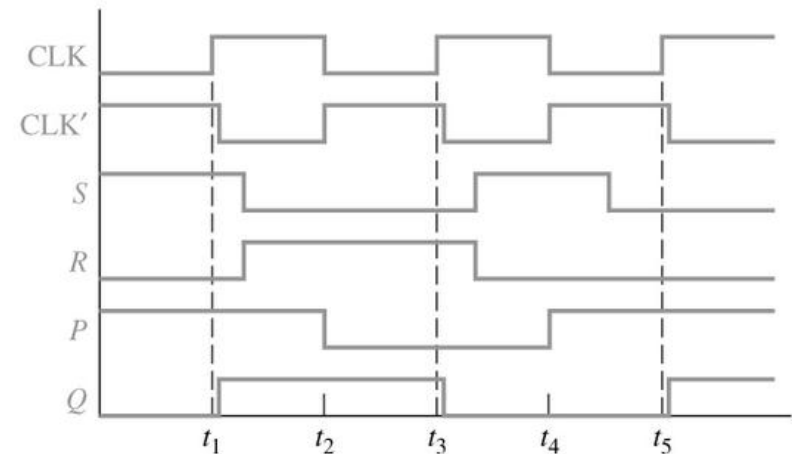
$S=R=1$

Cấm

**Hình 11-19. Thời gian và thực hiện S-R flip-flop**



(a) Implementation with two latches



(b) Timing analysis

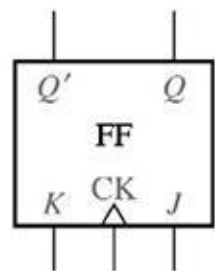
$SR \rightarrow P \rightarrow Q$   
Half clock cycle





# J-K Flip-Flop (mở rộng của SR F/F)

$J = S$  (nhảy đến 1)  
 $K = R$  (xóa về 0)



(a) J-K flip-flop

J	K	Q	Q <sub>+</sub>
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

$$Q_+ = JQ' + K'Q$$

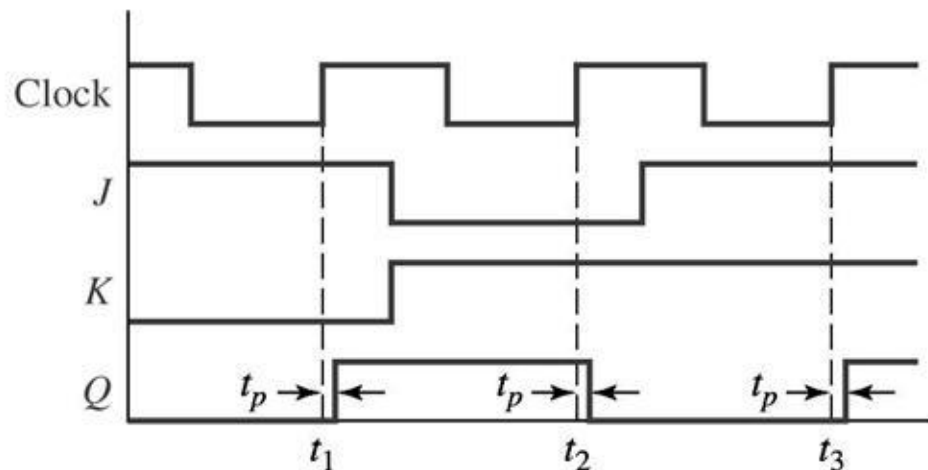
không đổi

xóa về 0

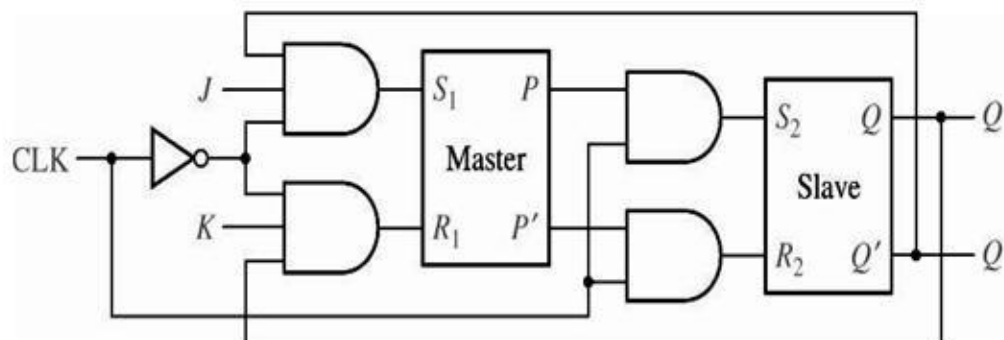
nhảy đến 1

lật ngược trạng thái

$J = K = 1$ , lật ngược trạng thái

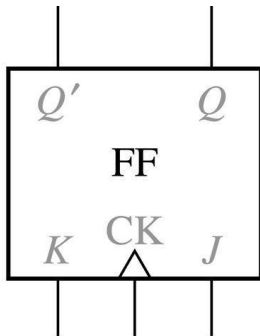


(c) J-K flip-flop timing



## 11.6 J-K Flip-Flop

**hình 11-20. J-K Flip-Flop (Q thay đổi theo sườn lên)**

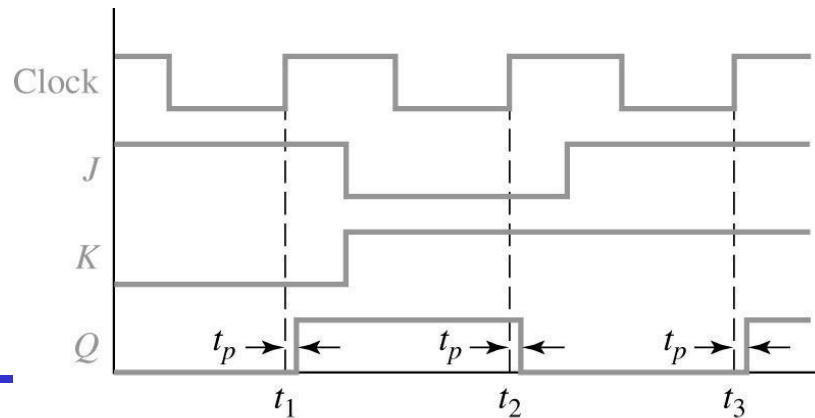


(a) J-K flip-flop

0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

$$Q^+ = JQ' + K'Q$$

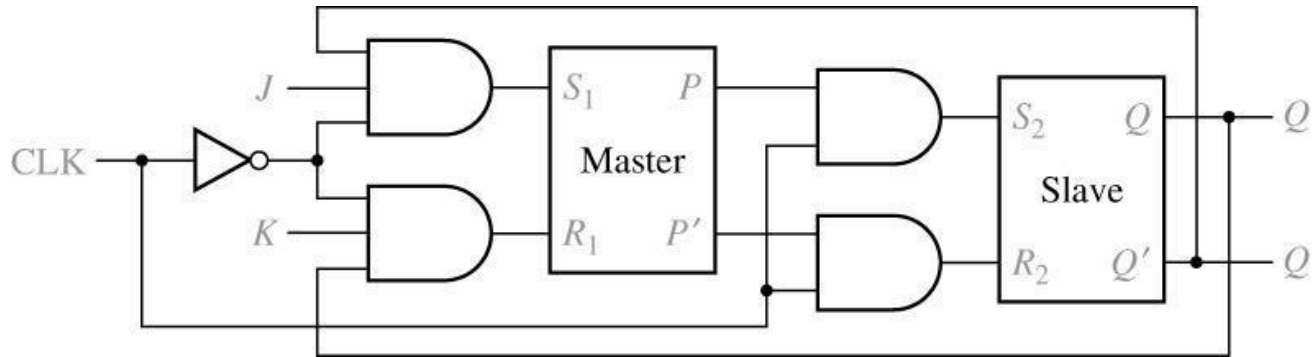
(b) Bảng sự thật và phương trình đặc tính



(c) J-K flip-flop timing

## 11.6 J-K Flip-Flop

**hình 11-21. mạch J-K Flip-Flop chủ khách (Q thay đổi theo sườn lên)**



**CLK = 1 thì chạy mạch chủ**  
**CLK = 0 thì chạy mạch khách**



## T Flip-Flop (T là Toggle-đảo trạng thái)

$$T = 1, Q^+ = \bar{Q}$$

$$T = 0, Q^+ = Q$$

$T = 1$ , Toggle

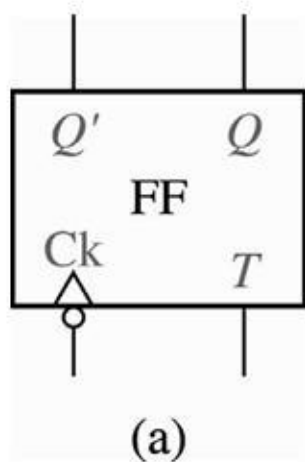
$T = 0$ , Unchange

T	Q	Q <sup>+</sup>
0	0	0
0	1	1
1	0	1
1	1	0

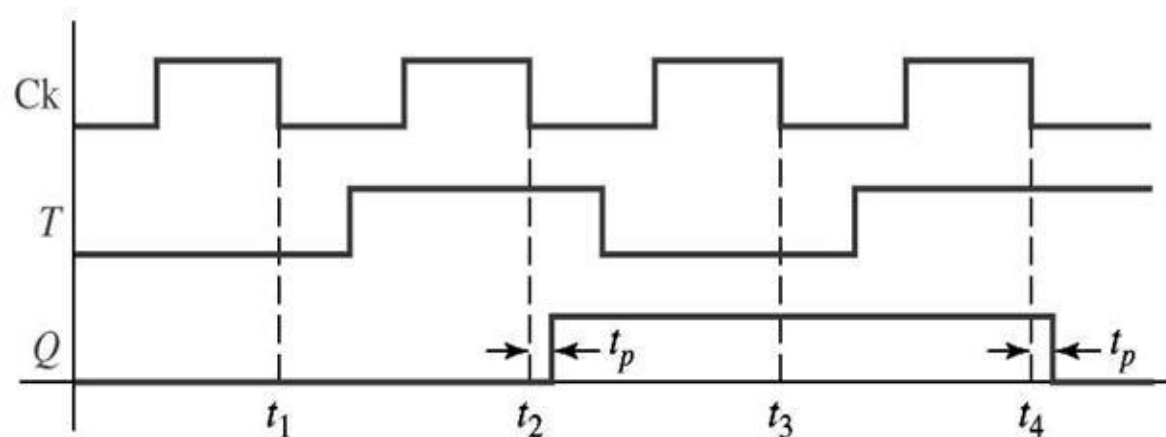
$$Q^+ = T'Q + TQ' = T \oplus Q$$

Không đổi

Đảo trạng thái

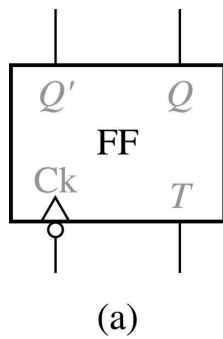


(a)

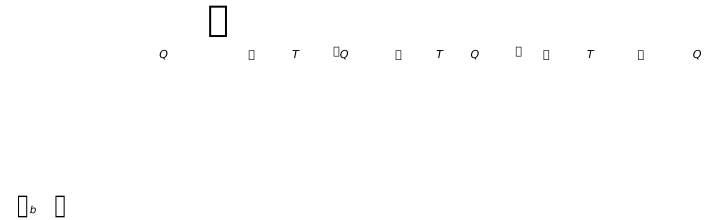


## 11.7 T Flip-Flop

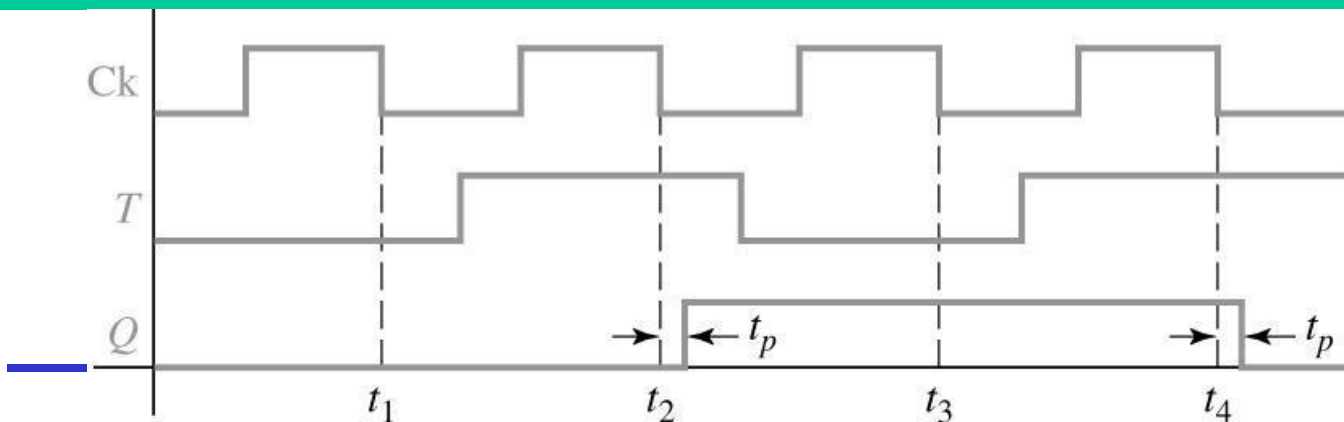
**Hình 11-22. T Flip-Flop**



T	Q	Q'
0	0	0
0	1	1
1	0	1
1	1	0



**Hình 11-23. Biểu đồ dạng sóng T Flip-Flop (theo sườn xuống )**

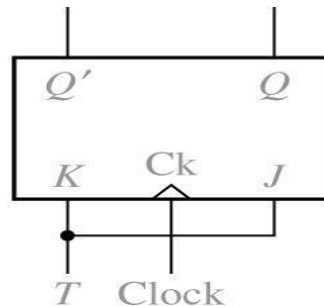


## 11.7 T Flip-Flop

Hình 11-24. Thực hiện của T Flip-Flop

(A) JK F/F Based:  
(  $J = K = T$  )

$$Q^+ = J\bar{Q} + \bar{K}Q = T\bar{Q} + \bar{T}Q$$

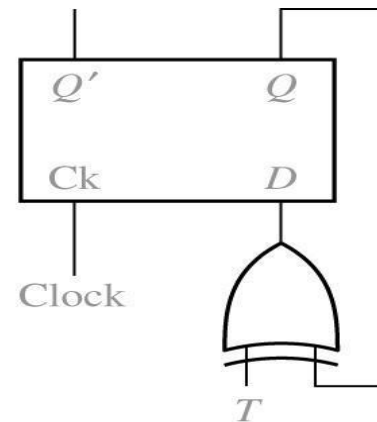


(a) Conversion of J-K to  $T$

(B) D F/F Based

$$D \text{ input} = Q \oplus T$$

$$\Rightarrow Q^+ = Q \oplus T = TQ' + T'Q$$

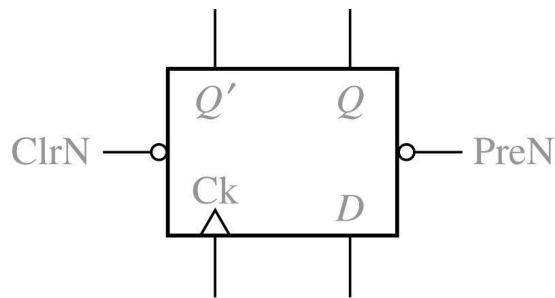


(b) Conversion of  $D$  to  $T$

$$Q^+ = JQ' + K'Q = TQ' + T'Q$$

## 11.8 Flip-Flops có thêm các chân đầu vào bổ sung

### H.11-25. D Flip-Flop có chân xóa và thiết lập

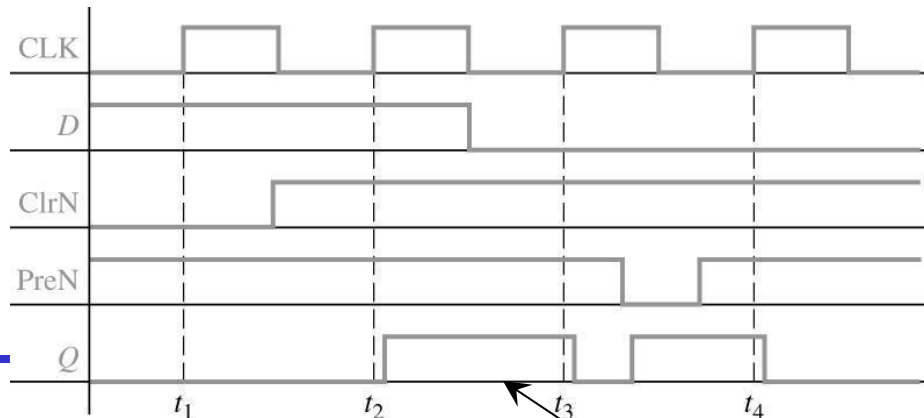


(a)

Ck	D	PreN	ClrN	Q+
x	x	0	0	(not allowed)
x	x	0	1	1
x	x	1	0	0
↑	1	1	1	0
↑	1	1	1	1
0,1↓	x	1	1	Q (no change)

□ □

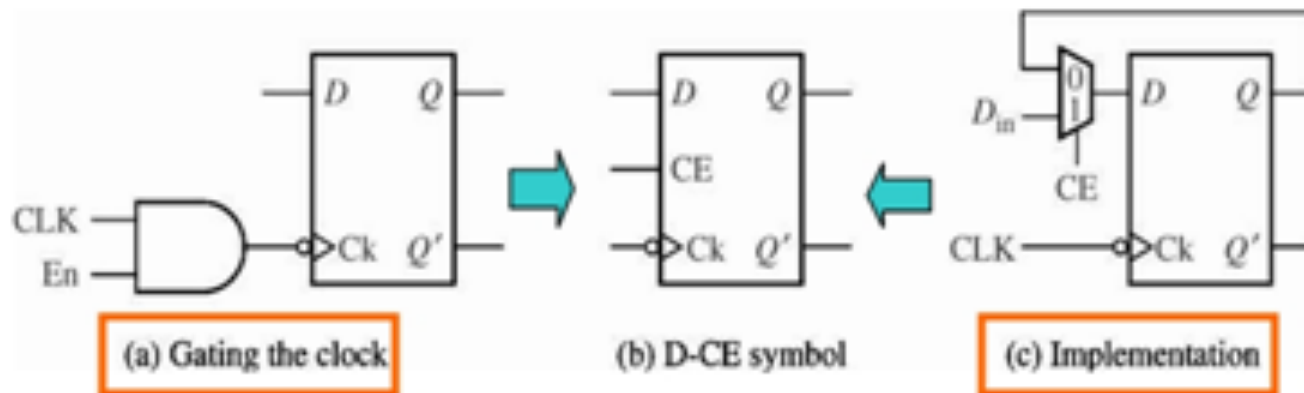
### Hình 11-26. Biểu đồ sóng D Flip-Flop có chân xóa và thiết lập không đồng bộ



Giữ toàn chu kỳ

## 11.8 Flip-Flops có thêm các chân đầu vào bổ sung

Hình 11-27. D Flip-Flop có thêm chân cho phép Clock



Phương trình đặc tính(c) :

$$Q^+ = Q \cdot CE' + D \cdot CE$$

Đầu ra MUX :

$$Q^+ = D = Q \cdot CE' + D_{in} \cdot CE$$



## Tóm tắt

---

$$Q^+ = S + R'Q \quad (SR = 0)$$

(Chốt hoặc flip-flop S-R)

$$Q^+ = GD + G'Q$$

(Mạch chốt D)

$$Q^+ = D$$

(D flip-flop)

$$Q^+ = D \cdot CE + Q \cdot CE'$$

(D-CE flip-flop)

$$Q^+ = JQ' + K'Q$$

(J-K flip-flop)

$$Q^+ = T \oplus Q = T'Q + TQ'$$

(T flip-flop)