



南京理工大学

NANJING UNIVERSITY OF SCIENCE & TECHNOLOGY

第 6 章

总线与I/O

系统组织

主讲：张功萱

©第1版 2023.08 张功萱

本章学习内容

- 总线的组成与结构
- PCI总线
- 现代计算机系统总线
- I/O系统组织
- 程序控制方式
- DMA方式
- I/O通道方式

总线的组成与结构

第6.1节

1. 总线的种类都有哪些?
2. 总线的组成结构是什么?
3. 总线有哪些性能指标?

6.1.1 总线的特点与分类

- 总线作为计算机传送信息的通道，是连接各功能部件的纽带。
- 在**现代计算机系统中**，无论是在集成电路芯片内部还是在功能模块之间，无论是在主机和外设之间还是在主机与主机系统之间，都要**通过各种总线实现互联**。
- **1. 总线的特点**
- 使用总线实现部件互连的优点：
 - **(1)** 可减少各个部件之间的连线数量，降低成本。
 - **(2)** 便于系统构建、系统性能扩充和产品更新换代。

2. 总线的分类

- 计算机系统中通常包含许多不同种类的总线，它们在不同层次上为计算机组件之间提供通信通路。
- 根据总线所处的角度不同有多种分类方法。

- **1) 按总线所承担的任务**

- 内部总线：用于实现主机系统内部各功能模块（部件）之间的互联。
- 外部总线：用于实现主机系统与外部设备或其它主机系统之间的互联。
- 外部总线中专门用于主机系统与外设之间互联的总线称为设备总线。现实中许多设备总线常被叫做某某接口，例如**SCSI**接口、**USB**接口等等，其实它们实质上是实现一个外部总线的功能。

● 2) 按总线所处的物理位置

- 片内总线：实现芯片内部功能部件之间的连接。
- 功能模块（板）内总线：实现电路板上各个集成电路芯片之间的互连，
- 功能模块（板）间总线：用于把各个功能模块（如**CPU**、主存储器、**I/O**接口适配器等等）连接到一起，构成主机系统，所以也称为系统总线。
- 外部总线

- **3) 按总线所传送的信息类型**
 - 地址总线
 - 数据总线
 - 控制总线
- **4) 按总线一次传送数据的位数**
 - 串行总线
 - 并行总线
- **5) 按总线操作的定时方式**
 - 同步总线
 - 异步总线

6.1.2 总线的标准与性能

- **1. 总线的标准规范**

- **(1) 逻辑规范**

- 引脚信号的功能描述。包括信号的含义、信号的传送方向（发送、接收或双向）、有效信号所采用的电平极性（高电平/低电平，正脉冲/负脉冲）及是否具有三态能力等。

- **(2) 时序规范**

- 描述各信号有效/无效的发生时间以及不同信号之间相互配合的时间关系。例如当地址信号有效后，至少需要多长时间的延迟才能使读/写信号有效。

- **(3) 电器规范**

- 总线上各个信号所采用的电平标准（例如**1.5V**电平、**±3V**电平等）和负载能力。
- 负载能力定义了总线理论上最多可以连接模块的数量。

- **(4) 机械规范**

- 定义总线包括插槽/插头或插板的结构、形状、大小方面的物理尺寸、接插件机械强度；总线信号的布局、引脚信号的长度、宽度以及间距等。

● (5) 通信协议

- 定义数据通过总线传输时采用的连接方法、数据格式、发送速度等方面的规定。
- 串行总线必须规定通讯协议规范。通讯协议通常需要分为若干层次。

制定总线标准/规范两种途径

- (1) 由具有权威性的标准化组织（如国际标准化组织ISO、电气电子工程师协会IEEE、美国国家标准协会ANSI等）制定并推荐使用。
- (2) 由某个或某几个在业界具有影响力的设备制造商提出，然后又被业内其他厂家认可并广泛使用。即所谓事实标准。
- 事实标准有可能作为没有经过正式、严格定义的标准在业内使用；也有可能经过一段时间的使用后，被厂商提交给有关组织讨论而最终被确定为正式标准。

2. 总线的性能

- (1) 总线带宽

- 单位时间内总线所能传输的最大数据量，也称总线传输率，一般用兆字节/秒 (MB/s) 来表示。
- 总线带宽 = 总线时钟频率 \times (总线宽度/8)
- 总线宽度指数据总线的宽度 (位)

- (2) 总线宽度

- 数据总线宽度
- 地址总线宽度

- **(3) 总线的时钟频率**

- 也称总线工作频率

- 对于同步总线来说，由于采用统一的时钟脉冲作为定时基准，因此总线的时钟频率越高，总线上的操作就越快。在数据总线宽度相同的情况下，较高的总线时钟频率，会带来较大的数据吞吐量。

- **(4) 总线的负载能力**

- 总线上可以连接模块的最大数目。

举例:

- (1) 某总线在一个总线周期中并行传送**4**个字节的数据，假设一个总线周期等于一个总线时钟周期，总线时钟频率为**33MHz**，总线带宽是多少？
- (2) 如果一个总线周期中并行传送**64**位数据，总线时钟频率升为**66MHz**，总线带宽是多少？

解：（1）设总线带宽用 D_r 表示，总线时钟周期用 $T=1/f$ 表示，一个总线周期传送的数据量用 D 表示，根据定义可得：

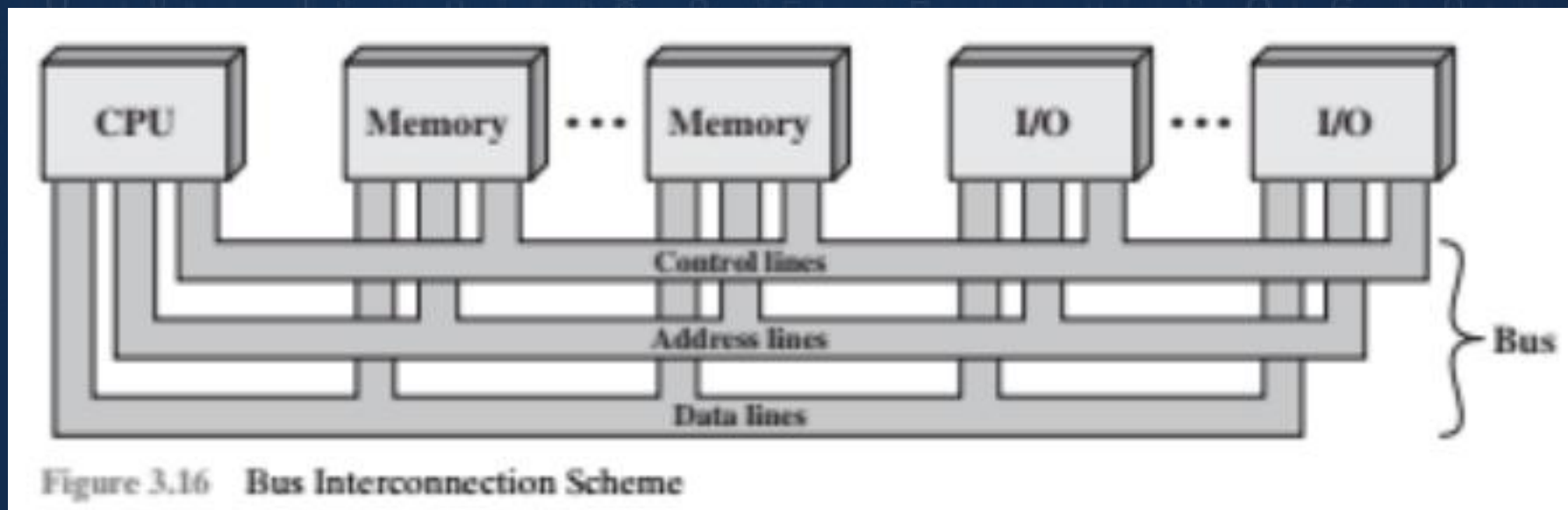
$$\begin{aligned} D_r &= D/T = D \times (1/T) \\ &= D \times f = 4B \times 33 \times 10^6/s = 132MB/s \end{aligned}$$

（2）64位=8B

$$D_r = D \times f = 8B \times 66 \times 10^6/s = 528MB/s$$

6.1.3 总线的组成与结构

- 1. 总线的组成
- 总线构成的两部分：
 - (1) 连接各个功能模块的信号线
 - (2) 管理总线的总线控制器
- 总线互联机制



1) 数据总线

- 特点：
- ① 双向传输。
- ② 数据线的数目一般与计算机字长相同（当然也可以不同）；
- ③ 采用具有三态能力的电路。

2) 地址总线

- 特点：
 - ① 单向传输；
 - ② 地址线的数目决定寻址能力的大小。
- 地址总线不仅用于传送内存地址，计算机系统对**I/O**端口的寻址，也通过地址总线完成。

3) 控制总线

- 控制总线用于传送控制信号，控制系统完成规定的操作功能。
- 特点：
 - ① 单向传输；
 - ② 控制线的类型和数目取决于总线类型。

典型的控制信号线

控制信号线	控制信号作用
存储器写信号	使数据总线上的数据写到指定的存储单元。
存储器读信号	从指定的存储单元读出的数据放到数据总线上。
I/O写信号	使数据总线上的数据输出到指定的I/O接口数据寄存器。
I/O读信号	将从指定的I/O接口数据寄存器输入的数据放到数据总线上。
传输应答信号（ACK）	指示数据已被接收或已经放到数据总线上
总线请求信号	指示一个功能模块需要获得总线的控制权
总线授予信号	指示请求总线的功能模块已经获得了总线控制权
中断请求信号	指示正在请求一个中断。
中断应答信号	指示先前请求的中断已经被响应。
时钟信号	用于使使用总线的各个功能模块上的操作实现时间上的同步。
复位信号 ²¹	使总线上的各个功能模块初始化（复位）。

总线的使用规则

- (1) 发送数据时:
 - ① 获得总线;
 - ② 通过总线传送数据。
- (2) 接收数据时:
 - ① 获得总线;
 - ② 通过向控制总线和地址总线传送适当的 控制和地址信号, 向其它功能模块发送传送数据的请求, 然后等待其它功能模块发送数据。

4) 总线控制器

- 总线控制器负责控制和分配总线的使用。
- 总线控制器的功能：
 - ① 总线系统的资源分配与管理
 - 负责向使用总线的功能模块分配中断向量号、**DMA**通道号及**I/O**端口地址。
 - ② 提供总线定时信号脉冲
 - ③ 负责总线使用权的仲裁
 - ④ 负责实现不同总线协议转换和不同总线间传输数据缓冲

5) 总线上的设备分类

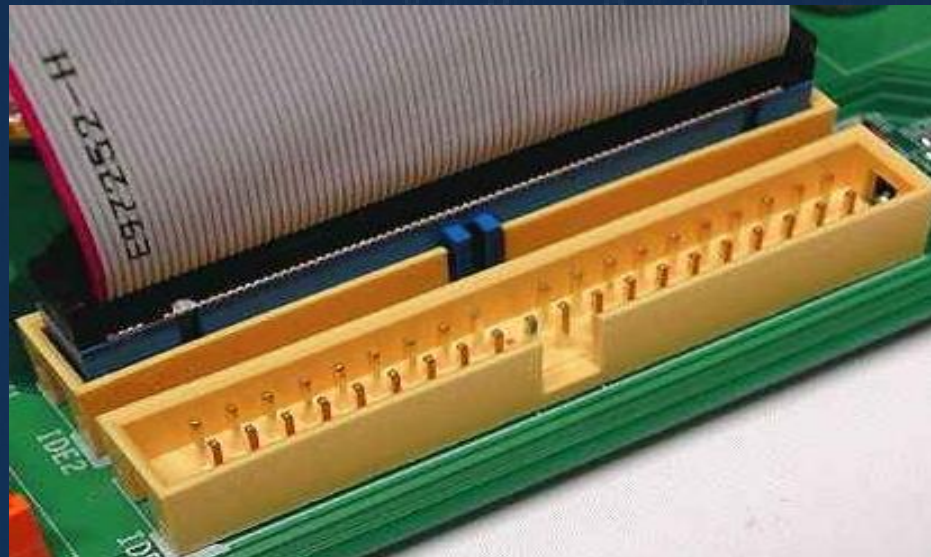
- 按逻辑功能分

- **总线主设备**：总线操作的发起者，负责全面的总线控制。
- **总线从设备**：总线操作的对象。

- 按在信息交换中的地位分

- **总线源设备**：发送数据的设备。
- **总线目的设备**：接受数据的设备。
- **注意**：源设备**不一定**就是主设备，目的设备也**不一定**就是从设备。

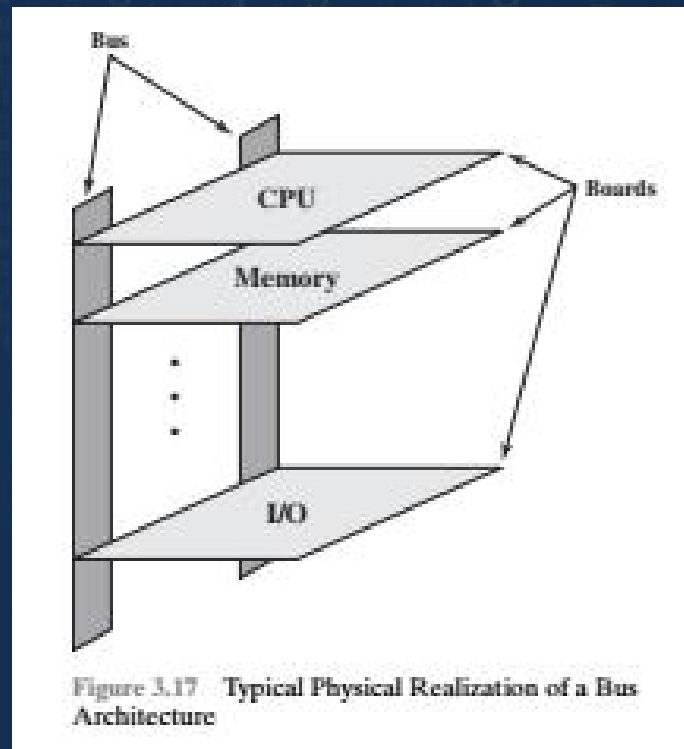
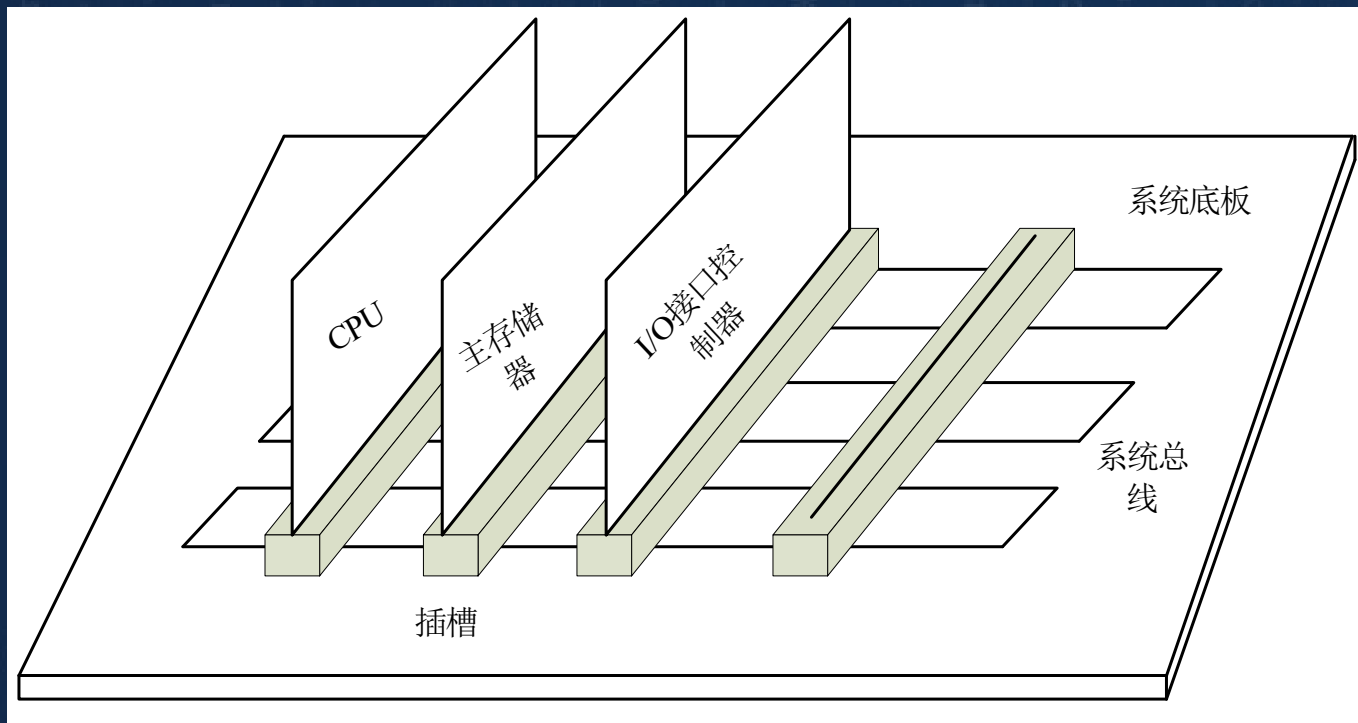
- 总线上有些设备在某一时段是主设备，而另一时段又可能变成从设备。



IDE接口，并行接口。也叫ATA接口或PATA。数据传输率主要有66MB/s、100MB/s和133MB/s

2. 总线的结构

- 在物理上，总线实际上由一系列并行的电子导体构成。



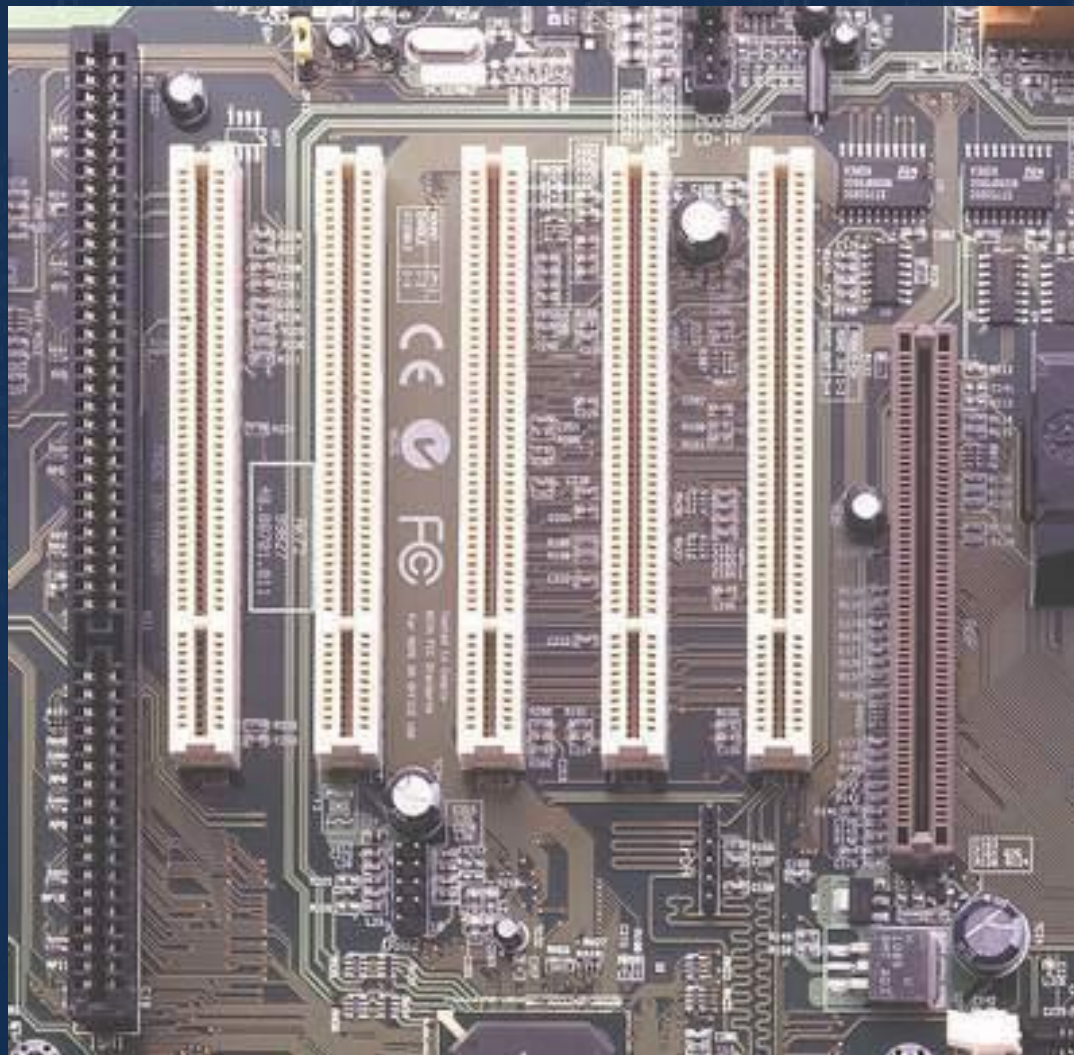
- 总线向系统中的所有组件提供服务，每个系统组件与总线上的全部或部分信号线相连接。

● 总线扩展槽

- 在总线上设置内有总线信号接触点的插槽，这些插槽上可以以垂直方式插接印刷电路板（计算机的功能模块）。
- 目前许多计算机系统的主机内部，都采用通过总线扩展槽来连接计算机系统的主要组件。

主板上的总线扩展槽

- 左侧最长的插槽为**ISA**插槽（黑色）
- 中间白色的为**PCI**插槽
- 右边棕色的插槽为**AGP**插槽



现代计算机系统的发展趋势

- 将原来采用电路板实现的组件，改由集成电路来实现，即将原组件电路板上的所有元件集成到一块（或几块）集成电路芯片中。
- 例如，在**CPU**芯片中，由安置在芯片内部的总线来连接处理机和高速缓冲存储器（**Cache**）等功能部件，而安置在印刷电路板上的总线则用于连接处理机、主存和系统的其它组件。
- 采用这种方法，可以非常方便地构造和扩充计算机系统。

6.1.4 总线的设计与实现

• 1. 总线设计的要素

信号线类型： 专用信号线 复用信号线	总线宽度： 地址线宽度 数据线宽度
总线仲裁的方法： 集中仲裁 分布仲裁	数据传输类型： 读 写 读—修改—写 写后读 块传输（连续数据传输）
总线定时方法： 同步 异步	

1) 信号线类型

- ① 专用信号线
 - 在总线中该信号线始终被指派实现一个规定功能或指派专门用于某一类特定的计算机系统组件。
- ② 复用信号线
 - 在一根信号线上定义多种意义的信号或者用于多个（多类）总线设备。

信号线的分时复用

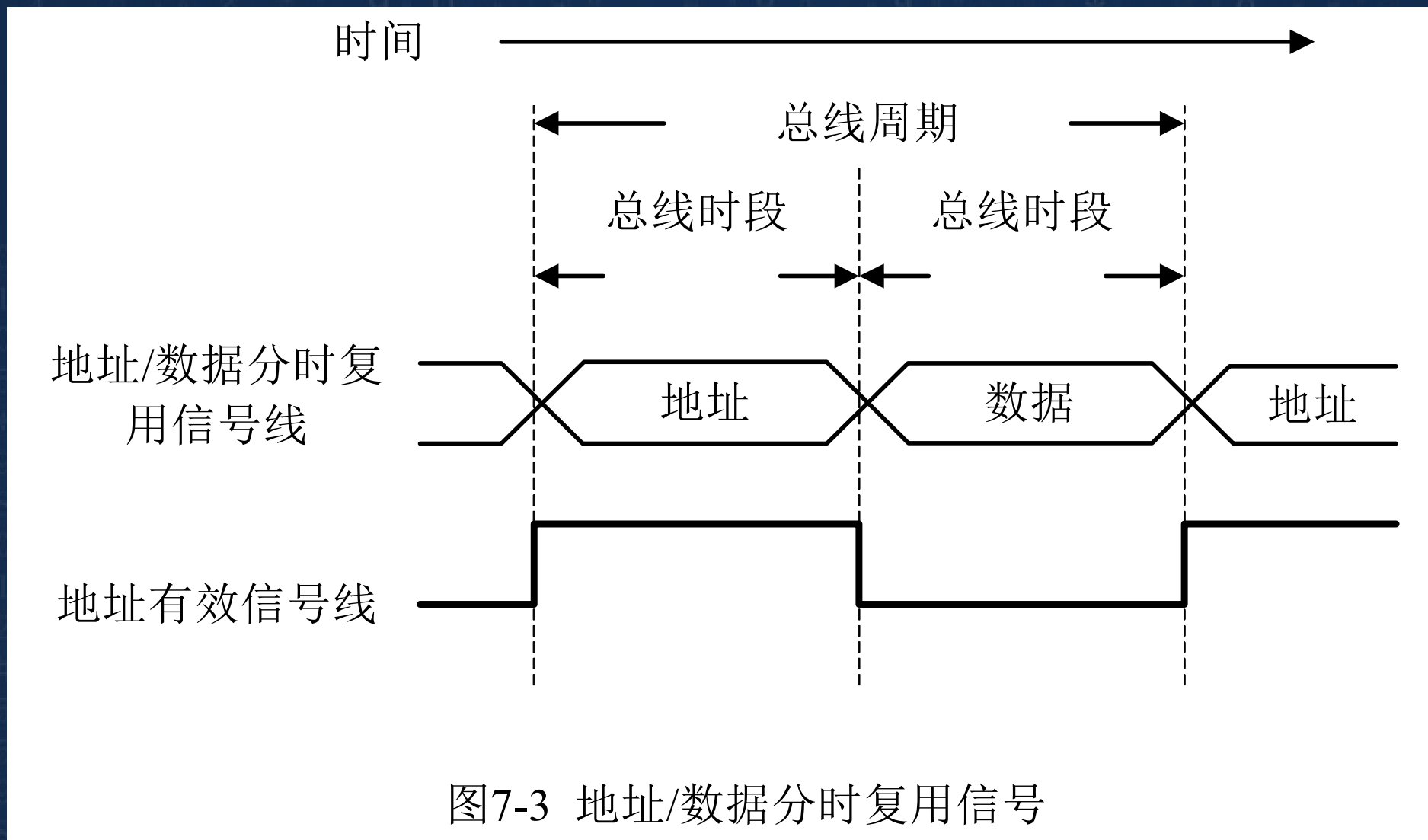


图7-3 地址/数据分时复用信号

2) 总线仲裁的方法

- 总线仲裁

- 根据连接到总线上的各功能模块所承担任务的轻重缓急，预先或动态地赋予它们不同的使用总线的优先级，当有多个模块同时请求使用总线时，总线仲裁电路选出当前优先级最高的那个，赋予总线控制权。
- 也就是确定哪一个总线设备作为当前的总线主控设备。

总线仲裁方法的分类

- 集中仲裁
- 分布仲裁
- 并行仲裁
- 串行仲裁
- 固定优先级
- 动态优先级

- **集中仲裁**

- 在系统中设置一个仲裁电路集中处理连接到总线上的各个设备所提出的使用总线的请求信号，集中对它们的优先级进行比较，由此确定总线的主控设备。

- **分布仲裁**

- 系统中每一个总线设备中都有较为复杂的总线访问请求控制逻辑，优先级比较电路也是分布在各个总线设备中，由各个已连接到总线上的并且目前有总线请求的设备共同来决定下面应该由哪个设备成为总线的主控设备。

- 集中仲裁机制的**优点**
- 系统模块化程度高，设备一方电路设计较为简单。
- 集中仲裁机制的**缺点**
- 系统可靠性不太高，一旦仲裁电路发生故障，总线就不能使用了。
- 分布仲裁的特点与集中仲裁的特点正好相反。

- 并行仲裁

- 连接到总线上的每个设备与总线仲裁电路之间都有独立的总线请求线和总线允许信号线。

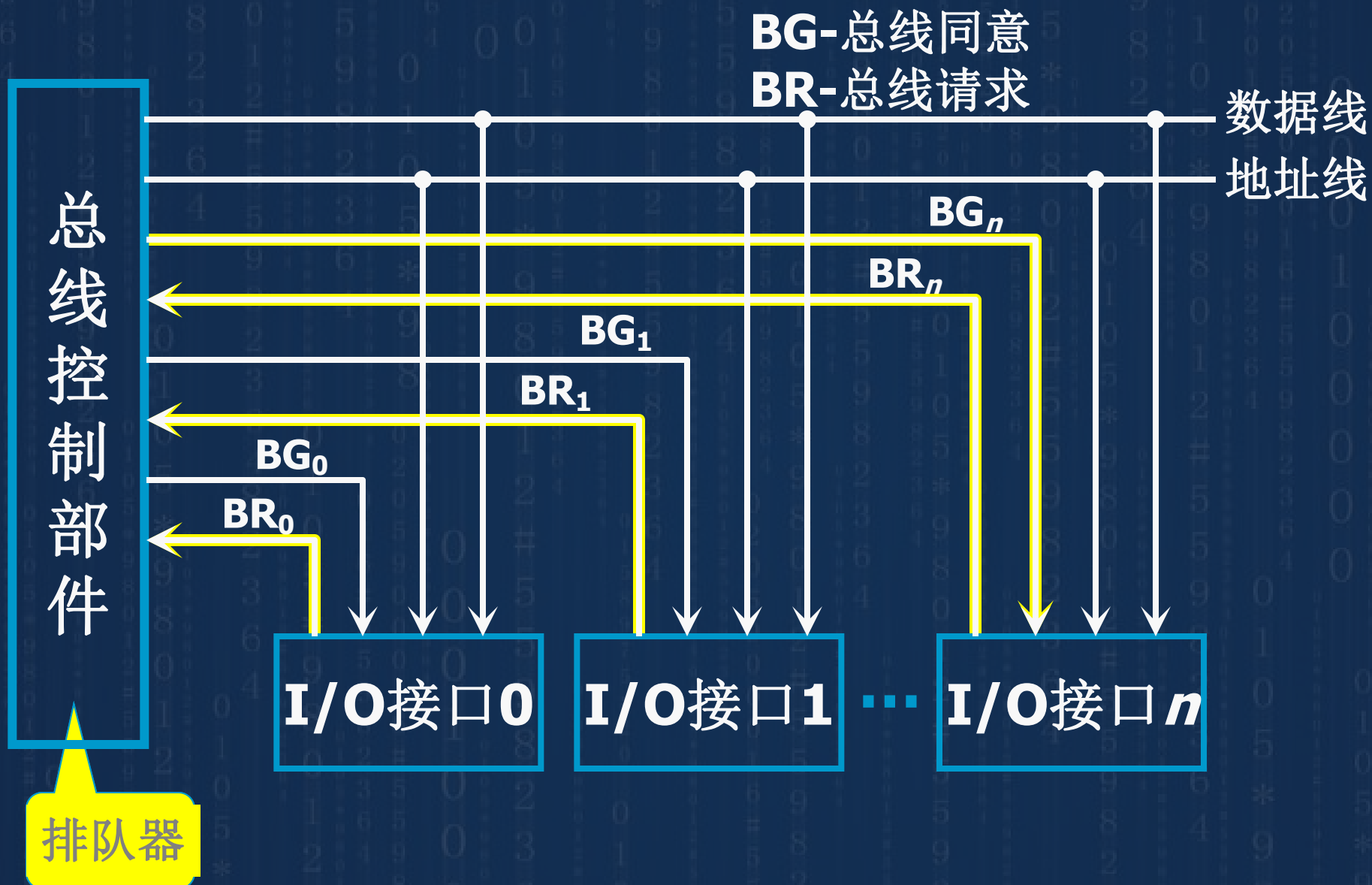
- 串行仲裁

- 连接到总线上的设备共用一条总线请求信号线或（和）一条总线允许信号线。

集中式并行总线仲裁

- 系统中设置集中总线仲裁器，连接到总线上的每个设备分别有一条总线请求信号线和一条总线允许信号线连接到总线仲裁器上。
- （例如：独立请求方式）

**独立请求方式



- 集中式并行仲裁的**优点**

- 总线仲裁速度快，优先级设置灵活，即有可能通过向总线仲裁器发送不同的控制命令，实现不同的优先级策略。

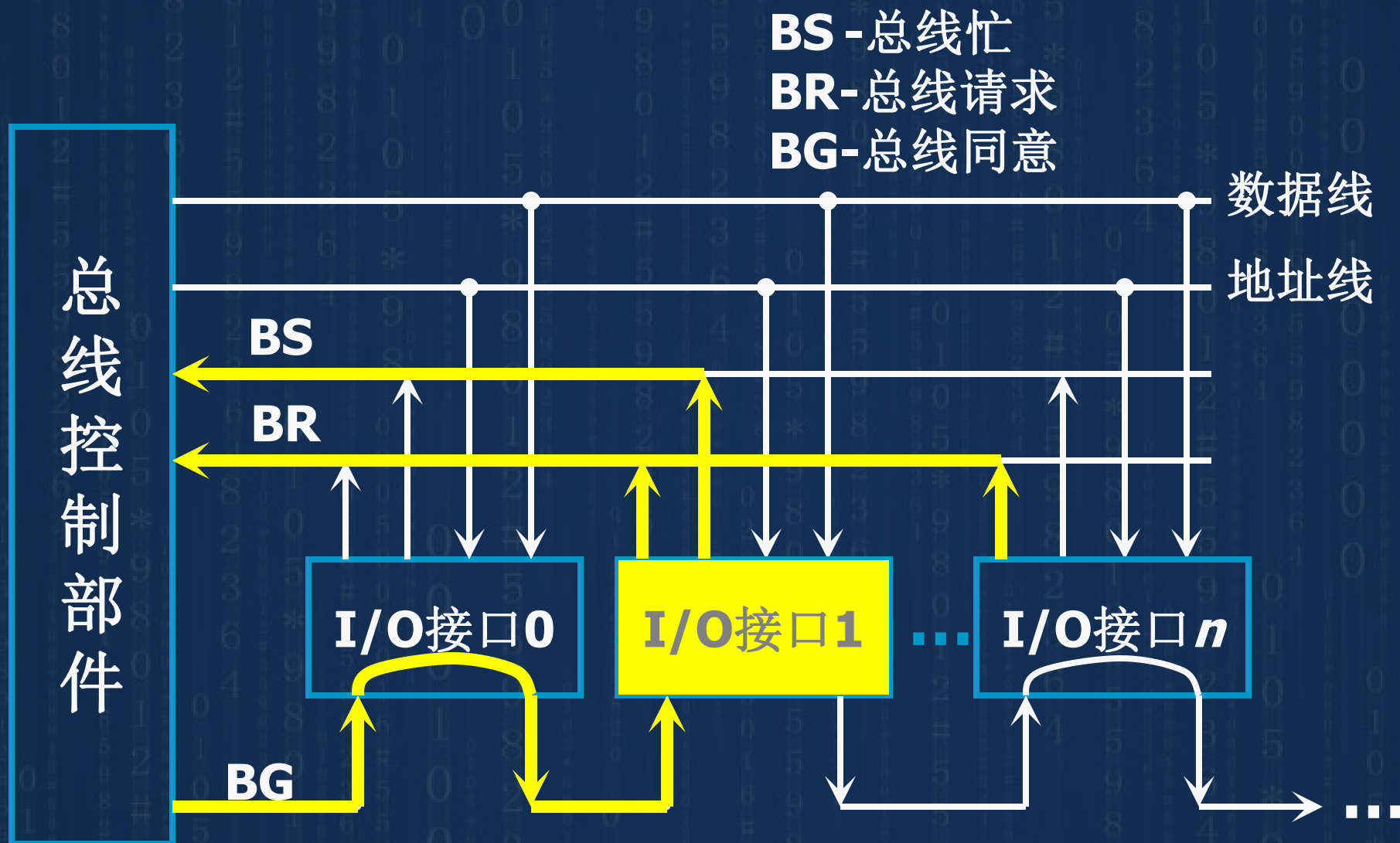
- 集中式并行仲裁的**缺点**

- 每个设备与总线仲裁器之间都需要设置一条总线请求信号线和一条总线允许信号线，使连接到总线上设备的数量受到信号线数目的限制，并且可靠性不高。

集中式串行总线仲裁

- 系统中设置集中总线仲裁器，， 连接到总线上的设备共用一条总线请求信号线或（和）一条总线允许信号线。
- （例如：链式查询方式）

**链式查询方式



- 集中式串行仲裁的**优点**

- 用于总线管理的信号线数目较少，且与连接到总线上的设备数目无关，总线仲裁器电路的实现较为简单。

- 集中式串行仲裁的**缺点**

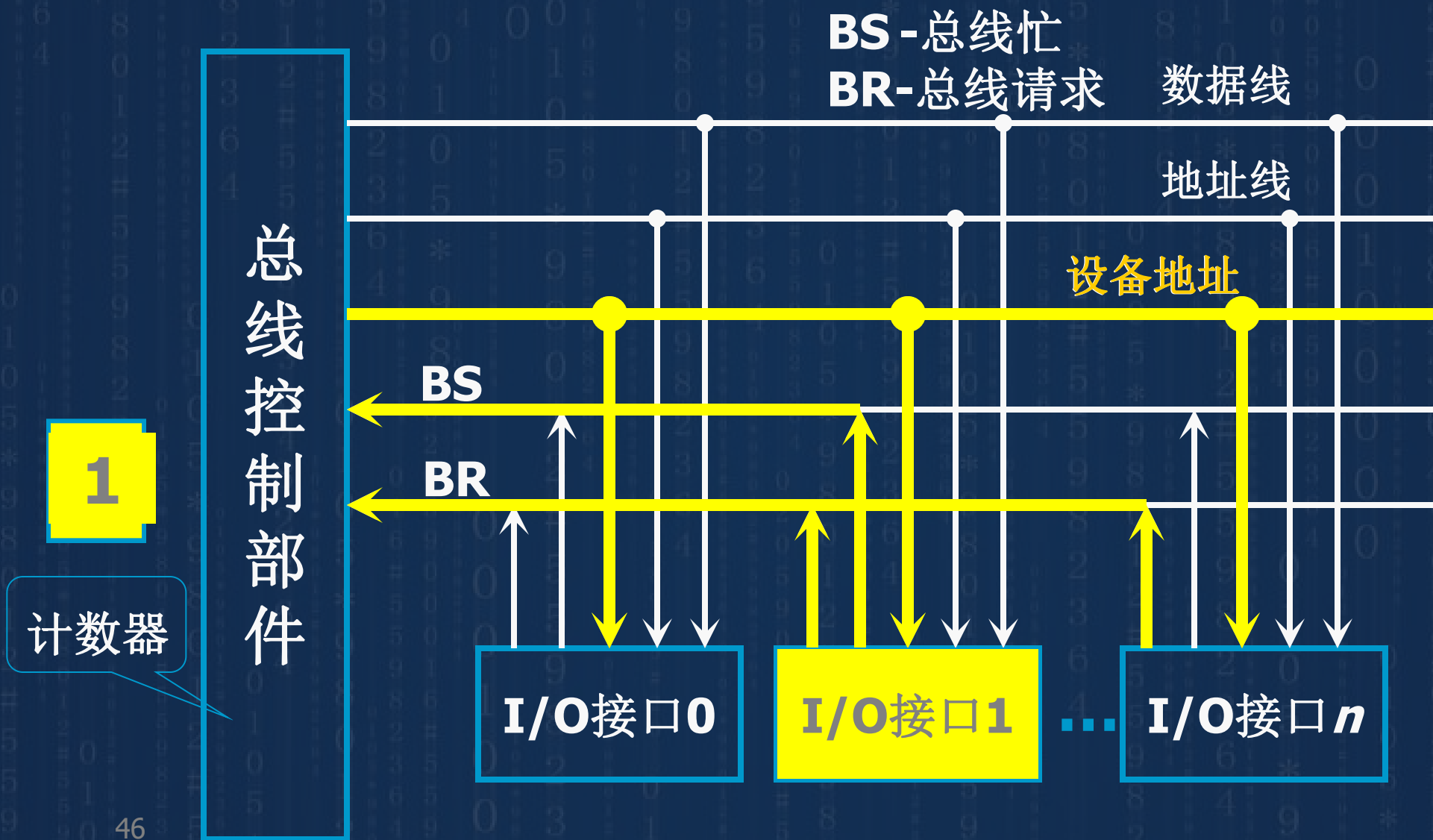
- 设备的优先级固定，要改变一个设备使用总线的优先级，就必须改变它所处总线的物理位置；总线优先级的比较时间较长。

总线的优先级

- 固定优先级
- 总线上的各个设备的优先级一经指定就不再改变。
- 动态优先级
- 允许设备使用总线的优先级可以随时间变化。

- 典型的动态优先级策略是轮转策略。
- 轮转策略
- 首先将设备排队，指定一个设备为目前优先级最高的设备，队中的下一个设备次之，依次排好。当目前具有最高优先级的设备使用过一次总线后，就将它变成优先级最低的设备，即排到队尾，队中下一个设备则变成目前具有最高优先级的设备。这样不断轮转，使所有设备都具有平等使用总线的机会。
- （例如：计数器定时查询方式）

计数器的定时查询方式



- 固定优先级策略的**优点**
 - 硬件实现简单。
- 固定优先级策略的**缺点**
 - 当设备较多时，优先级低的设备就很难有机会使用总线。
- 动态优先级策略的**优点**
 - 能够很好地适应总线上存在较多设备的情形。
- 动态优先级策略的**缺点**
 - 硬件实现复杂。

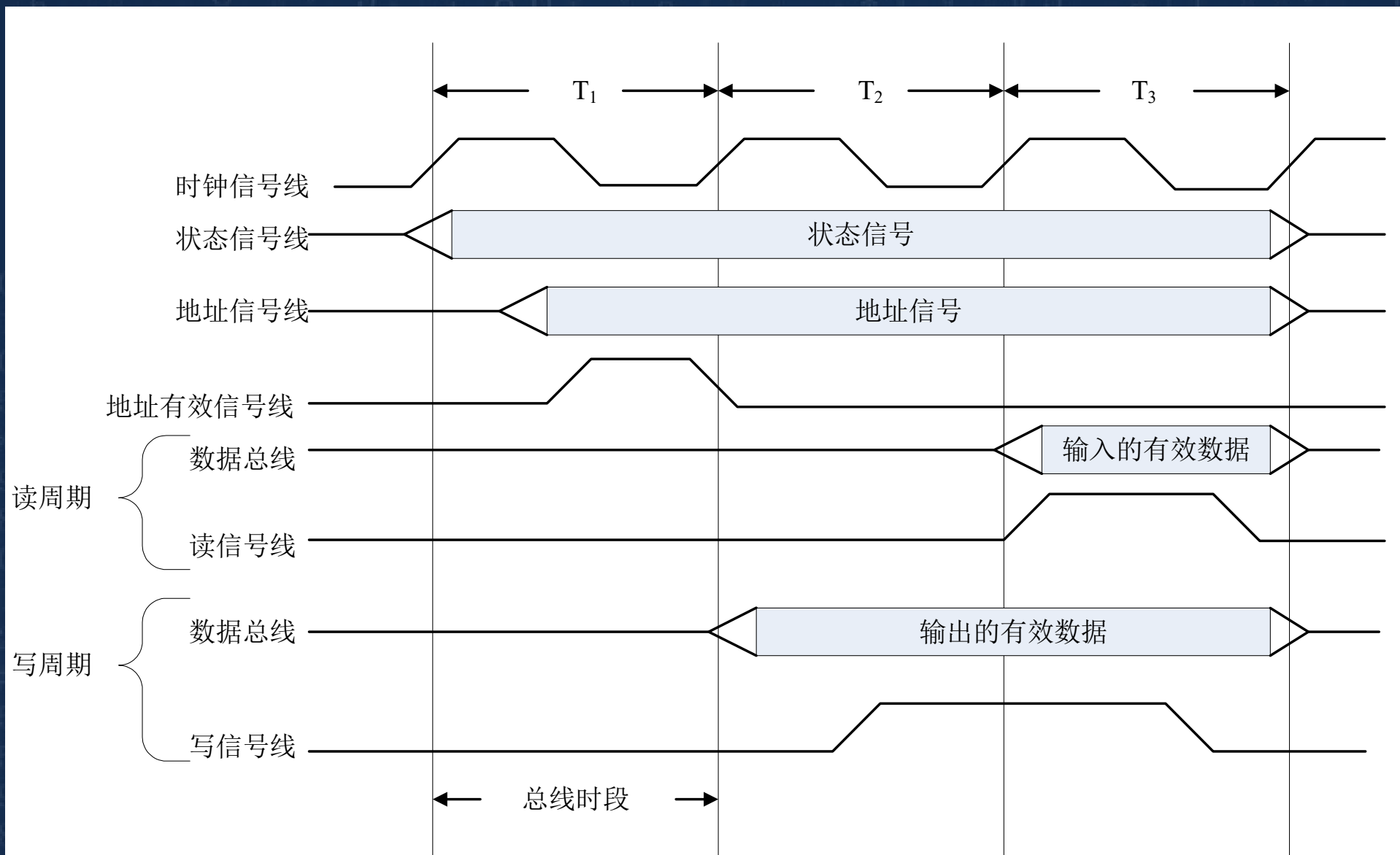
3) 总线定时方式

- **总线定时方式**：为了协调总线上发生的事件所采用的方法。
- **总线上发生的事件**：为了使用总线传输信息，总线所做的各种必要的动作。
- 总线定时方式分类：
 - **同步定时**
 - **异步定时**
 - 相应的有同步总线和异步总线

(1) 同步总线

- **同步总线：**总线上所有事件的发生，都由一个时钟脉冲序列加以定时。
- 在同步定时方式下，总线中包含一条时钟信号线，连接到总线上的所有设备都通过时钟信号线获取用于事件同步的时钟脉冲信号，所有的总线事件都应在一个时钟周期的开始时启动动作。

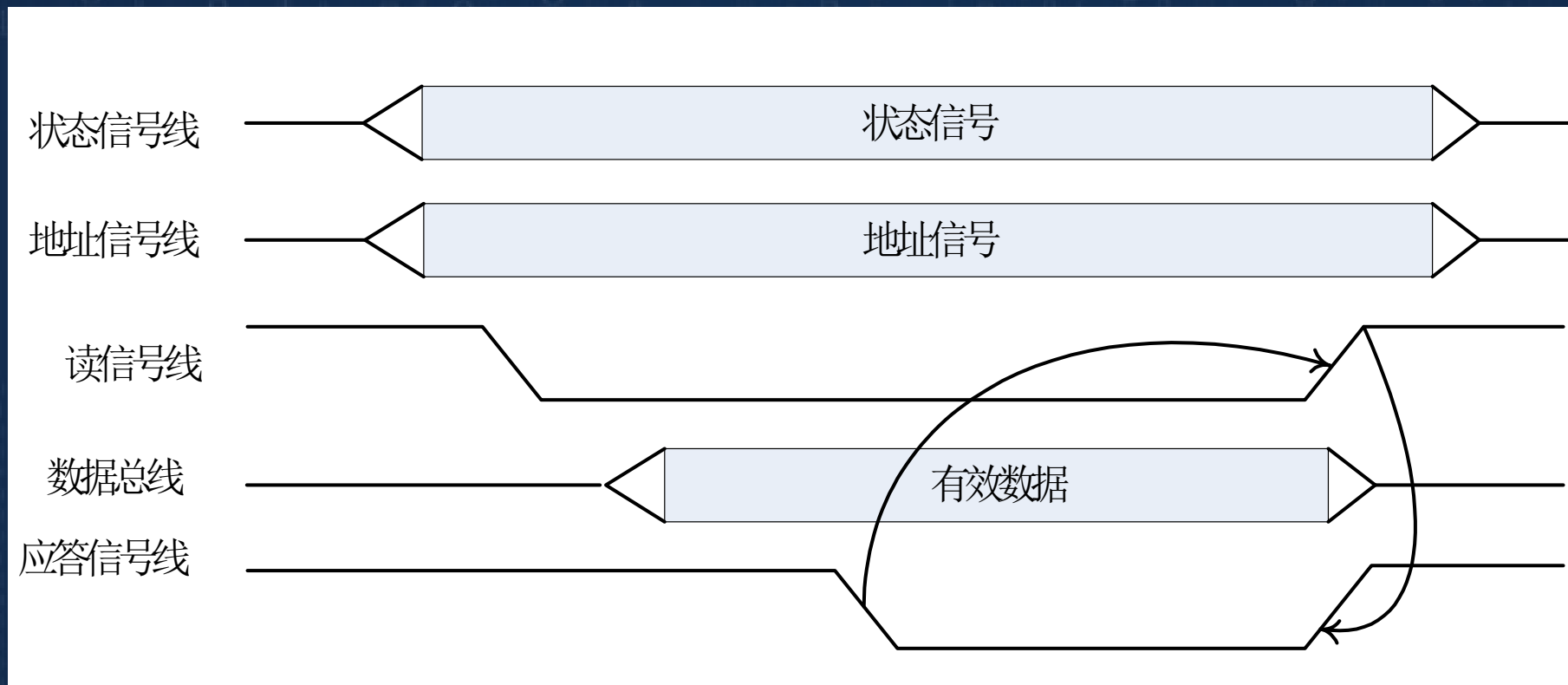
同步定时方式下的总线操作



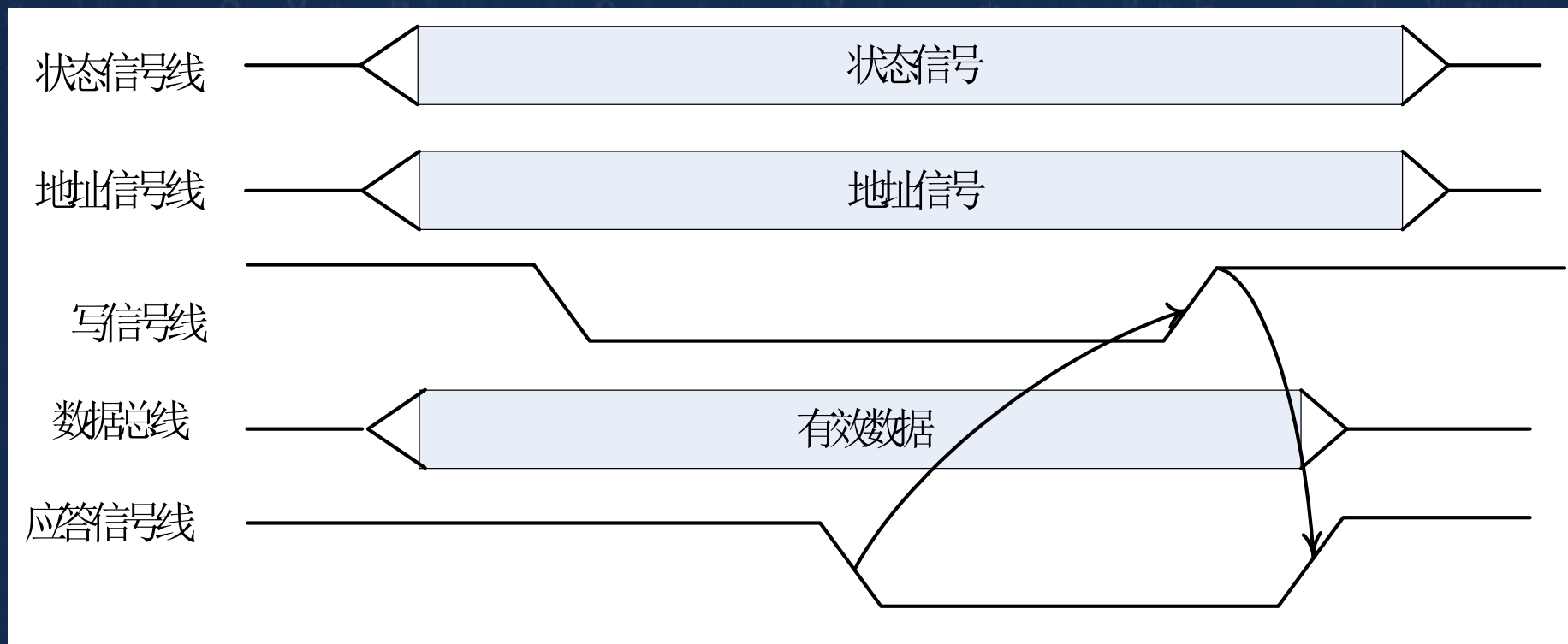
(2) 异步总线

- 异步定时
- 总线上一个事件的动作发生与否，取决于前一个事件动作的执行情况。

异步方式下的读总线周期



异步方式下的写总线周期



4) 总线宽度

- 总线宽度与总线性能之间的关系
- **(1)** 数据总线宽度在很大程度上决定了计算机总线的性能。
- 在总线操作速率一定的条件下，数据总线的宽度越宽，一次传送的二进制位数就越多。
- 并行数据总线在较高的工作频率下传送数据时，会在数据线之间会产生信号串扰，因此会使传输的数据发生错误。
- 串行数据总线减少了信号线的数量和总线接插件的物理尺寸，可以提高数据传输的距离及总线的工作速率，同时减少了数据出错的可能性。

- **(2) 地址总线的宽度决定着系统的寻址能力。**
- 地址总线越宽，总线上可寻址的单元就越多，系统能够访问的地址范围就越大，意味着系统可以有更大容量的存储器，可以连接更多的外部设备。但同时也大大增加了地址译码电路的复杂性。

5) 数据传输类型

- 数据传输类型

- 读/写操作在各种类型总线上的各种实现方法。

- 总线中一次数据传输的两个阶段

- ① 地址、命令阶段

- ② 数据传输阶段

- 读操作

- 总线的从设备发送数据到主控设备。

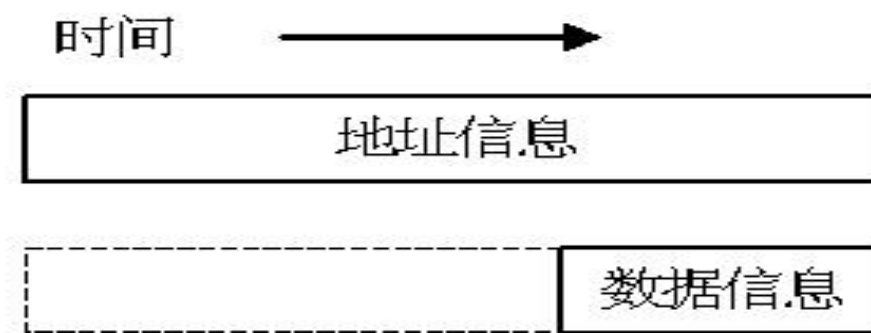
- 写操作

- 总线的主控设备发送数据到从设备。

非复用总线上的读操作



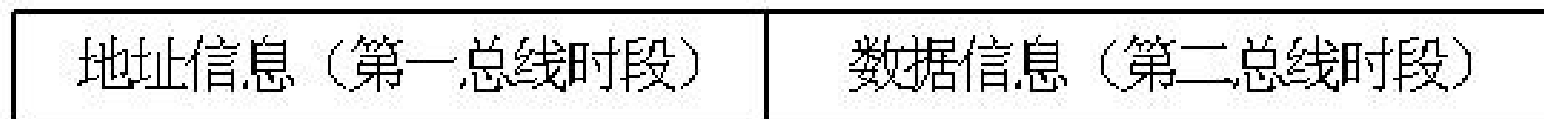
非复用总线上的写操作



非复用总线上的读操作

分时复用总线上的读操作

时间 →

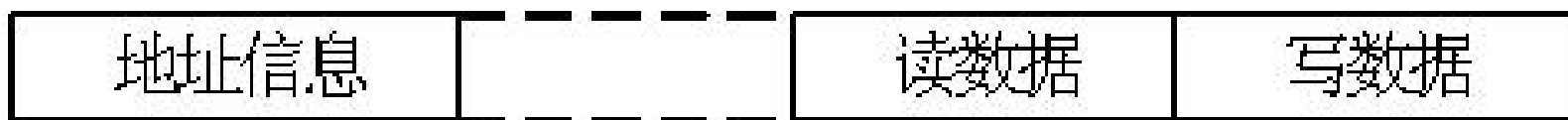


地址/数据分时复用总线上的写操作

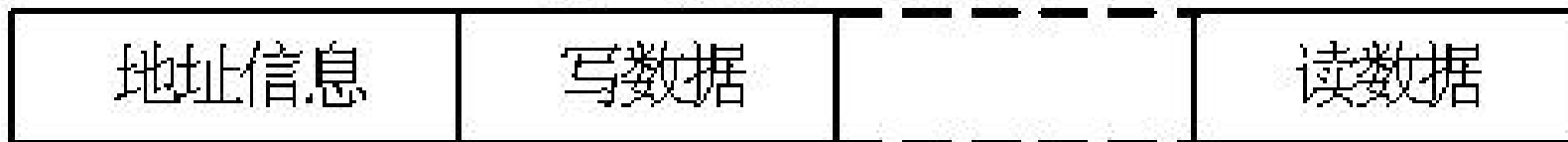


地址/数据分时复用总线上的读操作

联合操作



读—修改—写操作



写后读操作

- **读—修改—写操作**

- 在读操作之后对同一单元立即实施写操作在读—修改—写操作时，数据单元的地址只需在操作开始时发送一次即可，且整个操作是不间断地连续执行的。这样可以防止其它潜在的总线主控设备（如其它处理机）在操作执行期间对目标数据单元的访问。
- 读—修改—写操作的主要目的是在多道程序执行的环境下，确保保存在共享存储资源中的数据能够保持数据的一致性。

- 写后读操作

- 对某一存储单元的写操作完成后立即实施读操作。
- 写后读操作的目的是为了对刚写入的信息进行校验。

数据块传输方式



数据块传输操作

- **数据块传输方式**

- 在一个地址、命令阶段后，即给出了第一个数据所在存储单元的地址之后，可以有多个数据传送操作，即可以读/写连续的多个数据单元。
- 也称为**连续数据传输方式、突发（猝发或迸发）数据传输方式、成组数据传输方式**。

- 在数据块传输方式下，总线的主控设备只需将要发送或接收的第一个数据项的地址发送给存储器，其余多个数据项的地址相对于第一个数据项的地址来说都是连续地址，主存储器可以自动修改后续访问的数据单元的地址而不需要主控设备每次都发送地址。这样做能够大大提高数据的传输效率。

- 例：某同步总线的时钟频率为**100MHz**，宽度为**32位**，地址/数据线复用，每传输一个地址或数据占用一个时钟周期。
- **(1)**该总线的带宽是多少？
- **(2)**按正常传输方式进行“主存写”总线事务，传输**128位**数据需要的时间至少是多少？
- **(3)**若该总线支持猝发传输模式，则一次“主存写”总线事务，传输**128位**数据所需要的时间至少是多少？

- 解：
- (1) \therefore 总线带宽 = 总线工作频率 \times (总线宽度/8)
- \therefore 总线带宽 = $100\text{MHz} \times (32/8) = 400\text{MB/s}$
- (2) 按正常传输方式，每传输32位数据需要发送一次地址，128位数据需要传输4次地址，4次数据，共8次。
- 所需要的时间： $8 \times 1/100\text{MHz} = 80\text{ns}$
- (3) 按猝发传输模式，一次“主存写”只需要传输1次地址，4次数据，共5次。
- 所需要的时间： $5 \times 1/100\text{MHz} = 50\text{ns}$

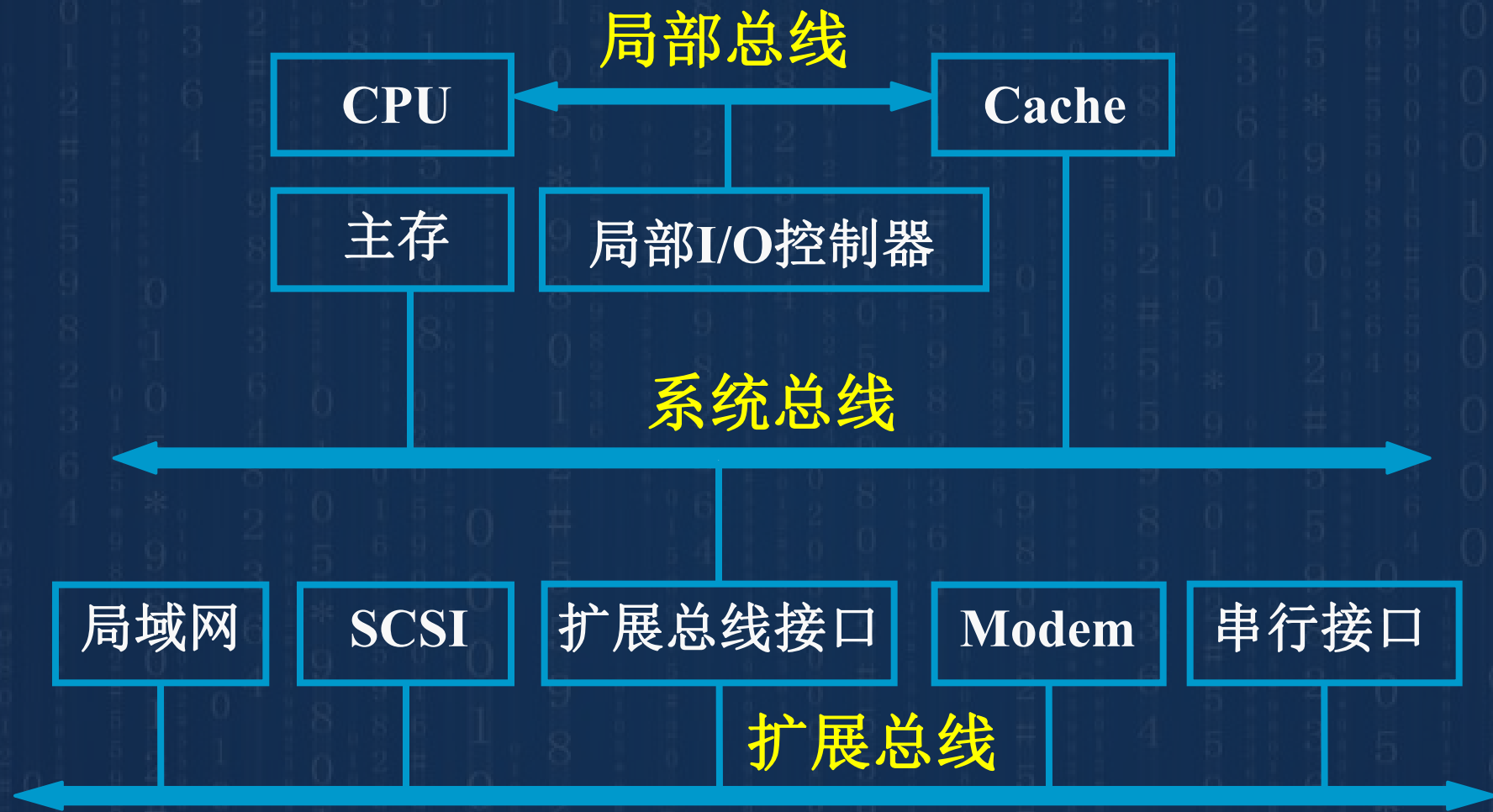
2. 多层次总线设计

- 总线是实现源部件传送信息到一个或多个部件的一组传输线。
- 为了能使多个设备共享总线，必须要实现多个设备上的元件的输出，都可以作为总线上的另一元件的输入。
- 为避免产生多个部件同时发送信息的情形，要求在任何时刻最多有一个输出被选中。
- 目前广泛采用的两种解决方案：集电极开路与非门（**OC**门）电路和三态门电路。

2. 多层次总线设计

- 现代计算机系统往往会根据系统功能模块性能上的要求设置不同层次、不同种类的总线，不会完全拘泥于第1章介绍的三种总线结构。**引入层次型总线的原因：**
 - （1）计算机系统中的所有设备都在使用单一的系统总线，就会使得系统总线显得非常拥挤。
 - （2）在通常情况下，要将许多组件电路板连接到总线，势必要增加总线的长度，从而带来传递延迟。
 - （3）一些需要连续的且数目较大的数据字的传输的应用，几乎耗尽了总线的带宽，总线变成了系统的瓶颈。

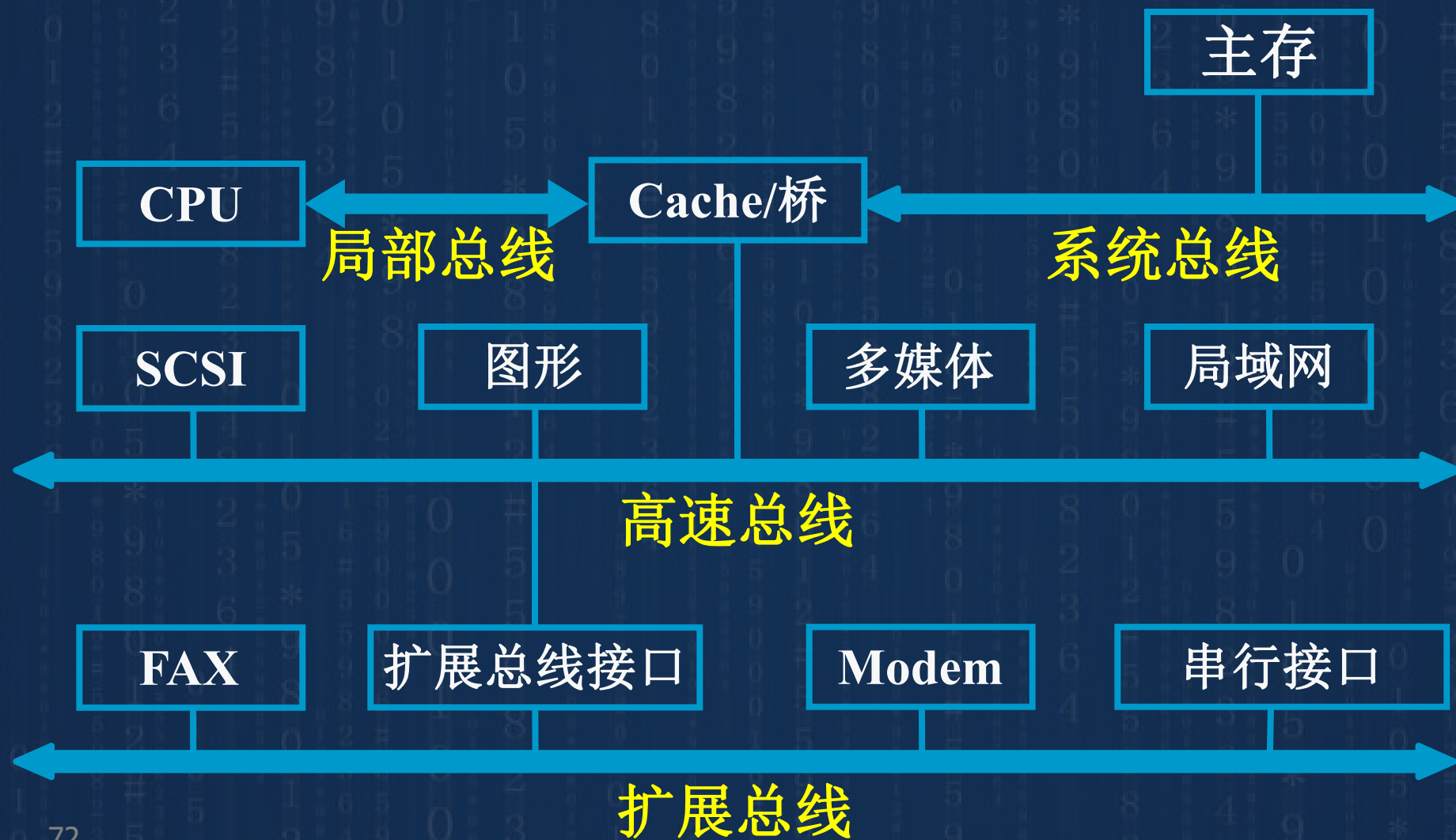
传统的层次型总线结构



- 局部总线用于处理机与**Cache**以及其它局部组件（例如显示适配器）的连接。
- **Cache**控制器不仅与局部总线相连，还与系统总线相连，由此实现局部总线与主存的连接。
- 使用**Cache**能有效地隔离处理机对主存频繁的申请请求，因此主存不再与局部总线连接，转而连接到系统总线。
- 在这种方式下**I/O**设备与主存之间的数据传输只需要通过系统总线即可完成，从而不会干扰到处理机的操作。

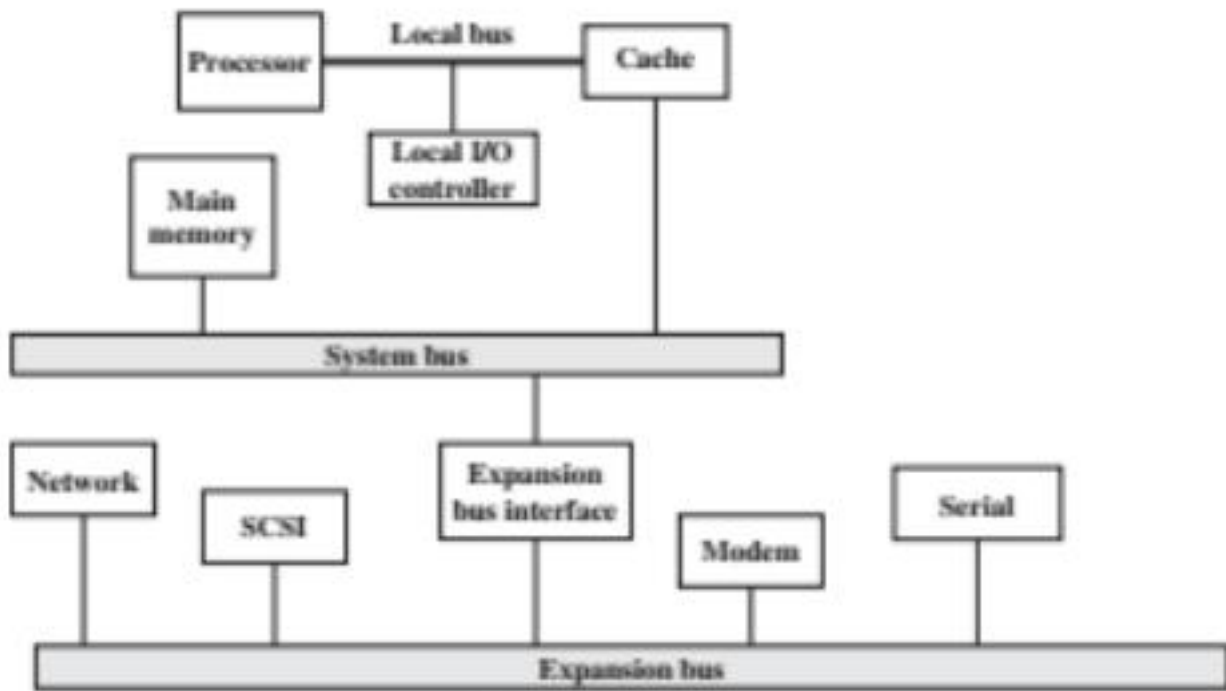
- **I/O**接口控制器可以直接连接到系统总线，但由于**I/O**设备的速度差别非常大，因此可以设置一条或多条扩展总线来连接**I/O**接口控制器。
- 扩展总线接口在系统总线和连接在扩展总线上的**I/O**接口控制器之间起了一个缓冲数据的作用。
- 传统的层次型多总线结构的**优点**：
 - ① 计算机系统可以方便地支持速率不同的各种**I/O**设备。
 - ② 使主存与处理机之间的数据传输和主存与**I/O**设备之间的数据传输分隔开来，互不干扰。

高性能多层次总线结构



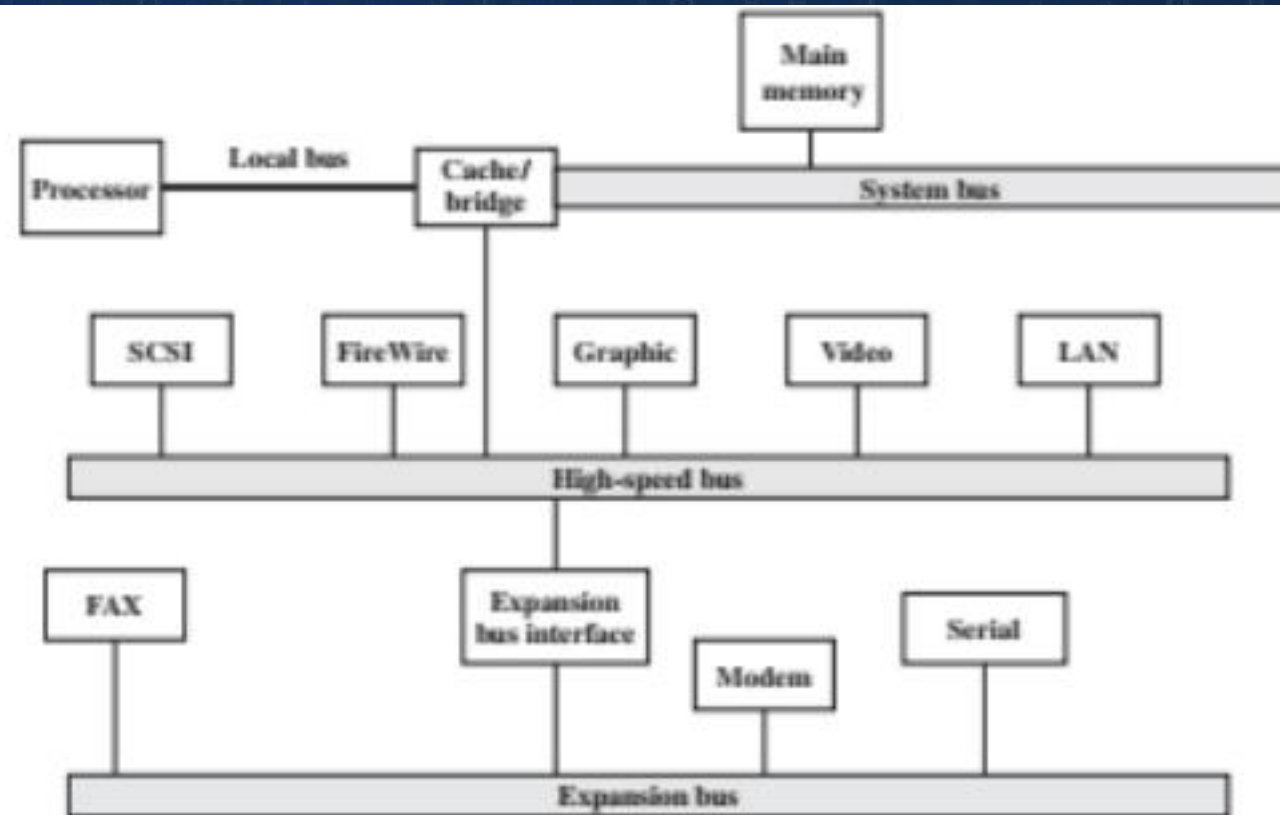
- 为了适应一些新型设备（例如视频/图形显示接口适配器、千兆以太网卡等）对总线在性能方面不断增长的需求，业界普遍采用的方法是构建一个具有与处理机紧密集成的、用来支撑整个系统且相对独立的高速总线。
- 高速总线充分考虑与它连接的处理机的体系结构，如处理机引脚的信号定义情况以及工作时序，使得处理机与高速总线之间仅需要一个桥接电路（简称总线桥）即可实现处理机与总线的互连，而不需要另外去实现一个复杂的处理机引脚信号与标准的总线信号之间的转换电路，以降低系统实现的难度。

- 高性能多层次总线结构的优点
- 高速总线桥紧密地和处理机集成在一起，但同时又独立于处理机之外，使得处理机与高速总线在信号线定义上的差别可以方便地予以解决。即使改变处理机的体系结构也不会影响到高速总线和扩展总线，反之亦然。



(a) Traditional bus architecture

• 传统层次型总线（英）



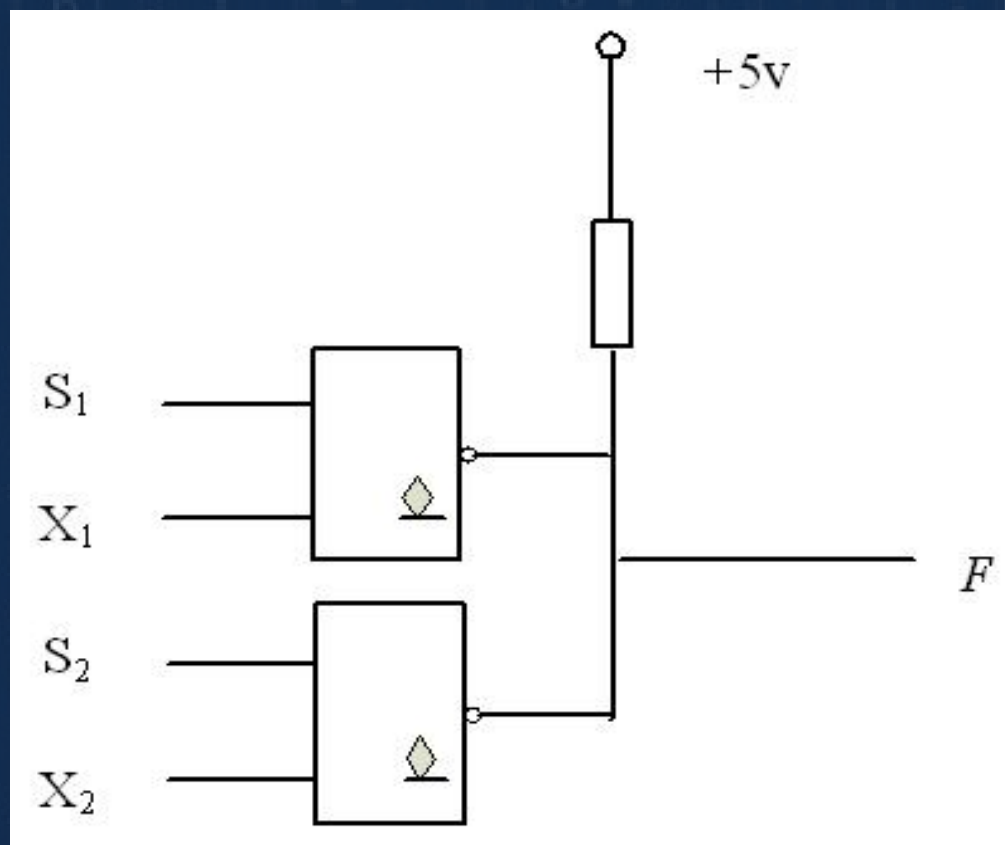
(b) High-performance architecture

3. 总线的实现

- 总线是实现源部件传送信息到一个或多个部件的一组传输线。
- 为了能使多个设备共享总线，必须要实现多个设备上的元件的输出，都可以作为总线上的另一元件的输入。
- 为避免产生多个部件同时发送信息的情形，要求在任何时刻最多有一个输出被选中。
- 目前广泛采用的两种解决方案：集电极开路与非门（OC门）电路和三态门电路。

1) 采用集电极开路与非门电路实现总线

- 将多个集电极开路与非门（OC门）的输出端连接在一起，并在集成电路外面接一个公用负载电阻，构成与或非门。



2) 采用三态门电路实现总线

- 通过电路的三态控制信号控制门电路的输出是否呈现高阻抗状态。

