



南京理工大学

NANJING UNIVERSITY OF SCIENCE & TECHNOLOGY

第 6 章

总线与I/O

系统组织

主讲：张功萱

©第1版 2023.08 张功萱

PCI/PCI Express总线

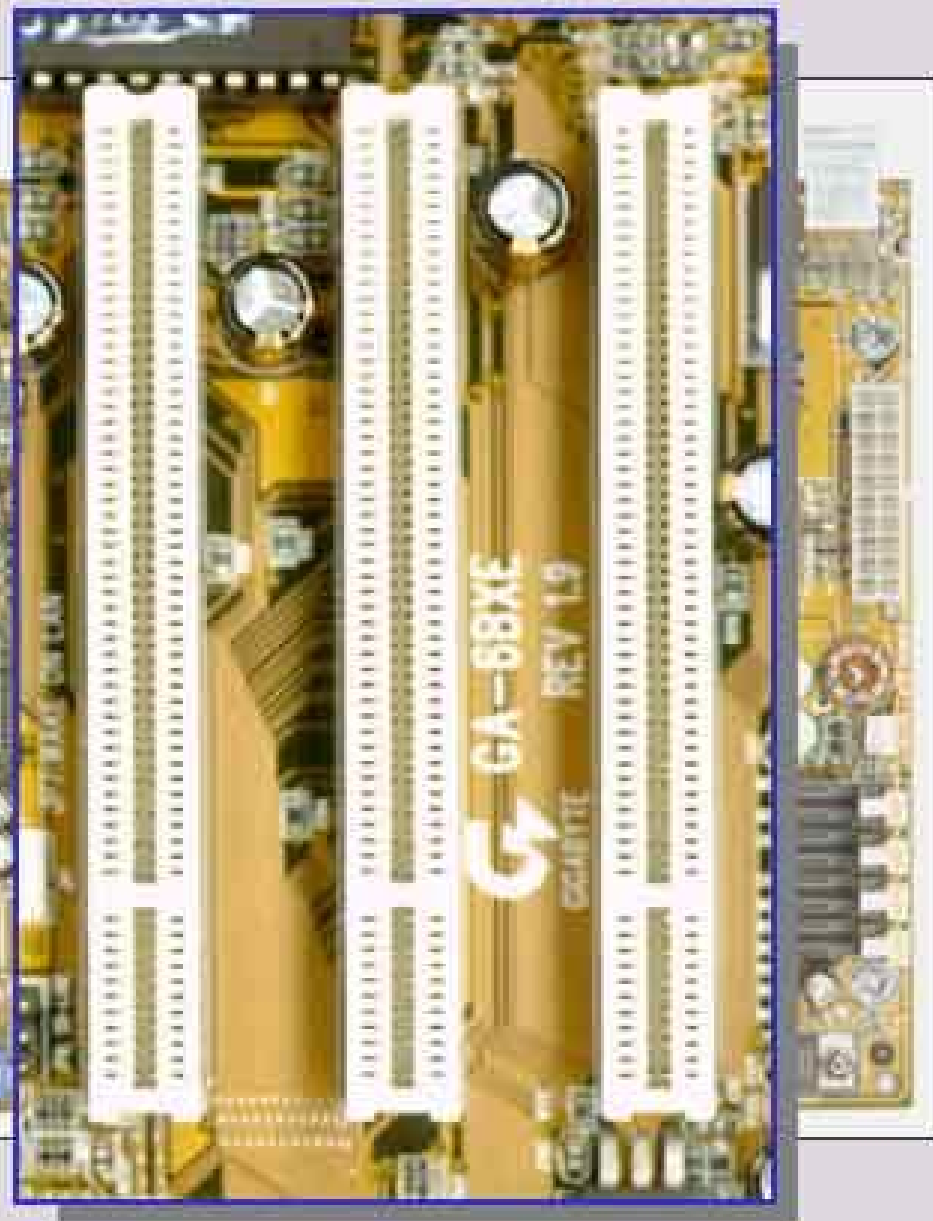
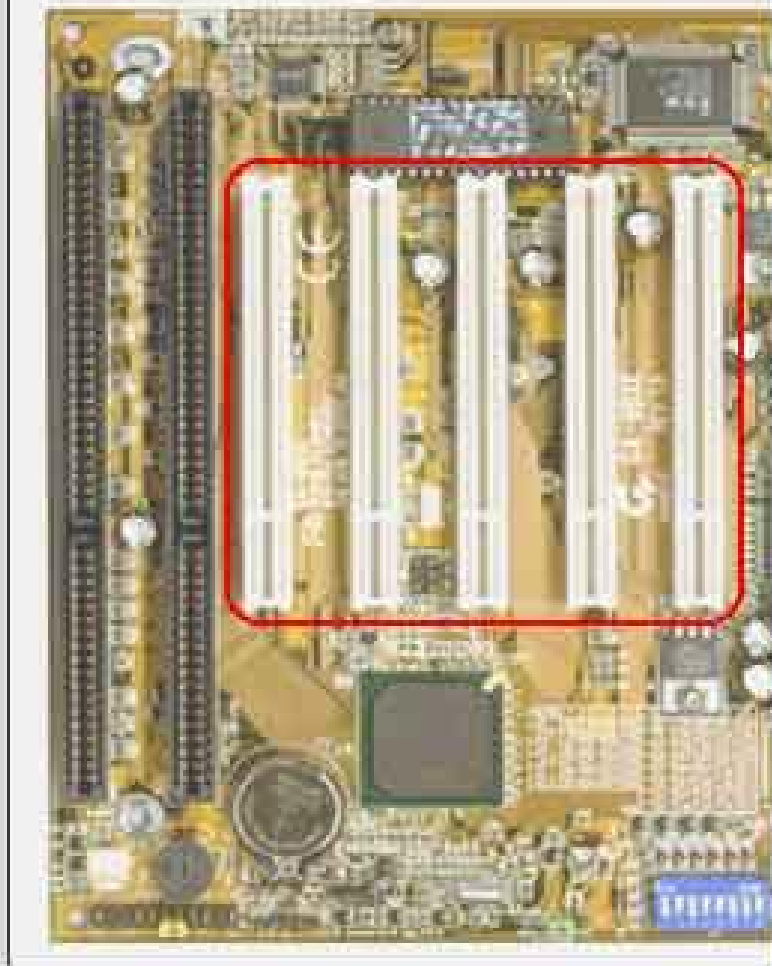
第6.2节

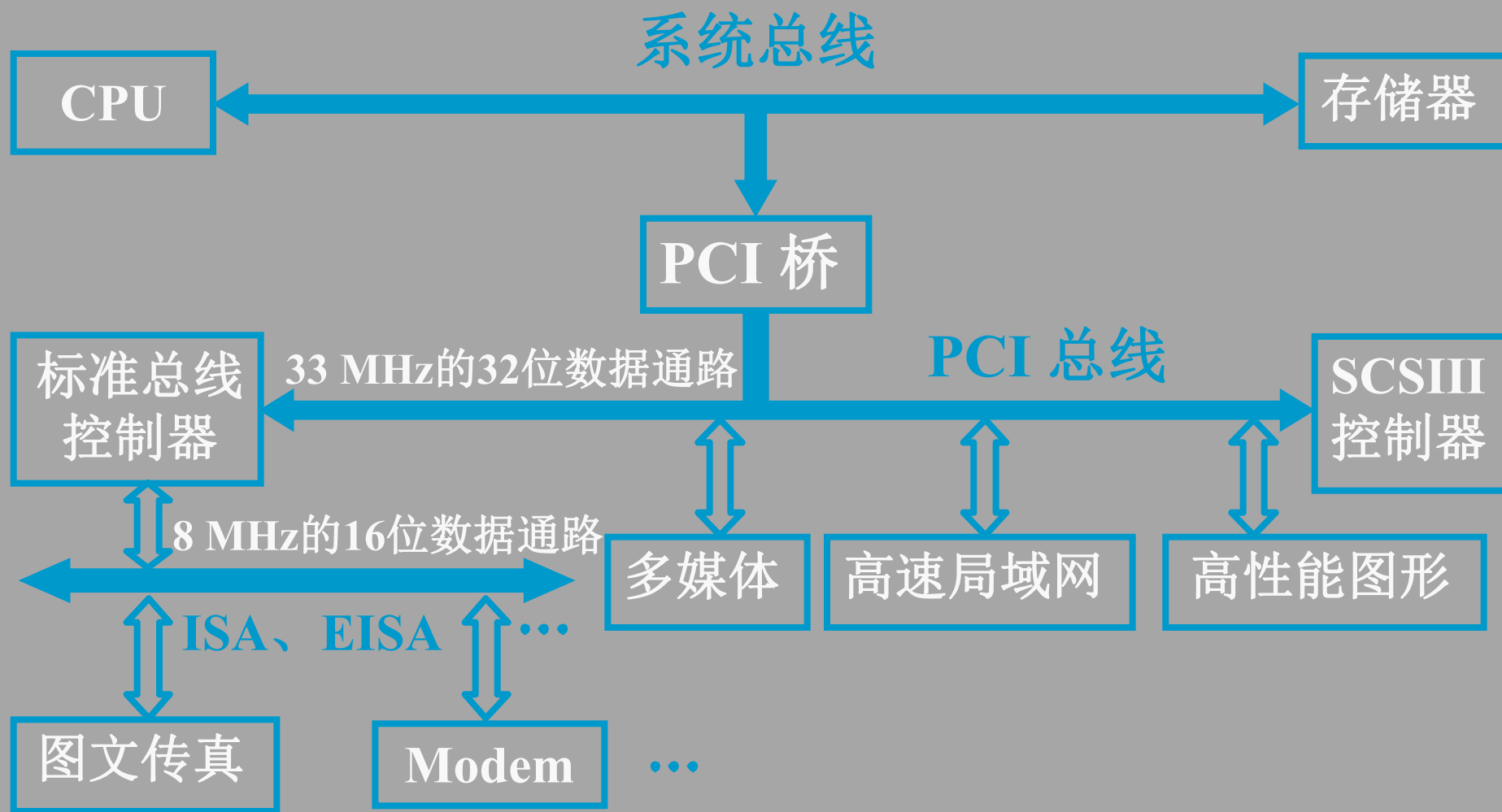
1. PCI总线的作用是什么？
2. PCI总线的特点有哪些？
3. PCI Express架构是什么？
4. PCIe协议内涵有哪些？

- **PCI总线(Peripheral Component Interconnect bus)**的规范名称是**PCI局部总线（外围部件互联总线）**。
- **PCI局部总线**是一种具有**32/64位地址/数据分时复用的、用于实现处理器/主存储器系统与高集成度的外设控制组件（指安置在主板上的I/O接口控制器）以及外设接口适配器连接的总线**。
- **PCI总线是时钟同步型总线**，属于分层多层次总线。
- **PCI总线的标准由PCI-SIG（Peripheral Component Interconnect Special Interest Group）负责制定和颁布**。

PCI总线

PCI是Intel公司开发的一套局部总线系统，它支持32位或64位的总线宽度，频率通常是33MHz。目前最快的PCI2.0总线速度是66MHz。



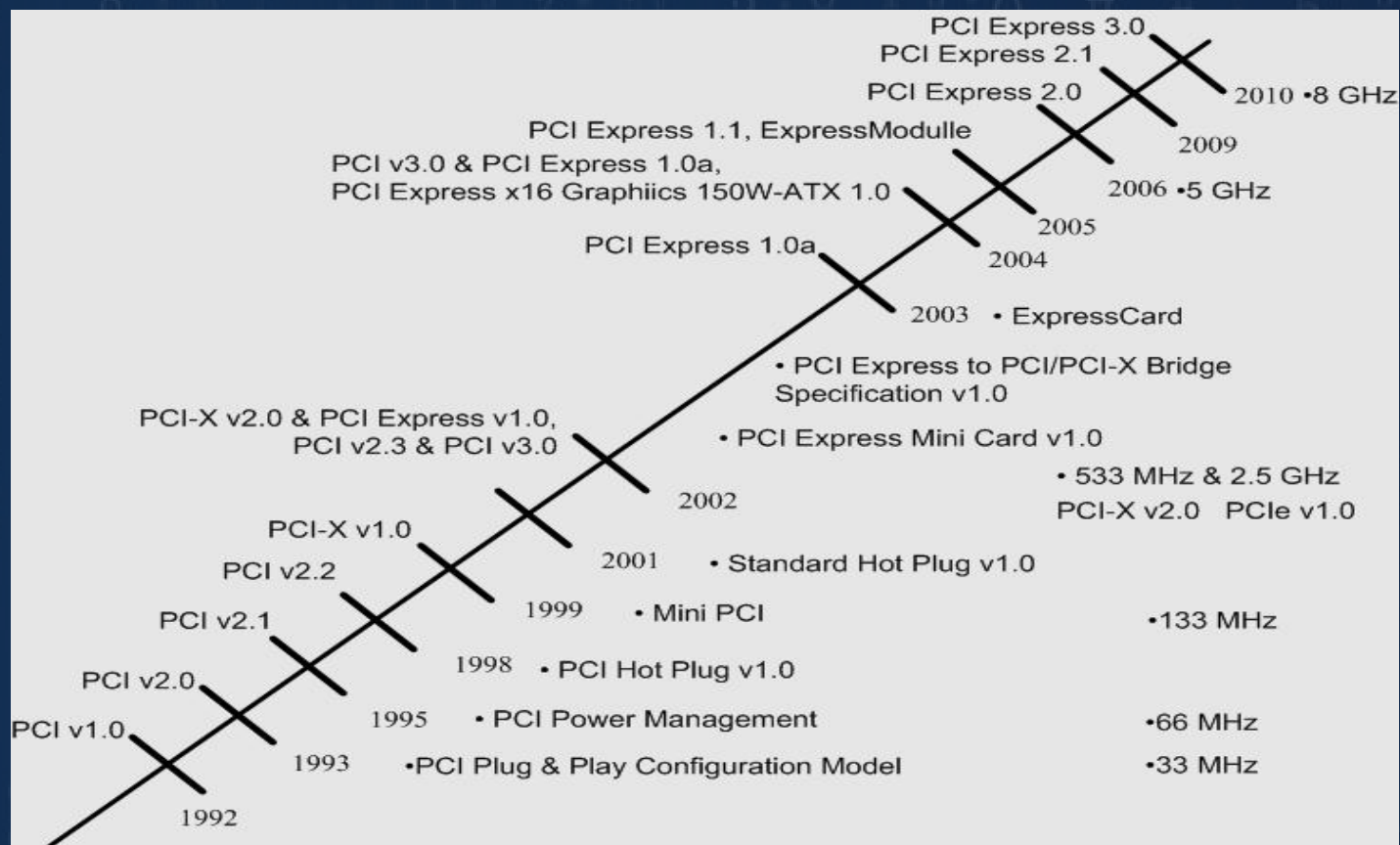


6.2.1 PCI/Express的发展概况

- **1. PCI总线的开发动机和发展历程**
- **20世纪90年代初期**，随着图形处理技术和多媒体技术的广泛应用，特别是在以**Windows**为代表的图形用户界面操作系统得到广泛普及之后，要求计算机系统具有对图形/图像数据的高速处理以及对显示数据的快速传输能力。
- 原有**PC**上的各类总线已远远不能满足应用的需求，总线成为处理机和显示设备之间数据传送的瓶颈，进而成为整个计算机系统性能提升的主要障碍。

PCI总线的发展历程

- 1991年**Intel公司**首先提出**PCI总线**的概念，联合**IBM、Compaq、AST、HP**等**100**多家公司成立了**PCI-SIG**，负责起草制定**PCI**局部总线标准，颁布了**PCI**总线规范。
- 先后颁布了三代**PCI**总线，即**PCI**总线（规范名称应该为**PCI Local Bus**，即**PCI**局部总线）、**PCI-X**总线和**PCI Express**总线（简称**PCIe**）。



2. PCI局部总线的设计目标和总线特点

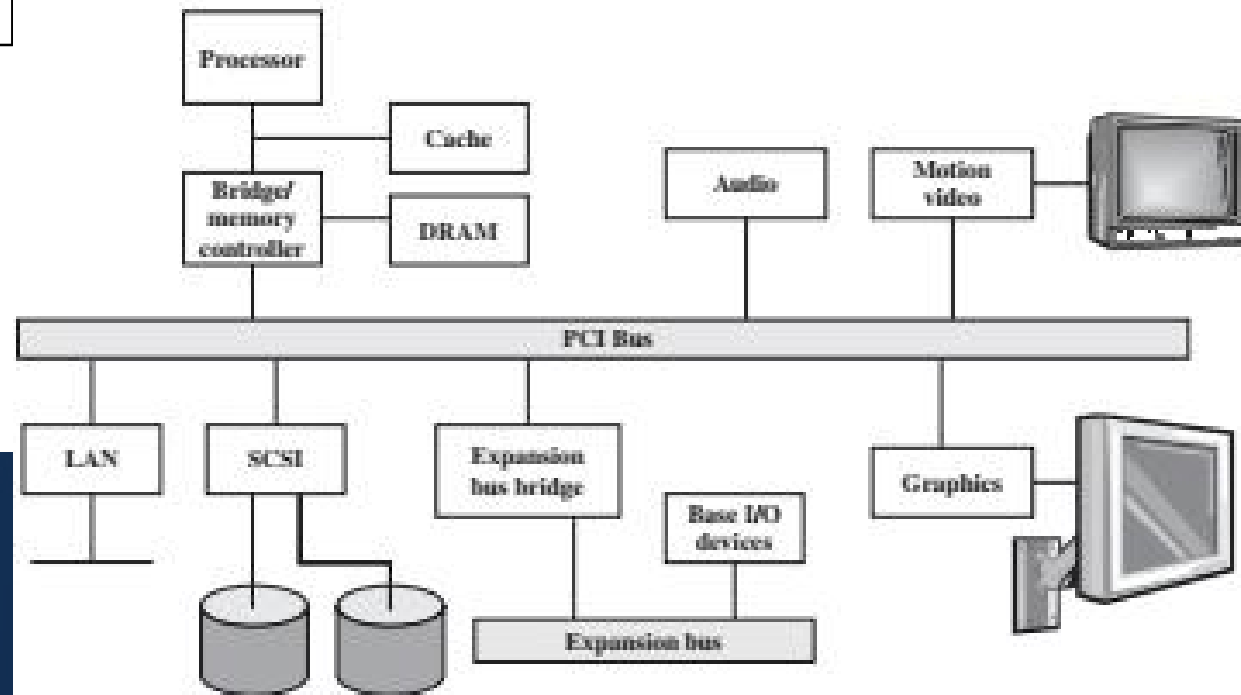
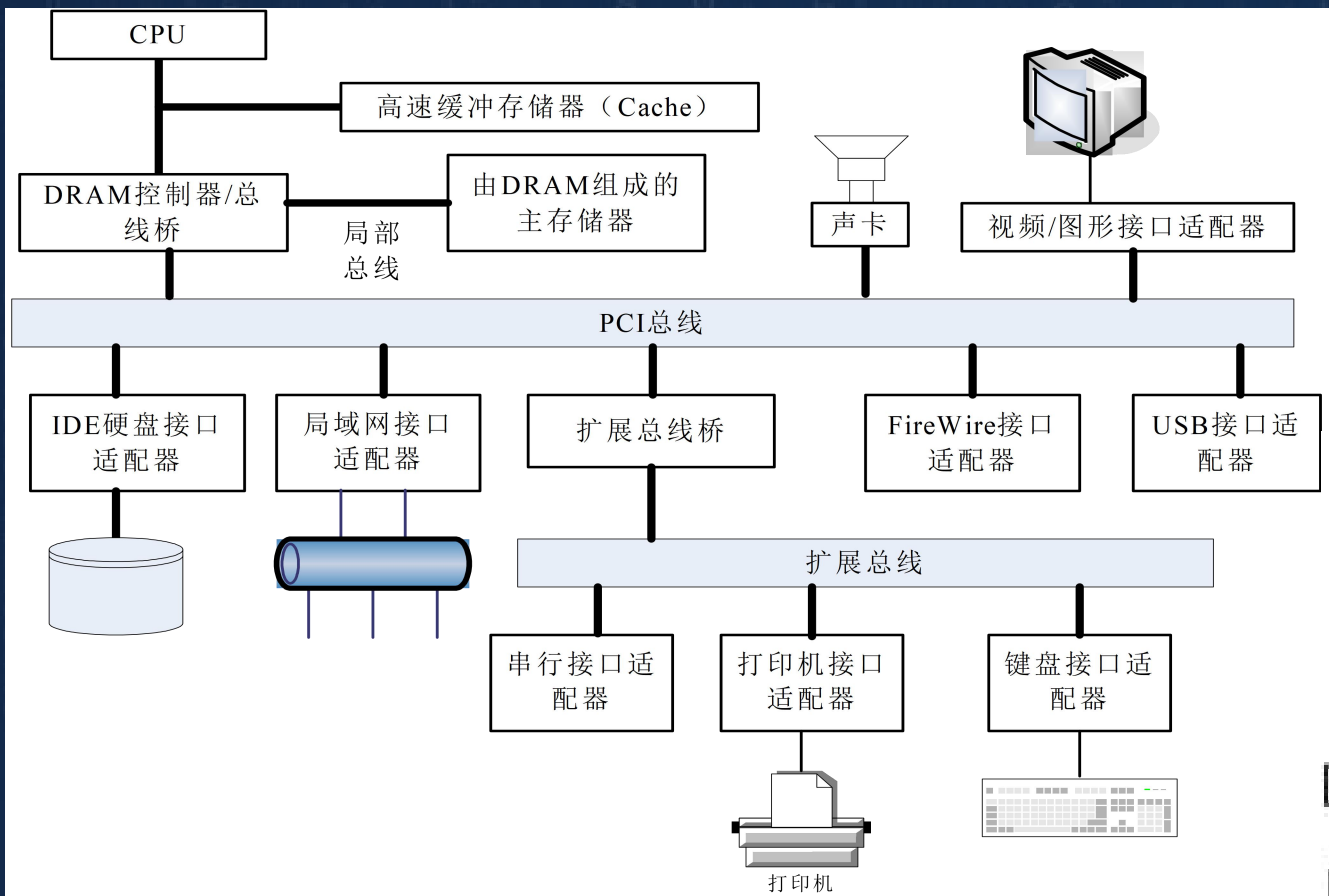
- **PCI局部总线的主要目标：**
- 实现一个具有标准化、高性能、低成本、差异化的局部总线架构，能覆盖从服务器、台式机、笔记本到手持电脑的**多平台、多种架构**的应用。
- **PCI的特点：**
- (1) 高性能：可提供较高的总线带宽，支持突发传输模式。
- (2) 低成本：考虑了对芯片级互联的优化。
- (3) 使用方便：实现了自动资源分配和即插即用功能。
- (4) 产品寿命周期长：与**处理器架构的无关性**使得遵循**PCI**局部总线规范的产品可以应用到各种平台上。
- (5) 通用性强、可靠性高：接口适配器外型尺寸较小。

- (6) 适应性强：支持多总线主控设备，允许包括处理器在内的各种总线上的设备成为总线的主控设备，有助于在计算机系统中实现多**CPU**结构。
- (7) 保证数据完整性：提供对数据/地址信息的奇偶校验，保证了所传输数据的完整性和准确性。
- (8) 较强的软件兼容性：可以很好的与现行驱动程序和应用软件兼容，便于实现驱动程序跨平台移植。

3. PCI局部总线的架构

- 在台式计算机系统中，处理器、高速缓冲存储器和主存储器可以通过**PCI**总线桥电路连接到**PCI**局部总线。
- **PCI**总线桥中包含总线仲裁电路以及一定容量的缓冲存储器。通过总线桥，处理器可以直接访问连接到**PCI**局部总线上的任何**I/O**接口，总线桥电路为此提供了一个低延迟的访问通道。
- 通常情况下，**PCI**局部总线提供**4**个总线设备扩展插槽，以便安装各种适配器或扩展卡。

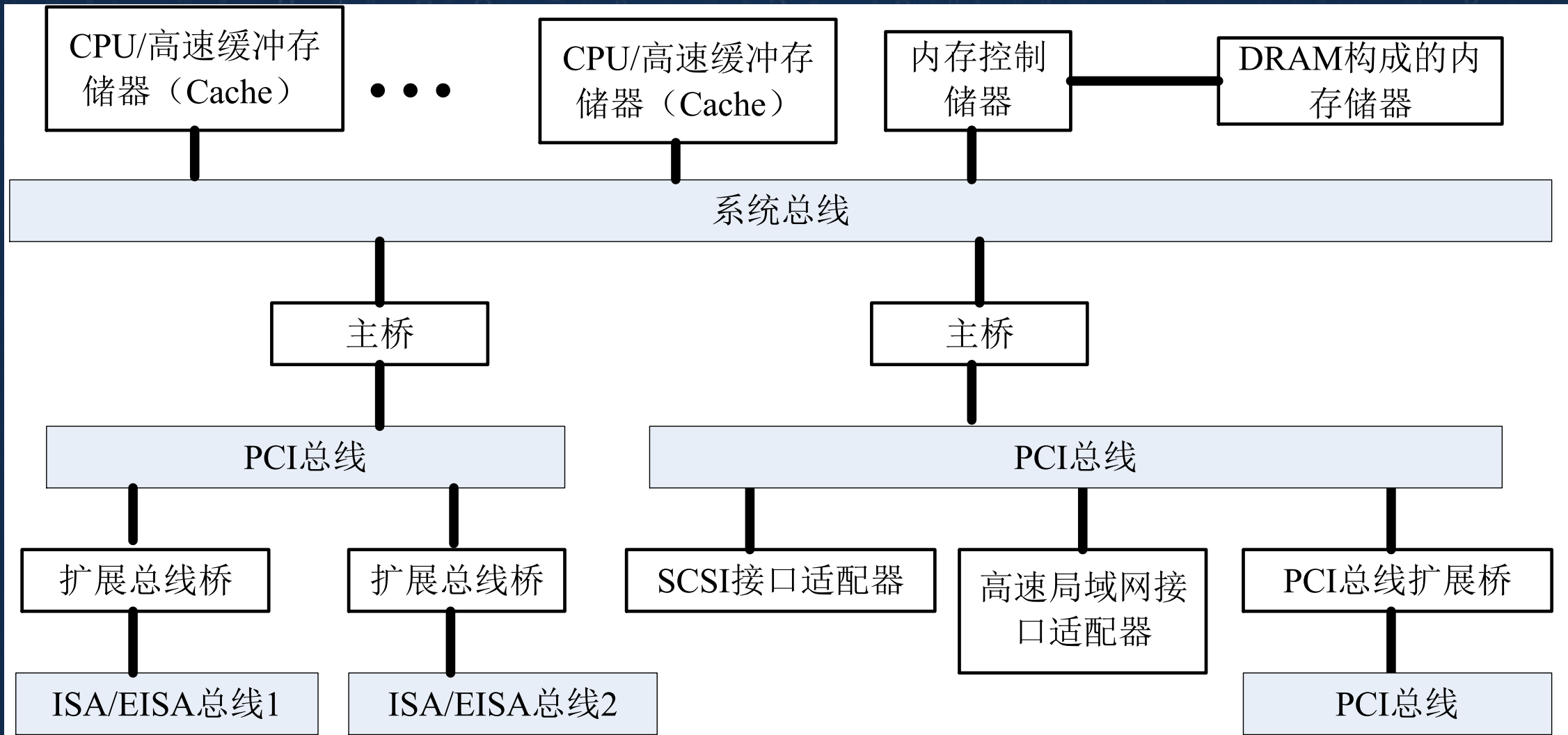
典型的台式计算机系统



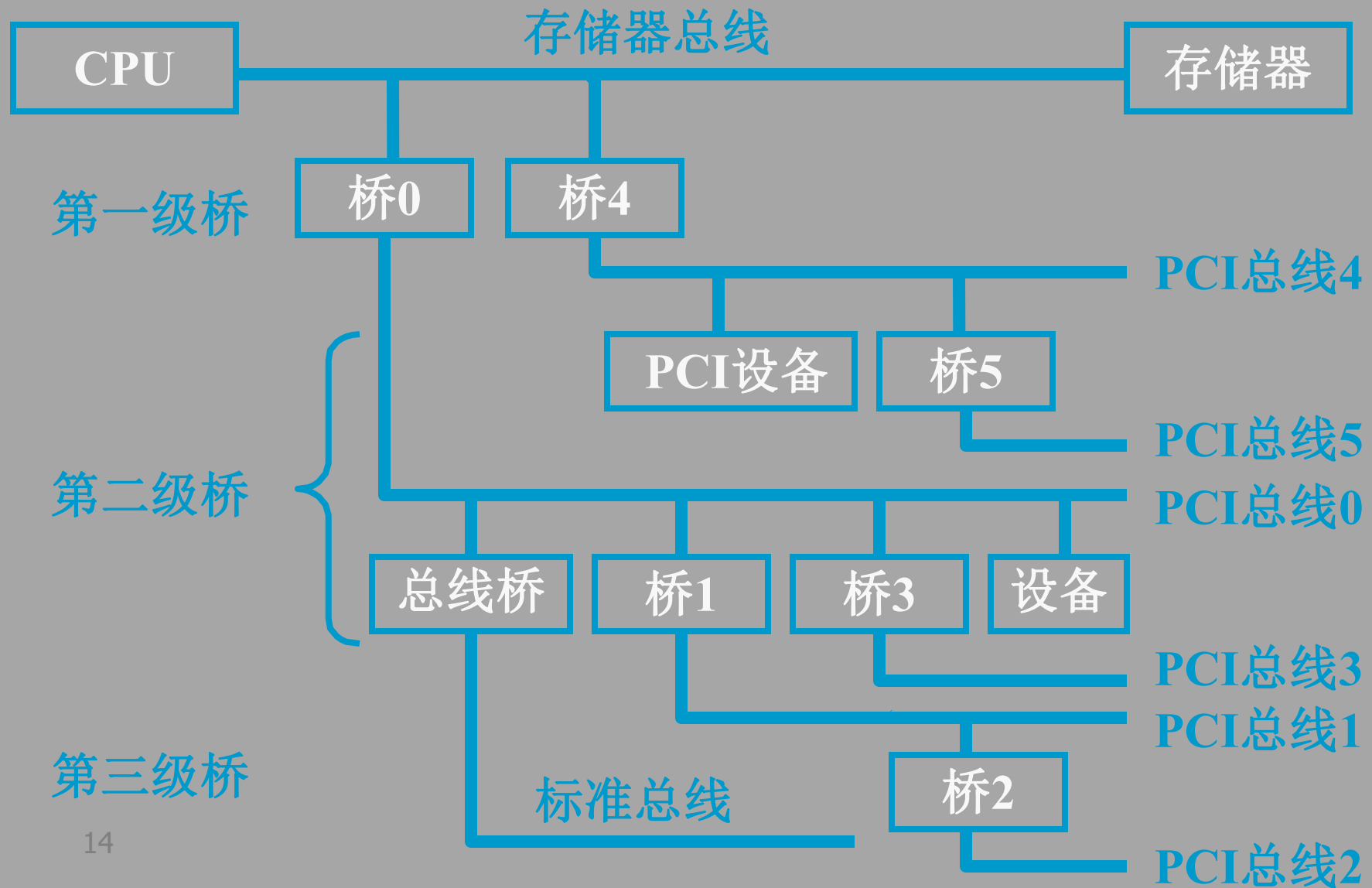
(a) Typical desktop system

- 在服务器系统中，**PCI**局部总线允许**1**个或多个桥接电路连接到系统总线上，而系统总线仅连接处理器、高速缓冲存储器（**Cache**）和内存控制器，由此可方便地实现具有对称多处理机（**SMP**）结构的多处理器计算机系统。

典型的多处理器计算机系统

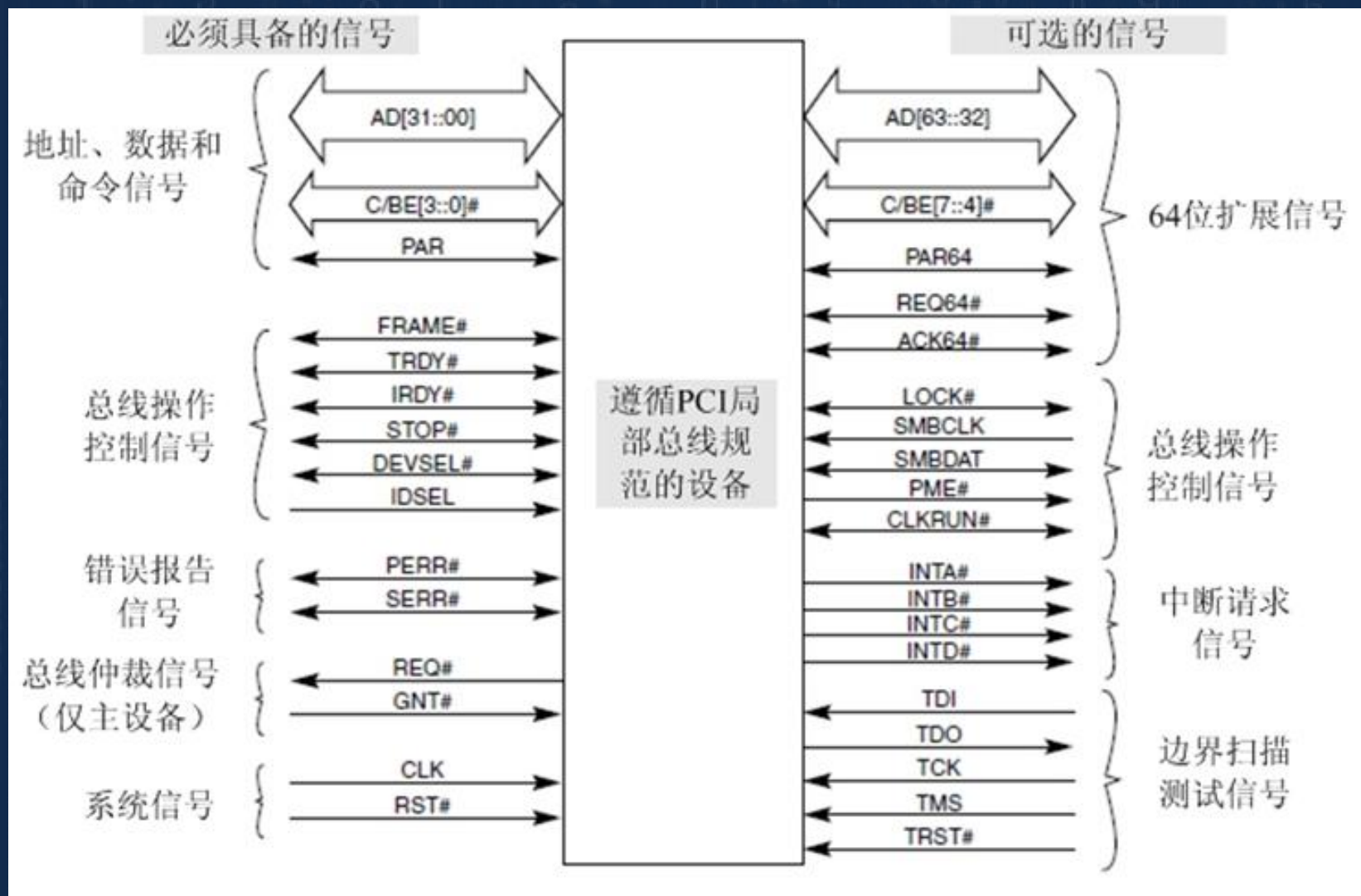


多层 PCI 总线结构



PCI局部总线的信号定义

- **PCI局部总线规范版本3.0**设备所使用的信号定义



6.2.2 PCI Express总线的架构

- PCI Express总线基于点对点拓扑架构，具有独立的串行链路，将**每个设备连接到根联合体（主机）**。PCI Express总线链路支持任何**两个端点之间的全双工通信**，而对跨多个端点的并发访问没有固有的限制。PCI Express总线架构参见图6-16。

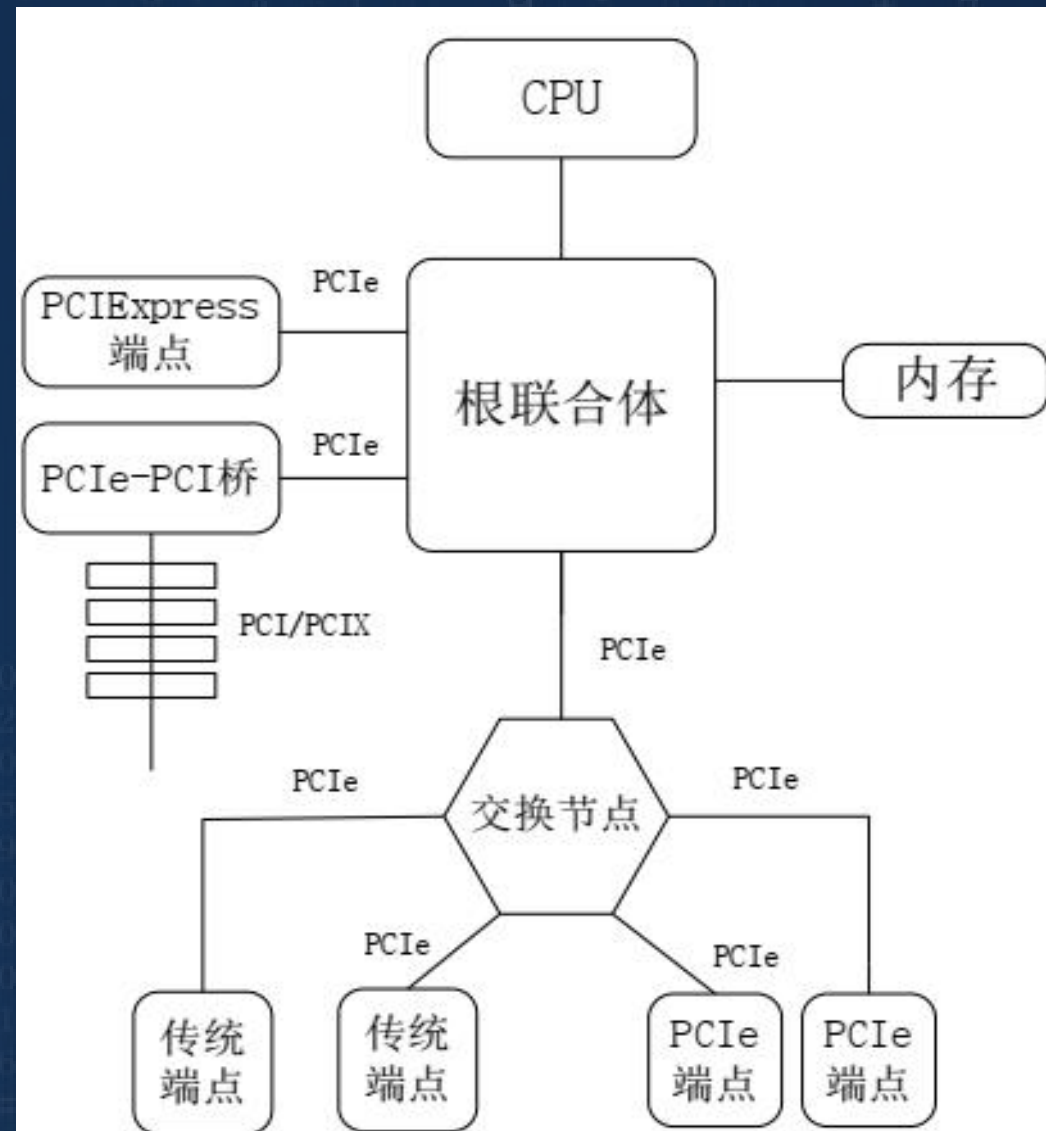


图6-16.PCIe总线架构

1. 根联合体的定义

- 在PCI Express标准规范中，将**根联合体**（通常也称为芯片组或主机桥）定义为**将处理器和内存子系统连接到包含一个或多个PCI Express和PCI Express交换节点的PCI Express交换设备上。**
- **根联合体充当缓冲设备**，用以处理I/O控制器与内存和处理器组件之间的数据交换速率的差异。根联合体还负责PCI Express总线与处理器及内存控制器控制信号之间的转换。

2. 根联合体的作用

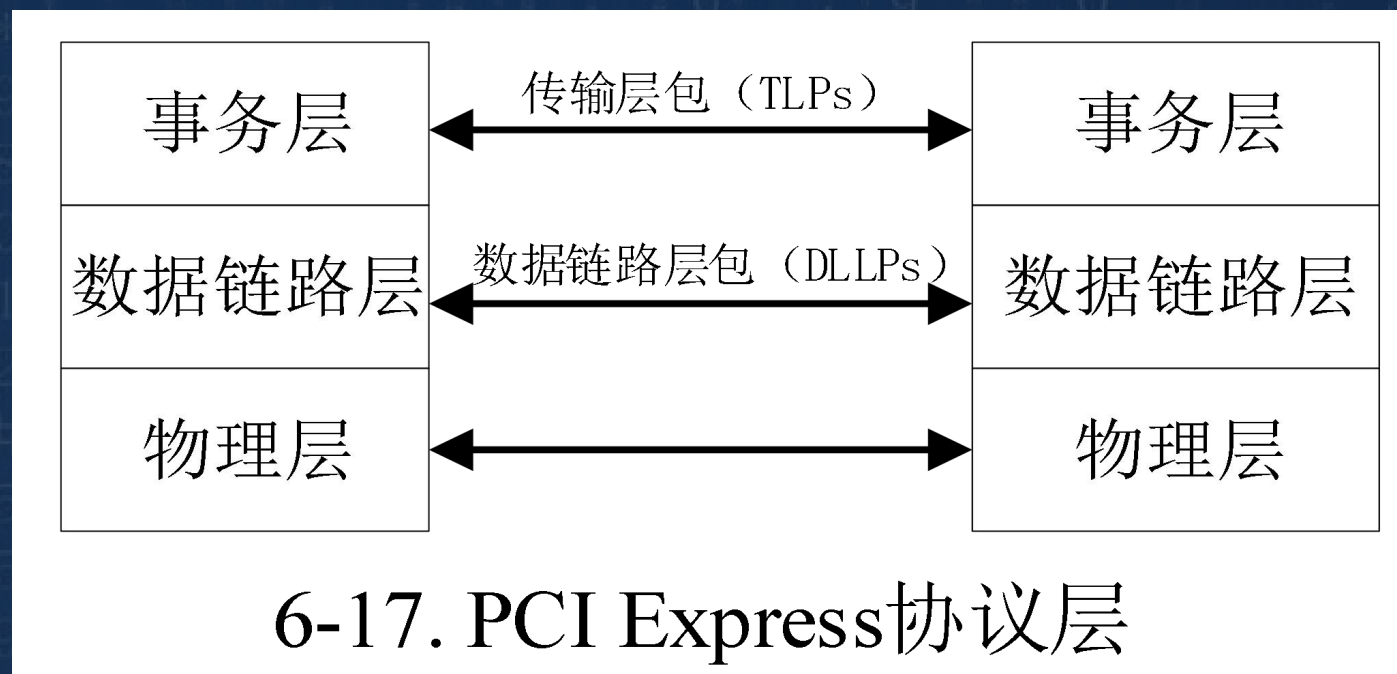
- 现代计算机中（如PC电脑），根联合体是I/O系统与CPU和内存的连接的头或根。PC电脑是基于芯片集（组）实现的，芯片（G）MCH（图形和内存控制器中枢，也称北桥芯片）或（G）MCH和ICH（I/O控制器中枢，也称南桥芯片）的组合可以被视为根联合体。

3. 交换节点的作用

- 交换节点的作用是负责管理多个**PCI Express**流。PCI Express端点指I/O设备或设备控制器，例如千兆以太网卡、图形或视频控制器（显卡）、磁盘接口或通信控制器等等。传统端点指传统上基于PCI或PCI X标准的设备，使用它以实现保持向后兼容。
- PCI Express -PCI桥实现将PCI或PCI X总线连接到基于PCI Express的系统中。

6.2.3 PCI Express总线协议

- 与其它串行总线一样，PCI Express总线协议是一个分层协议，由事务层，数据链路层和物理层组成（术语源于IEEE 802网络协议模型）。



- 物理层包括实际的信号线和支持1和0发送/接收所需的辅助功能的电路和逻辑。
- 数据链路负责可靠的传输和流量控制，该层生成和使用的数据包集称为数据链路层数据包（Data Link Layer Package，DLLP）。
- 事务层生成和使用用于实现数据传输机制的数据包，并管理流控制。
- （余下的自习理解）



1. 物理层

- 物理层负责实际发送和接收要通过物理PCI Express链路发送的所有数据。物理层与数据链路层和物理PCI Express链路（电线，电缆，光纤等）进行交互。该层包含接口所有的硬件电路，如输入和输出缓冲区、串/并转换器，锁相环路（phase-locked loop, PLL）和阻抗匹配电路等。
- 在数据发送方面，物理层从数据链路层获取信息并将其转换为正确的串行格式。基于2010年底发布的PCI Express 3.0规范，在每个物理通道上，数据被一次缓冲和处理16个字节（128位）。

1) 通道 (lan)

- PCI Express实现点对点串行通信，通道是用于收发一组位流信道的术语。一个通道包含四个物理信号线，设为两组线，每组实现以差分信号方式传输数据位的通路，一组用于发送数据，另一组用于接收数据，从而实现双向传输。两个设备通过接口互联，每个接口至少设置一个通道（即链接宽度为×1）。

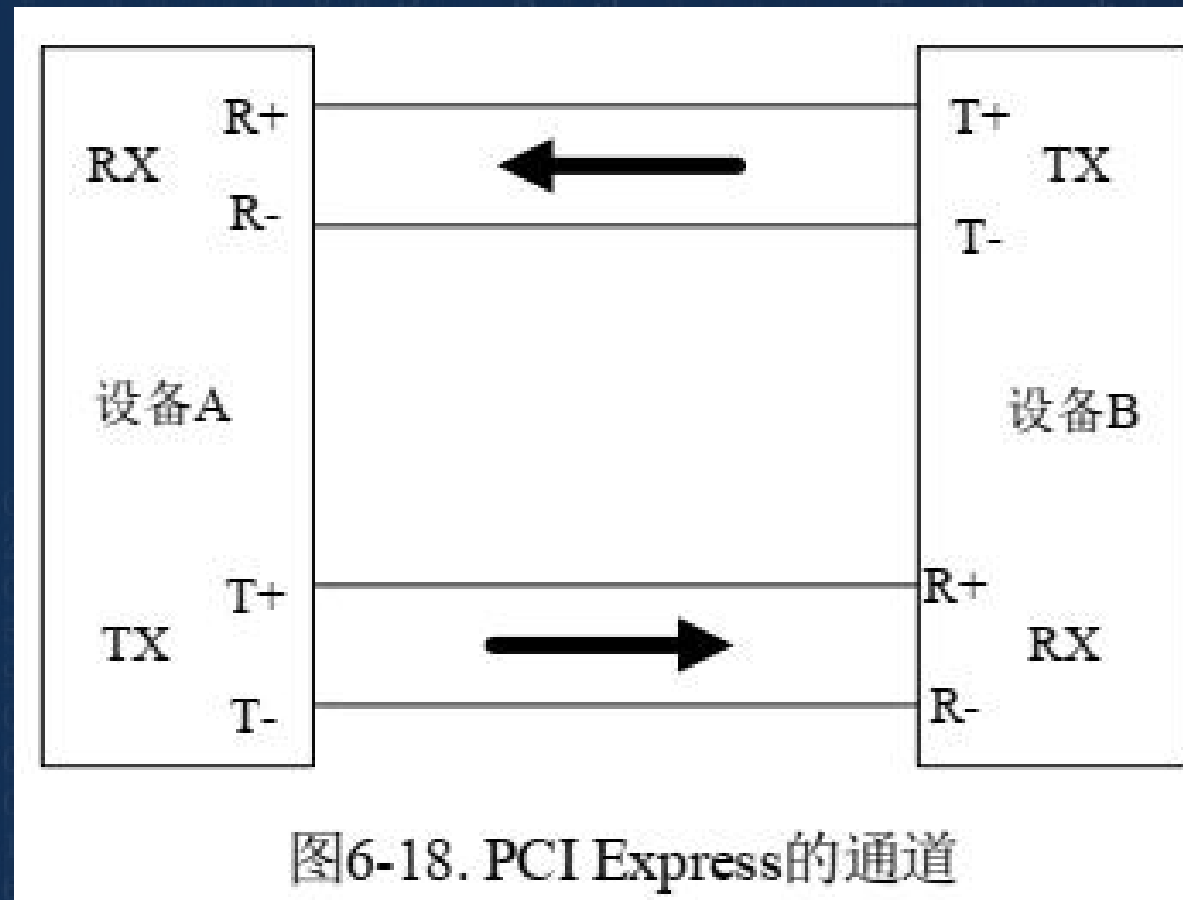


图6-18. PCI Express的通道

2) 链接 (link)

- 两个PCI Express设备间的连接称为链接。一条链接可以由一个通道或多个通道组成。图6-19所示的链接是由2条通道组成的链接（注：仅为了示意，目前的标准规范并没有定义2个通道的链接）。依据目前的标准，一个PCI Express链接可提供1、4、6、16或32个通道，即链接宽度为分别为×1、×4、×6、×16或×32。

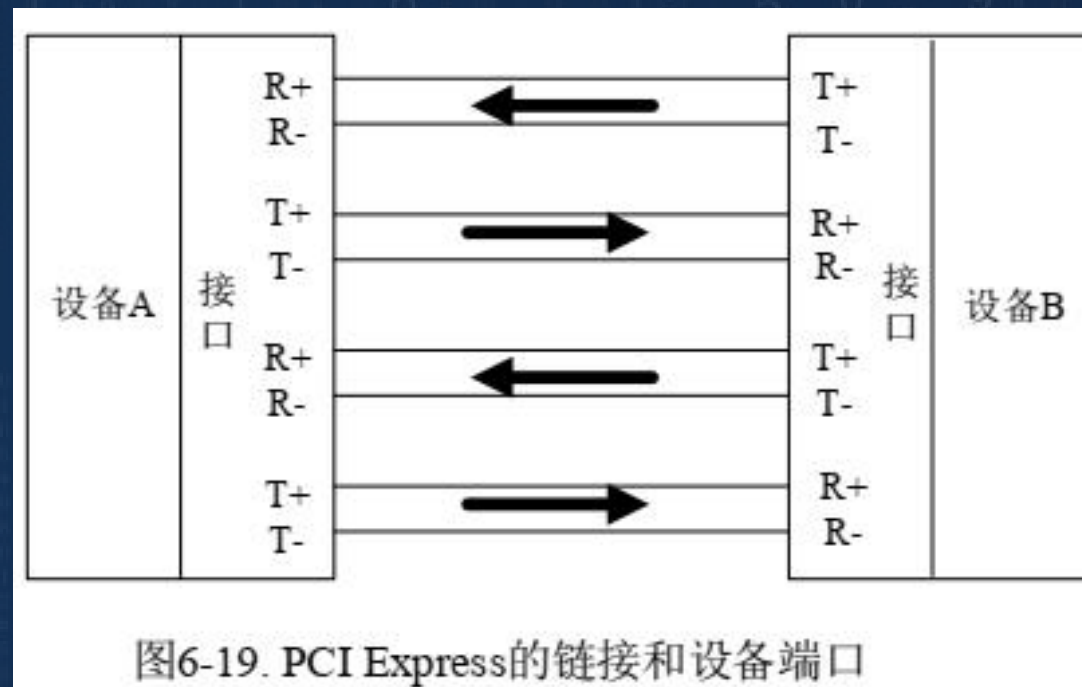


图6-19. PCI Express的链接和设备端口

2. 数据链路层

- 与物理层和事务层相互作用，主要职责是纠错和检测，负责确保通过链接发送的每个数据包数据完整且正确。数据链路层从事务层的发送端获取事务层数据包（TLP），通过在数据包的开头添加序列号，并在结尾添加LCRC（即数据链路层CRC）错误校验码来实现此目的，从而构造出数据链路层数据包（DLLP），之后便将其提交给物理层。
- 使用包序列号可以确保每个数据包都通过链路得以发送而不会丢失。

- 数据链路层的接收方从物理层接收传入的数据包，并检查序列号和LCRC以确保数据包正确。如果正确，则将其传递到事务层的接收方。如果发生错误（错误的包序列号或错误的的数据），则在解决问题之前，它不会将数据包传递到事务层。
- 数据链路层还负责管理链路，以实现链路的其它功能，例如电源管理等。为此，数据链路层会生成特定的数据链路层数据包，这些DLLP并不为事务层所知。

3. 事务层

- 事务处理是PCI Express设备之间信息传输的基础。PCI Express使用拆分事务协议。这意味着有两个事务阶段，即请求和完成。事务发起方（称为请求方）发出请求数据包。对于需要完成的请求，完成者随后将完成包发送回请求者。
- 事务层从其上的软件层接收读/写请求，并创建请求数据包，通过链路层传输到目的地。请求数据包由源设备发出，并等待响应，即等待收到对方发来的完成数据包。每个数据包都有唯一的标识符（标头）用于指示源设备。
- 事务层数据包格式支持32位或扩展的64位内存寻址。

1) 事务地址空间

- 事务层支持四个地址空间：
 - ①内存地址空间：内存地址空间既包括系统主存地址空间，也包括I/O端口地址空间。通过将I/O端口地址空间映射到特定内存地址区域来实现。
 - ②I/O端口地址空间：此地址空间用于向后兼容PCI或PCIX设备，保留的内存地址范围用于寻址老的I/O设备。
 - ③配置地址空间：此地址空间用于初始化事务层操作。
 - ④消息地址空间：此地址空间用于控制与中断，以及错误处理和电源管理有关的信号。

2) 事务类型与作用

- 定义了四种事务类型：内存、I/O、配置和消息。

地址空间	事务类型	作用
存储器	读存储器	读、写系统存储器中的数据（包括映射到存储空间的 I/O 端口中的数据）
	加锁读存储器	
	写存储器	
I/O端口	读 I/O 端口	读、写映射到存储空间的 I/O 传统设备端口中的数据
	写 I/O 端口	
配置	读配置类型 0	读、写 PCI Express 设备上配置空间中的数据
	写配置类型 0	
	读配置类型 1	
	写配置类型 1	
消息	消息请求	实现消息或事件发送与接收
	带符加数据的消息请求	
存储器、 I/O 端口及配置	完成	用于完成事务后的反馈
	带符加数据的完成	
	加锁的完成	
	带符加数据加锁的完成	

- ①内存事务：该事务是以内存空间为目标的事务。将数据传输到内存或从内存读取数据。内存事务有几种类型：内存读请求、加锁的内存读请求、内存写入请求和内存读写完成等。内存事务使用两种不同的地址格式之一，即32位寻址（短地址）或64位寻址（长地址）。

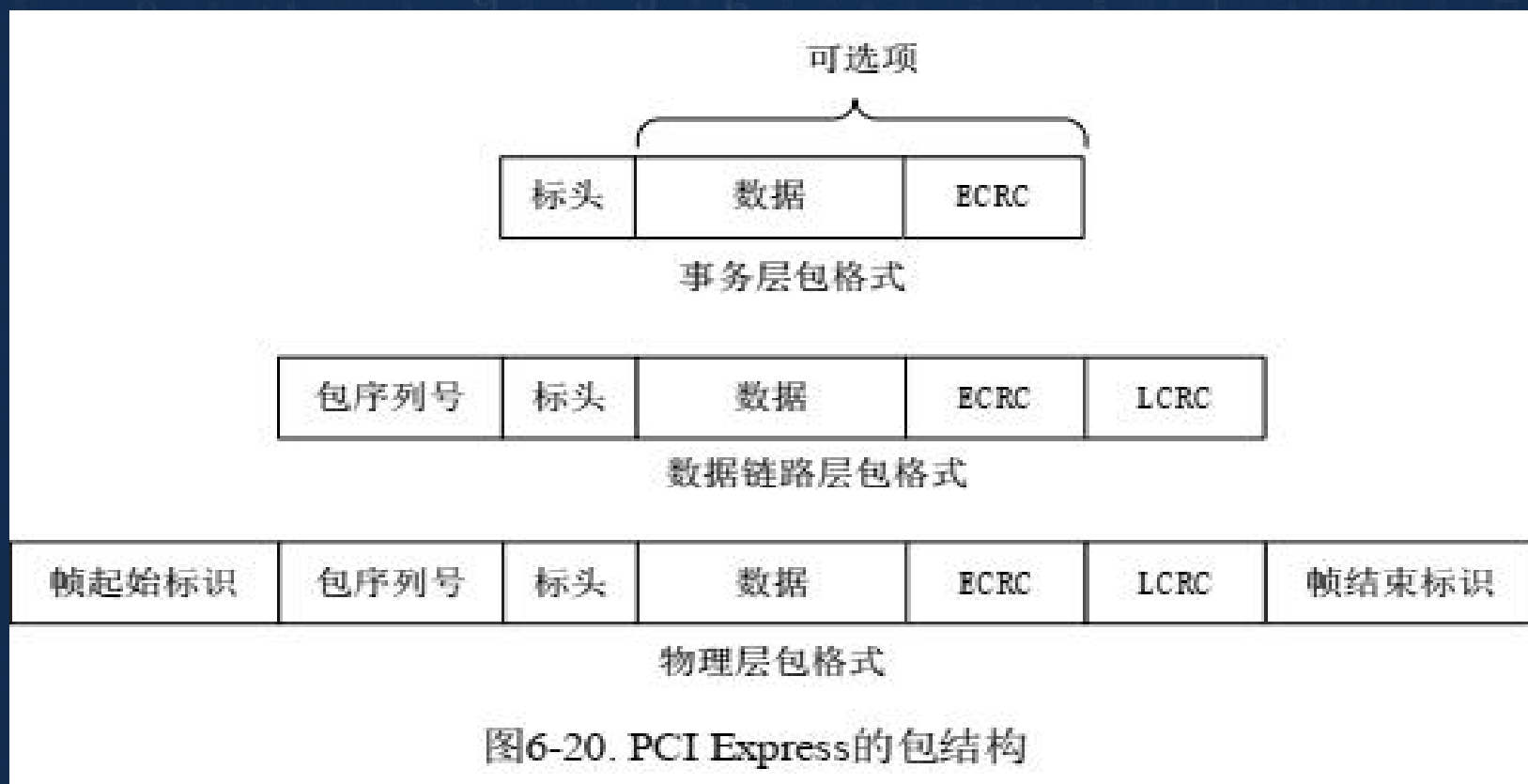
- ②I/O事务：针对I/O空间的事务会将数据传输到I/O映射的位置或从I/O映射的位置读取数据。PCI Express支持此I/O空间的目的是为了与使用该空间的传统设备兼容。I/O事务有几种类型：I/O读取请求，I/O读取完成，I/O写入请求和I/O写入完成。I/O事务仅使用32位地址（短地址格式）。

- ③配置事务：针对配置空间的事务用于设备配置和设置。这些事务访问PCI Express设备的配置寄存器。与传统PCI相比，PCI Express允许更多配置寄存器。对于每个设备的每个功能，PCI Express定义一个配置寄存器，其大小是PCI定义大小的四倍。配置事务有几种类型：配置读取请求，配置读取完成，配置写入请求和配置写入完成。

- ④消息事务：PCI Express比PCI添加了一种新的事务类型，可在PCI Express设备之间传递各种消息（非正常的数据传输），用于中断请求、应答信号、错误信号或电源管理之类的事情。该地址空间是PCI Express的新增功能。

4. 包结构

- PCIe交换信息封装在数据包中。对数据和状态消息进行打包和解包的工作由PCI Express端口的事务层处理。



1) 事务层包

- 事务使用事务层包进行传输。事务层包始于发送设备的事务层，终止于接收设备的事务层。事务层之上的软件，向事务层发送需要事务层创建事务层包所需的信息，该信息包括以下字段：
- 标头：描述了数据包的类型，并包括接收方处理数据包所需的信息和路由信息。
- 数据：事务层包中的数据字段最多可包含4096个字节的数
据。某些事务层包不包含数据字段。如完成包。
- ECRC：可选的端到端CRC字段。使接收方事务层校验标
头和数据是否存在错误。

2) 数据链路层包

- 数据链路层包起源于发送设备的数据链路层，并终止于接收设备的数据链路层。在管理链路时使用了三种数据链路层包，即流量控制包、电源管理包以及ACK和NAK包。流控制包用于调节事务层包或数据链路层包通过链路传输的速率。电源管理数据包用于管理电源。ACK和NAK数据包在事务层包处理中使用。

- 数据链路层将两个新字段添加到由事务层创建的事务层包上，即包序列号和LCRC。在事务层创建的核心字段仅在目标事务层使用，而数据链路层添加的两个字段在从源到目标的途中的每个中间节点处都要进行处理。
- 当事务层包到达目标设备时，数据链路层会剥离序列号和LCRC字段，并执行校验操作。结果有两种可能性：

- ①如果未检测到错误，则将事务层包的核心部分移交给本地事务层。如果此接收设备是预期的目的地，则事务层处理事务层包。否则，事务层将确定事务层包的路由，并将其向下传递回数据链路层，以便通过下一个链路进行传输，最终到达目的地。
- ②如果检测到错误，则数据链路层生成NAK 数据链路层包并返回给发送方，即取消了这个事务包。
- 传输事务层包时，保留事务层包的副本。如果接收事务层包的NAK，则重新发送事务层包；如果收到的是ACK包，表示发送成功，则丢弃缓冲区中的事务层包。

3) 物理层包

- 发送方物理层在数据链路层包上增加帧格式信息构造出物理层包，以适应物理层的传输需要。在接收方，物理层对帧进行解码，然后将序列号，报头，数据，ECRC和LCRC传递到其数据链路层。数据链路层检出序列号和LCRC，然后将标头，数据和ECRC传递到事务层。
- 事务层对报头进行解码，并将适当的数据传递给上层的软件。

5. 流量控制

- **PCI Express**使用基于信用的流量控制。在该方案中，设备在其事务层中为每个接收端缓冲区通告初始信用额度。链路另一端（即发送端）设备发送事务时，会计算每个事务层包消耗的信用额度数量。
- 发送设备只能在不使其消耗的信用额度数量超过其信用额度下限的情况下发送事务层包。接收设备从其缓冲区完成对事务层包的处理时，它将向发送设备发出信用返还的信号，这会使发送方的信用额度增加。