

2025 Digital IC Design Homework 1

NAME		陳冠言					
Student ID		P76134082					
Functional Simulation Result							
Stage 1	Pass/Fail	Stage 2	Pass/Fail	Stage 3	Pass/Fail	Stage 4	Pass/Fail
Stage 1							
<pre>VSIM 30&gt; run -all # ----- #                               Stagel: Comparator2 Pass !                               ----- #</pre>							
Stage 2							
<pre># ----- #                               Stage2: MedianFinder_3num Pass !                               ----- #</pre>							
Stage 3							
<pre># ----- #                               Stage3: MedianFinder_5num Pass !                               ----- #</pre>							
Stage 4							
<pre># ----- #                               Stage4: MedianFinder_7num Pass !                               ----- #</pre>							
Description of your design							
<pre>VSIM 30&gt; run -all # ----- #                               Stagel: Comparator2 Pass !                               ----- # ----- #                               Stage2: MedianFinder_3num Pass !                               ----- # ----- #                               Stage3: MedianFinder_5num Pass !                               ----- # ----- #                               Stage4: MedianFinder_7num Pass !                               ----- # #                               /////////////////////////////////// #                               /                               /                                __  #                               /  Congratulations !!          /                               / 0.0   #                               /                               /                               /-----  #                               /  Simulation PASS !!          /                               / ^ ^ ^ ^ \   #                               /                               /   ^ ^ ^ ^  w  #                               /                               / \m__m_ _  #                               /////////////////////////////////// # # ** Note: \$finish      : D:/intelFPGA/DIC/HW1/testfixture.sv(164) #      Time: 13 ns  Iteration: 0  Instance: /testfixture</pre>							

## 1. Dual-input Comparator2

兩個數值比較，小的為 min，大的為 max。

## 2. Three-input Median Finder

主要根據題目描述與 logic diagram，進行三次 comparator2 的比較，先過濾掉 3 者中的最大值，再比較剩下兩者即可找出中間值（即中位數 median）。

## 3. Five-input Median Finder

先挑出 4 個數值中的最小值和最大值，最後再將剛剛沒有比較的數值與其他兩者做 Three-input Median Finder 找出 3 者中的 median。

## 4. Seven-input Median Finder

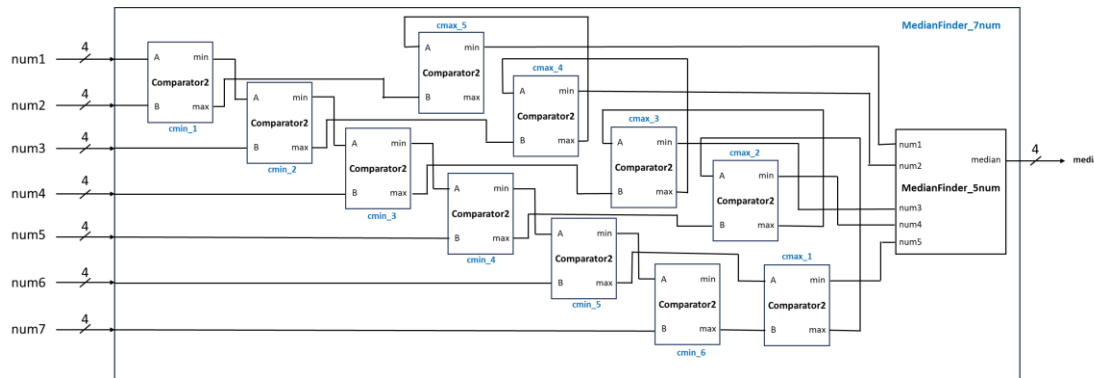


圖 1：Logic diagram of Seven-input Median Finder

其實 7 個數值的處理與上述雷同，我的主要概念為先挑出 7 個數值的最小值和最大值後就可以用剛剛設計好的 Five-input Median Finder 找出 5 個數值的 median，其也等同於 7 個數值的 median。

所以設計的電路主要先用 6 個 comparator2 進行 6 次兩兩數值的比較，第一個比較完用他的 min 與下一個數值比較，迭代 6 次後可以得到最小值；反之，可以將剛剛 comparator2 cmin\_6 產生的 max 和 comparator2 cmin\_5 的 max 使用 comparator2 進行比較，產生一個新的 max，再用此 max 與 cmin\_4 的 max 進行比較，迭代 5 次後（因為 min 已經找到所以 7-1 個數值來比較）可以找到最大值。

最後，剩下五個數值就可以用剛剛設計好的 Five-input Median Finder 去找出 median。