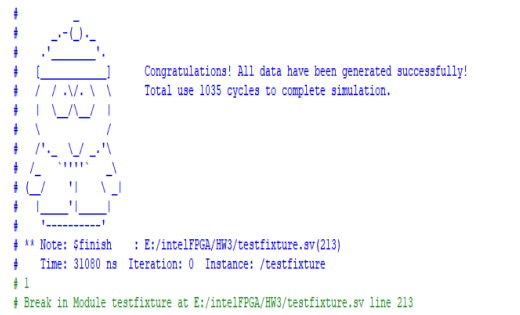
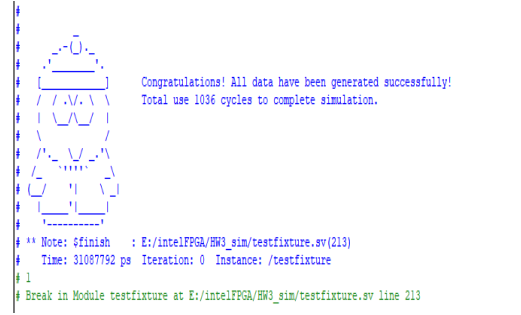


2025 Digital IC Design Homework 3

NAME	陳冠言																														
Student ID	P76134082																														
Simulation Result																															
Functional simulation	Pass	Pre-Layout simulation	Pass																												
<div></div>		<div>Please specify your clock width: <u>30</u> (ns) </div>																													
Synthesis Result																															
Total logic elements	4,902 / 55,856 (9 %)																														
Total memory bits	0 / 2,396,160 (0 %)																														
Total registers	3172																														
Embedded multiplier 9-bit elements	120 / 308 (39 %)																														
<table><tr><td>Flow Status</td><td>Successful - Thu May 01 15:01:07 2025</td></tr><tr><td>Quartus Prime Version</td><td>20.1.1 Build 720 11/11/2020 SJ Lite Edition</td></tr><tr><td>Revision Name</td><td>FFT</td></tr><tr><td>Top-level Entity Name</td><td>FFT</td></tr><tr><td>Family</td><td>Cyclone IV E</td></tr><tr><td>Device</td><td>EP4CE55F23A7</td></tr><tr><td>Timing Models</td><td>Final</td></tr><tr><td>Total logic elements</td><td>4,902 / 55,856 (9 %)</td></tr><tr><td>Total registers</td><td>3172</td></tr><tr><td>Total pins</td><td>277 / 325 (85 %)</td></tr><tr><td>Total virtual pins</td><td>0</td></tr><tr><td>Total memory bits</td><td>0 / 2,396,160 (0 %)</td></tr><tr><td>Embedded Multiplier 9-bit elements</td><td>120 / 308 (39 %)</td></tr><tr><td>Total PLLs</td><td>0 / 4 (0 %)</td></tr></table>				Flow Status	Successful - Thu May 01 15:01:07 2025	Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition	Revision Name	FFT	Top-level Entity Name	FFT	Family	Cyclone IV E	Device	EP4CE55F23A7	Timing Models	Final	Total logic elements	4,902 / 55,856 (9 %)	Total registers	3172	Total pins	277 / 325 (85 %)	Total virtual pins	0	Total memory bits	0 / 2,396,160 (0 %)	Embedded Multiplier 9-bit elements	120 / 308 (39 %)	Total PLLs	0 / 4 (0 %)
Flow Status	Successful - Thu May 01 15:01:07 2025																														
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition																														
Revision Name	FFT																														
Top-level Entity Name	FFT																														
Family	Cyclone IV E																														
Device	EP4CE55F23A7																														
Timing Models	Final																														
Total logic elements	4,902 / 55,856 (9 %)																														
Total registers	3172																														
Total pins	277 / 325 (85 %)																														
Total virtual pins	0																														
Total memory bits	0 / 2,396,160 (0 %)																														
Embedded Multiplier 9-bit elements	120 / 308 (39 %)																														
Total PLLs	0 / 4 (0 %)																														

Description of your design

本次作業主要是做 FFT 設計，以實現一個 16 點 FFT 處理器並使用 Cooley-Tukey 算法架構，透過四級蝶形運算（butterfly operations）將時域信號轉換為頻域信號。整體架構包含數據收集、四階段 FFT 計算及有序輸出等模組。

1. 本設計主要包含以下主要功能：

1. 串並轉換（Serial to Parallel）：

- 接收串行輸入資料 fir_d
- 透過移位暫存器收集 16 個時域樣本
- 當收集到 16 個樣本時觸發 FFT 處理

2. 四級 FFT 處理：

- 第一級：8 個基礎蝶形運算，分割 16 個輸入為 8 組運算單元
- 第二級：4 個複合蝶形運算，合併第一級結果
- 第三級：2 個更大的蝶形運算單元
- 第四級：最終蝶形運算，產生 16 點 FFT 結果

3. 輸出控制：

- 按照頻域順序重新排列 FFT 結果
- 依序輸出每個 FFT 點的實部和虛部
- 管理 fft_valid 與 done 信號

在作業中較困難的部份是在控制精度的部分，因為我一開始設計時採用 32bits 進行 butterfly operations，但最後發現在 16 進制的 LSB 會有固定誤差，有試過後處理來調整精度但治標不治本，所以後來又使用更多 bit 數來進行運算並且透過適當的右移操作來控制乘法的位元數。

精度控制上，主要實現了右移操作除以 2^{16} ，防止了溢位，雖然每次右移都可能導致精度損失，特別是在較小的值上，但這是定點數實現中必要的折衷。