

HW1 Report

資訊所 P76134082 陳冠言

Pass modelsim simulation

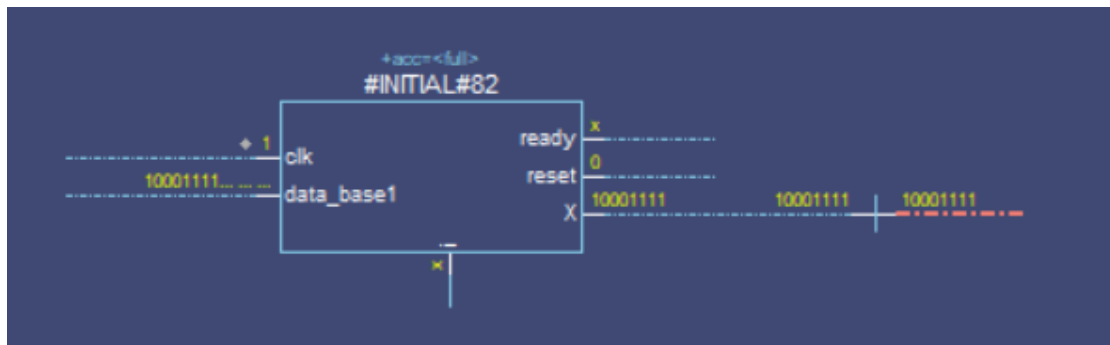
```
VSIM 2> run -all
# -----
#
# -----
#
# All data have been generated successfully!
#
# -----PASS-----
#
# -----
#
# ** Note: $finish      : D:/intelFPGA/HW1/testfixture.v(129)
#    Time: 60120 ns   Iteration: 2   Instance: /testfixture
```

1. Architecture Diagram

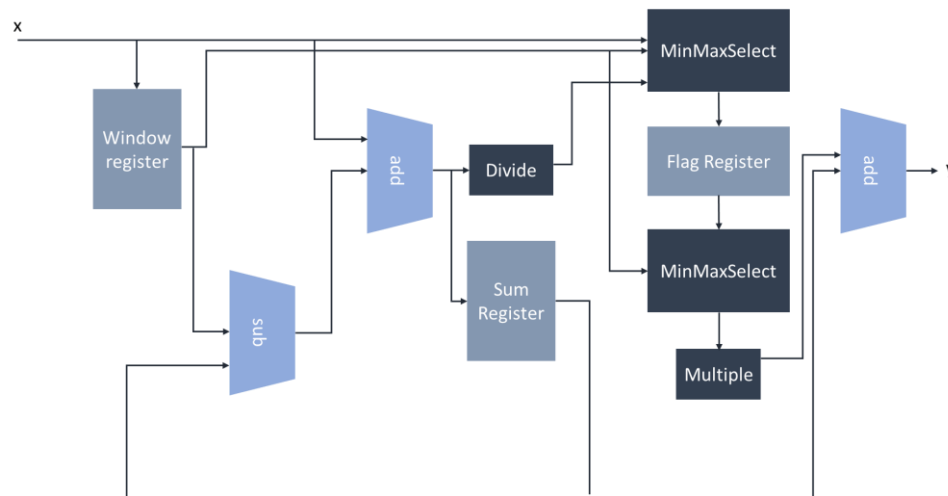
a. Architecture

```
VSIM 30> show testfixture
# Module testfixture {
#   {Root ..}
#   {Parameter INPUT_DATA}
#   {Parameter GOLDEN}
#   {Parameter N_PAT}
#   {Parameter t_reset}
#   {Register reset}
#   {Register clk}
#   {Register ready}
#   {Register stop}
#   {Register flag1}
#   {Register flag2}
#   {Net pclk}
#   {Integer i}
#   {Integer out_f}
#   {Integer err}
#   {Integer pattern_num}
#   {Integer a}
#   {Integer b}
#   {{Packed Array} X}
#   {{Fixed-size Array} data_base1}
#   {{Fixed-size Array} data_base2}
#   {{Packed Array} data_tmp}
#   {Net Y}
#   {Module top}
# }
```

b. Dataflow



c. Circuit



2. Explain my design

本設計遵循題目要求，分成以下幾個步驟：

(1) 記錄最近 9 個輸入

window_reg 透過 shift register 的方式，每個時鐘週期更新最新的輸入值 X，同時保留過去 8 個數據。

(2) 計算整數部分的移動平均

sum_reg 透過加法和減法維護最近 9 個數據的總和：

$$\text{sum_reg} = \text{prev_sum} - \text{oldest value} + X$$

avg_calc 透過多個移位運算和加減法來近似計算移動平均數。

(3) 判斷哪些數值大於平均值

valid_flags 將 window_reg 的數據與 avg_calc 做比較，標記哪些符合條件。

(4) 選擇最接近但小於平均值的數據

透過 MinMaxSelect 模組，將 9 個候選數據透過逐步比較篩選，得到最接近但小於 avg_calc 的值。

(5) 最後計算最終輸出

根據 $\text{final_result} = \{1'b0, \text{prev_sum}\} + \{1'b0, \{1'b0, \text{val_4a}, 3'b0\} + \{4'b0, \text{val_4a}\}\}$ 計算輸出 Y。

3. Learn from this homework

透過本次作業我主要學到 modelsim 的主要操作，因為自己之前沒有接觸過 simulation 的軟體，只有學過基礎的 verilog 語法，因此對於軟體工具的操作不太熟悉，也花了許多時間上網學習。

而透過此作業的演算法中，我學到的內容如下：

1. 移動平均：了解如何使用移位暫存器來存儲過去 N 個數據，並透過加減法快速更新總和。
2. 有效數據選擇：透過 valid_flags 確保選出的數據符合近似平均值的條件。
3. 多層比較架構：自己設計的 Module MinMaxSelect 可透過四層比較 (類似樹狀結構) 來高效選擇最佳的近似平均值，減少硬體資源消耗。
4. 數位電路的設計思維：這次作業結合了數據流處理、條件判斷、數據選擇，能幫助我更熟悉硬體計算架構，及如何透過 Verilog 來實現類似 DSP 的系統。