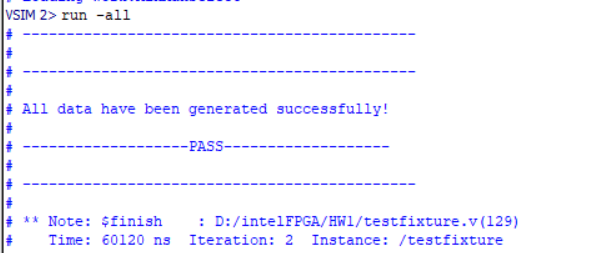
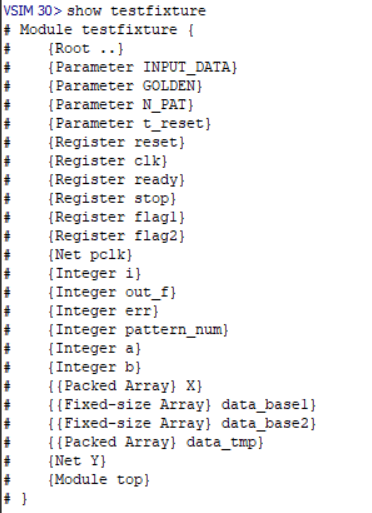
**HW1 Report**

資訊所 P76134082 陳冠言

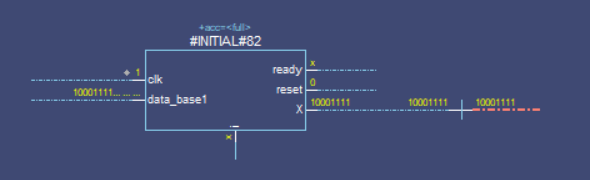
**Pass modelsim simulation**



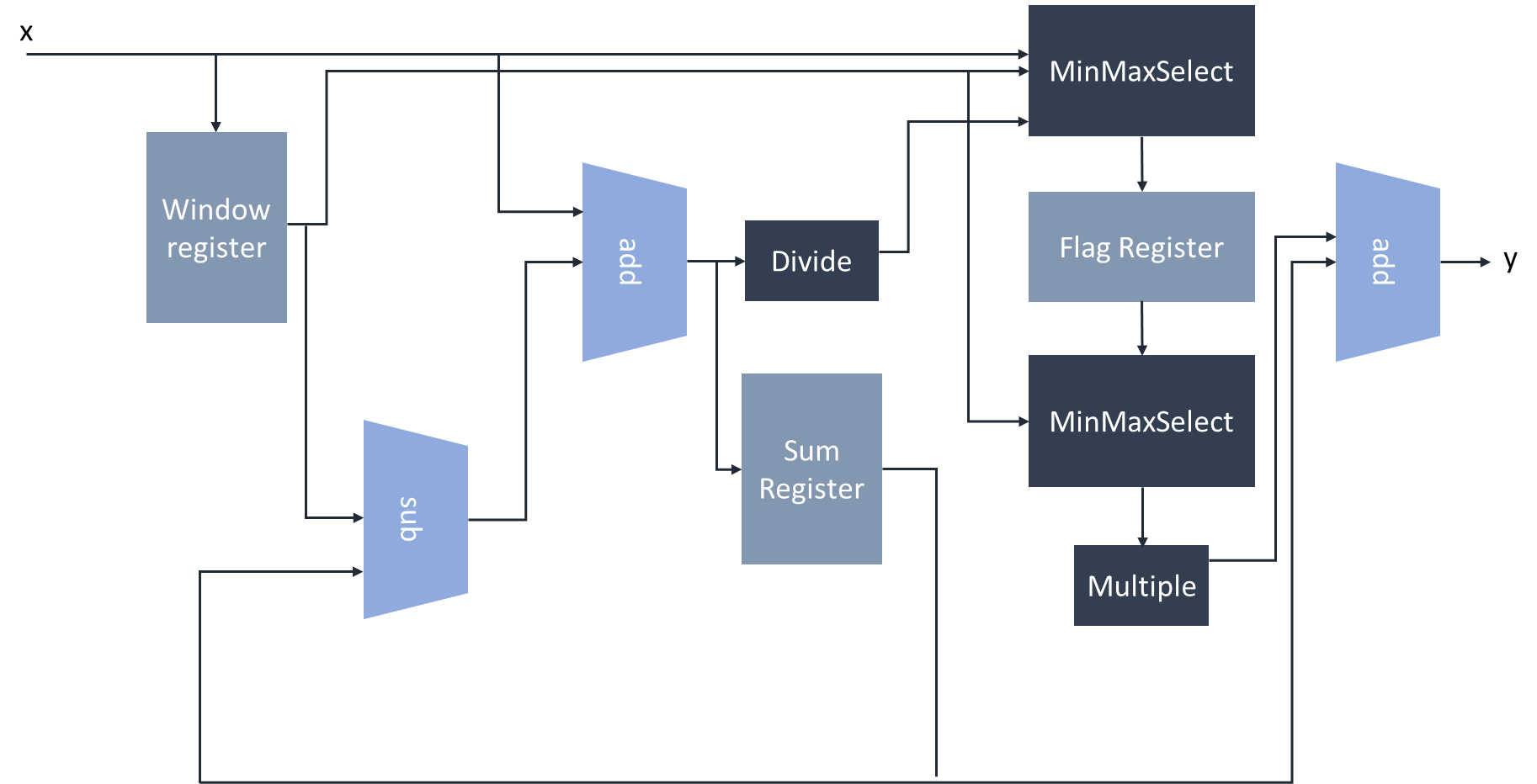
1. **Architecture Diagram**
2. Architecture



1. Dataflow



1. Curcuit



1. **Explain my design**

本設計遵循題目要求，分成以下幾個步驟：

1. 記錄最近 9 個輸入

window\_reg 透過 shift register 的方式，每個時鐘週期更新最新的輸入值 X，同時保留過去 8 個數據。

1. 計算整數部分的移動平均

sum\_reg 透過加法和減法維護最近 9 個數據的總和：



avg\_calc 透過多個移位運算和加減法來近似計算移動平均數。

1. 判斷哪些數值大於平均值

valid\_flags 將 window\_reg 的數據與 avg\_calc 做比較，標記哪些符合條件。

1. 選擇最接近但小於平均值的數據

透過 MinMaxSelect 模組，將 9 個候選數據透過逐步比較篩選，得到最接近但小於 avg\_calc 的值。

1. 最後計算最終輸出

根據 final\_result = {1'b0, prev\_sum} + {1'b0, {1'b0, val\_4a, 3'b0} + {4'b0, val\_4a}} 計算輸出 Y。

1. **Learn from this homework**

透過本次作業我主要學到modelsim的主要操作，因為自己之前沒有接觸過simulation的軟體，只有學過基礎的verilog語法，因此對於軟體工具的操作不太熟悉，也花了許多時間上網學習。

而透過此作業的演算法中，我學到的內容如下：

1. 移動平均：了解如何使用移位暫存器來存儲過去 N 個數據，並透過加減法快速更新總和。
2. 有效數據選擇：透過 valid\_flags 確保選出的數據符合近似平均值的條件。
3. 多層比較架構：自己設計的Module MinMaxSelect 可透過四層比較 (類似樹狀結構) 來高效選擇最佳的近似平均值，減少硬體資源消耗。
4. 數位電路的設計思維：這次作業結合了 數據流處理、條件判斷、數據選擇，能幫助我更熟悉硬體計算架構，及如何透過 Verilog 來實現類似 DSP 的系統。