硬體描述語言設計與模擬

題目:加三碼轉BCD

班級:電子二B

姓名:曾皓暐

學號:B10213147

指導老師:許明華教授

助教: 林信堃 王柚傑

**一、題目簡要說明:**

設計一個加三碼轉BCD

**二、設計理念解說**

(1)真值表

|  |  |
| --- | --- |
| input:加三碼 | Output: BCD |
| e8 e4 e2 e1 | b8 b4 b2 b1 |
| 0000  0001  0010  0011  0100  0101  0110  0111  1000  1001  1010  1011  1100  1101  1110  1111 | xxxx  xxxx  xxxx  0000  0001  0010  0011  0100  0101  0110  0111  1000  1001  xxxx  xxxx  xxxx |
| X= don’t care | |

**三、Verilog 程式碼**

module exceed3\_to\_BCD (A,B,C,D,Qa,Qb,Qc,Qd);

input A,B,C,D;

output Qa,Qb,Qc,Qd;

wire B\_,C\_,D\_,a1,a2,b1,b2,b3,c1,c2;

not (B\_,B);

not (C\_,C);

not (D\_,D);

and a\_1 (a1,A,C,D);

and a\_2 (a2,A,B);

or a\_3 (Qa,a1,a2);

and b\_1 (b1,B,C,D);

and b\_2 (b2,B\_,D\_);

and b\_3 (b3,B\_,C\_);

or b\_4 (Qb,b1,b2,b3);

and c\_1 (c1,C\_,D);

and c\_2 (c2,C,D\_);

or c\_3 (Qc,c1,c2);

buf d\_1 (Qd,D\_);

endmodule

**四、測試訊號程式碼**

`timescale 1ns/1ns

module simulation;

reg[3:0]in;

wire[3:0]BCD;

exceed3\_to\_BCD UUT(

.A(in[3]),.B(in[2]),.C(in[1]),.D(in[0]),

.Qa(BCD[3]),.Qb(BCD[2]),.Qc(BCD[1]),.Qd(BCD[0]));

initial

for(in=3;in<=12;in=in+1)begin

#10; end

initial #100 $finish;

initial

$monitor($realtime,"ns in=%h BCD=%h",in,BCD);

Endmodule

**五、模擬結果輸出文字**

run -all

# 0ns in=3 BCD=0

# 10ns in=4 BCD=1

# 20ns in=5 BCD=2

# 30ns in=6 BCD=3

# 40ns in=7 BCD=4

# 50ns in=8 BCD=5

# 60ns in=9 BCD=6

# 70ns in=a BCD=7

# 80ns in=b BCD=8

# 90ns in=c BCD=9

**六、模擬結果輸出波形**

