硬體描述語言設計與模擬

題目: 4 to 2優先編碼器

班級:電子二B

姓名:曾皓暐

學號:B10213147

指導老師:許明華教授

助教: 林信堃 王柚傑

**一、題目簡要說明:**

設計一個4 to 2優先編碼器

**二、設計理念解說**

(1)真值表

|  |  |
| --- | --- |
| input: | Output: |
| e8 e4 e2 e1 | b2 b1 |
| 0000  0001  0010  0011  0100  0101  0110  0111  1000  1001  1010  1011  1100  1101  1110  1111 | xx  00  01  01  10  10  10  10  11  11  11  11  11  11  11  11 |
| X= don’t care | |

**三、Verilog 程式碼**

module priority\_encoder4\_to\_2(in,out);

input [3:0] in;

output [1:0] out;

wire valid;

assign valid = |in;

assign out = valid?(in[3]? 2'b11 :

in[2]? 2'b10 :

in[1]? 2'b01 :

in[0]? 2'b00 :2'bz ): 2'bz;

endmodule

**四、測試訊號程式碼**

`timescale 1ns/1ns

module simulation;

reg[3:0]in;

wire[1:0]out;

priority\_encoder4\_to\_2 UUT(

.in(in), .out(out));

initial

for(in=0;in<=15;in=in+1)begin

#10; end

initial #160 $finish;

initial

$monitor($realtime,"ns in=%b out=%b",in,out);

Endmodule

**五、模擬結果輸出文字**

run -all

# 0ns in=0000 out=zz

# 10ns in=0001 out=00

# 20ns in=0010 out=01

# 30ns in=0011 out=01

# 40ns in=0100 out=10

# 50ns in=0101 out=10

# 60ns in=0110 out=10

# 70ns in=0111 out=10

# 80ns in=1000 out=11

# 90ns in=1001 out=11

# 100ns in=1010 out=11

# 110ns in=1011 out=11

# 120ns in=1100 out=11

# 130ns in=1101 out=11

# 140ns in=1110 out=11

# 150ns in=1111 out=11

**六、模擬結果輸出波形**