

# 芯片钴互连及其超填充电镀技术的研究进展

魏丽君<sup>1</sup>, 周紫晗<sup>1</sup>, 吴蕴雯<sup>1\*</sup>, 李 明<sup>1</sup>, 王 溯<sup>2</sup>

(1. 上海交通大学材料科学与工程学院, 上海 200240; 2. 上海新阳半导体材料股份有限公司, 上海 201616)

**摘要:** 芯片中的钴互连作为铜互连之后的下一代互连技术受到了业界的极大关注, 且已经引入集成电路 7 nm 以下的制程。钴互连主要采用湿法的电化学沉积技术, 但由于保密原因和研究条件的限制, 其研究报道不多。本文基于现有专利、文献报道较系统地介绍了钴互连技术的优势及发展现状, 并从溶液化学和电化学角度综述了钴互连电镀基本工艺、基础镀液组成与添加剂、超填充电镀机理, 以及镀层退火控制与杂质影响等的研究现状, 并对钴互连技术下一步研究进行了展望。

**关键词:** 钴; 电沉积; 超填充; 互连; 自下而上

## 1 引 言

如今, 随着 IC (integrated circuit) 集成电路产业技术的发展, 电子产品芯片内部的金属布线已长达数十公里, 层数高达 15 层<sup>[1]</sup>, 其能耗/性能方面的改善要求晶体管和金属互连线的尺寸不断缩小, 由此带来的尺寸效应 (size effect) 也越来越显著, 互连线电阻率将急剧增长<sup>[2]</sup>。当铜互连线的线宽下降到 40 nm 时, 其电阻率已经比金属铜的体电阻率 ( $1.75 \mu\Omega \cdot \text{cm}$ ) 高 2.6 倍<sup>[3]</sup>。互连金属电阻率的急剧增长不仅造成严重的 RC (resistance & capacitance) 延迟, 而且会产生较大的焦耳热, 损害芯片的性能<sup>[4]</sup>。此外, 为增强电介质和铜之间的结合力, 必须在电介质表面预先溅射粘附层等功能层。然而, 这些功能层存在极限尺寸, 无法随着互连线宽的缩小而进一步减薄。一般来说, 阻挡层/黏附层的最小厚度只有 1.5 ~ 2 nm, 铜互连侧壁的总厚度最大约为 4 nm。当线宽为 20 nm 时, 导电铜的横截面占比为 80%, 线宽为 12 nm 时, 导电铜的横截面占比为 67%, 进一步缩小的铜互连线的截面积, 加剧了互连电阻率的上升。另外, 铜线线宽的减小造成铜线的电流载量急剧上升, 引发严重的电迁移

失效, 造成严峻的可靠性问题<sup>[5]</sup>。综上, 铜互连已经无法满足后摩尔时代先进集成电路尺寸微缩的发展需求, 亟需寻找新型替代互连材料。

## 2 钴互连的优势及工业应用现状

一般来说, 块体金属材料的电子平均自由程越大, 其电子-声子散射几率越小, 电阻率也越低<sup>[6]</sup>。室温下传统互连金属 (Cu) 的电子平均自由程约为 39 nm, 当金属互连线的特征尺寸缩小到铜的电子平均自由程时, 金属内部的电子受到较强的晶界散射和界面散射, 从而导致电阻率的突增。薄膜界面处的电子散射和晶界处的电子散射效应对金属线电阻率的影响可以由以下公式表征<sup>[7,8]</sup>:

$$\rho = \rho_b \left[ 1 + \frac{3}{8} (1 - p) \frac{\lambda}{\chi} + \frac{3}{2} \left( \frac{r}{1 - r} \right) \frac{\lambda}{D} \right] \quad (1)$$

式中,  $\rho_b$  是金属体电阻率;  $p$  是界面散射因子;  $\lambda$  是电子平均自由程;  $\chi$  是薄膜厚度;  $r$  是晶界反射系数 (电子被晶界反射的平均概率);  $D$  是平均晶粒尺寸。可以看出, 当其他系数不变时, 可以用  $\rho_b$  与  $\lambda$  的乘积 (电阻率品质因子) 来衡量纳米尺度下金属的导电性。因此, 具有较低电阻率品质因子的金属 (如 Rh、Co、Ru 等) 与铜相比具有更小

**Cite as:** Wei L J, Zhou Z H, Wu Y W, Li M, W S. Research progress of cobalt interconnects and its superfilling by electroplating in chips. *J. Electrochem.*, 2022, 28(6): 2104431.

的尺寸效应,从而有望成为铜的替代材料,进一步缩小器件尺寸。其中,Co 因其电子平均自由程( $\sim 10\text{ nm}$ )比 Cu 小得多,且储量丰富价格适宜等优点而备受青睐。Co 本身可以充当阻挡层或黏附层<sup>[9]</sup>,理论上来说用钴作互连金属可以不需要电阻率较高的阻挡层和黏附层,因而可以进一步提升互连金属电导率。而且,Co 的熔点为  $1495\text{ }^{\circ}\text{C}$ ,Cu 的熔点为  $1085\text{ }^{\circ}\text{C}$ ,相比于铜来说,高熔点的钴更有利于降低原子扩散带来的电迁移失效<sup>[10]</sup>。

先进钴互连的工艺难度比较大,且应用场景较少,只有  $7\text{ nm}$  以下的技术节点才有应用,导致国际上鲜有关于钴互连的公开报道。目前,采用钴互连先进制程工艺的 IC 制造厂商包括英特尔(Intel)和台积电(TSMC)。TSMC 在  $7\text{ nm}$  技术节点的晶体管中使用 Co 塞结构代替 W 塞结构作为沟道中的接触部分,可以使接触电阻降低  $50\%$ <sup>[11,12]</sup>,图 1 是接触部分的钴填充示意图(仅为示意图,非台积电工艺)<sup>[13,14]</sup>。英特尔  $10\text{ nm}$  系列先进制程的局部

互连层也采用钴,但钴仅作为芯片底层(沟道接触部分, M0 层和 M1 层)中替换铜或钨的短距离连接,在上层金属布线仍然使用铜互连,表 1 为 Intel 10+ 工艺的后端金属堆叠情况<sup>[15,16]</sup>。国内关于钴互连实际应用的研究处于起步阶段,据了解,国内最大的 IC 制造商正着手钴互连的开发,一些研究机构也开始进行应用尝试。

### 3 钴互连工艺

钴互连工艺涉及到金属填充前的工艺准备,钴的填充过程以及后续对镀层的退火控制,每个步骤都将对钴互连的可靠性产生较大的影响。

与大马士革铜互连的结构相似,在填充金属钴之前,同样需要在低介电常数(low-K)的介质层上进行图案刻蚀,随后根据需要进行不同功能层(如阻挡层或黏附层)的沉积,如图 2 所示。首先,对于沟道接触部分,需要分别进行化学气相沉积(chemical vapor deposition, CVD)的 TiN 阻挡层/黏附层的沉积。对于金属 M0 层,阻挡层为化学气相沉积的 TiN,黏附层为原子层沉积(atomic

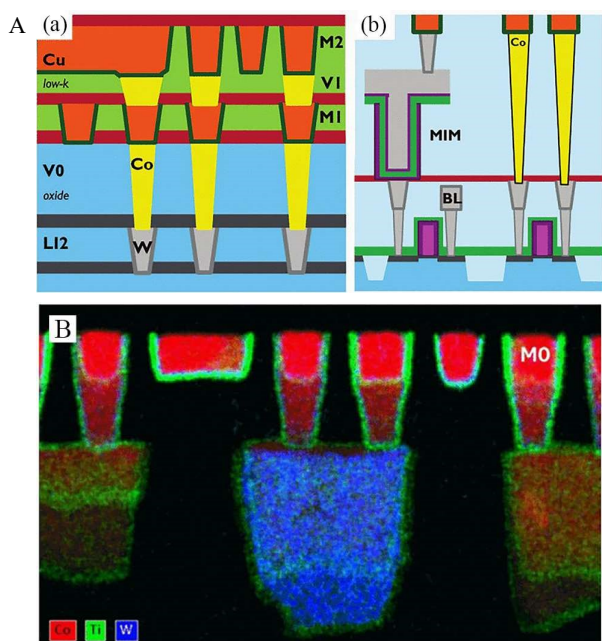


图 1 Co 接触部分填充和孔预填充的横截面示意图(a)逻辑电路(b)高深宽比(aspect ratio, AR)比接触部分( $AR = 10$ )的 DRAM 存储单元(A)<sup>[13]</sup>和 Intel 10 nm 工艺后端局部互连集成的栅极接触(B)<sup>[14]</sup>。(网络版彩图)

**Figure 1** Cross-sectional schematic of cobalt (Co) contact fill and via prefill for (a) logic and (b) Co in high AR ( $AR = 10$ ) contacts in a DRAM memory bitcell (A)<sup>[13]</sup>, and Intel Gate contact in  $10\text{ nm}$  BEOL (Back end of line) showing Local Interconnect Integration (B)<sup>[14]</sup>.

表 1 Intel 10+ 工艺的后端 14 层金属堆叠情况(加沟道接触部分)<sup>[15,16]</sup>

**Table 1** Backend metal stack used in Intel's 10+ process. 14 metal layers plus Trench Contact. TM: Top Metal<sup>[15,16]</sup>; TCN: Trench Contact

Layer	Pitch (nm)	Scaling	Material
TM1	11000	0.78x	Cu
TM0	1080	1.0	Cu
M11	160	0.63	Cu
M10	160	0.63	Cu
M9	160	0.63	Cu
M8	112	0.70	Cu
M7	112	0.70	Cu
M6	84	0.53	Cu
M5	52	0.51	Cu
M4	44	0.55	Cu
M3	44	0.79	Cu
M2	44	0.85	Cu
M1	36	0.51	Co
M0	40	0.71	Co
TCN	54	0.77	Co

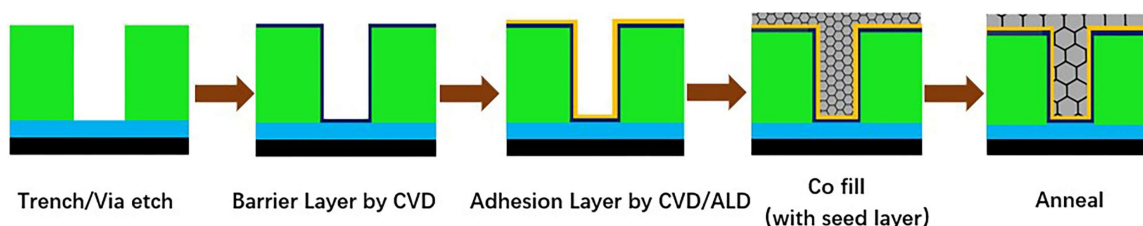


图 2 钴互连工艺过程示意图(化学机械抛光步骤之前)。(网络版彩图)

Figure 2 Schematic diagram of cobalt interconnect process (before chemical mechanical polishing). (color on line)

layer deposition, ALD)的 WC(N)薄膜<sup>[14]</sup>。需要指出的是,尽管钴的抗电迁移性能比铜好,但不使用阻挡层会在实际应用中发生钴扩散进 SiO<sub>2</sub> 介质层或多孔 low-K 介质层中的情况(除非介质层非常致密)<sup>[17]</sup>, 缺乏黏附层或阻挡层的通孔中的钴还会沿填充层/介质层的界面扩散进其他层的沟道中<sup>[18]</sup>。随后,进行 CVD 的钴种子层的沉积(1 ~ 3 nm)。钴种子层的沉积质量对后续钴的填充具有非常大的影响,若种子层与介质层的粘附力不足则很容易造成种子层的不连续,继而在填充过程中出现孔洞,尤其是在小尺寸节点下对图形刻蚀和种子层溅射提出了很高的要求。为了满足特征尺寸不断缩小的需求,除了进行各功能层的减薄,在铜互连中有一种方案是在沉积种子层后利用非互连金属元素的扩散迁移自发形成一层自成型阻挡层<sup>[19]</sup>。Intel 也采用了类似的做法沉积种子层,其种子层为钴的化合物或合金材料(大部分成分仍是 Co)。钴的化合物种子层,通常为硅化钴或锗化钴,导电区还包括一部分锗或硅(掺杂的 Si/Ge 或金属化的 Si/Ge)。钴的合金材料为钴的低合金(包含 0.25% ~ 5% 的非钴元素,如 Ti、Si、Ge、Ta、Ir 等),这种低合金中的非钴物质会向钴的表面或界面迁移,迁移可以为钴提供扩散阻挡并增强钴与介质层的黏附,种子层内的晶粒边界也可以用非钴物质填充,以保证种子层的连续性和导电性<sup>[20]</sup>。

在钴填充的工艺选择上,理论上来说,可以通过化学气相沉积、原子层沉积、物理气相沉积(physical vapor deposition, PVD),或者一些湿法沉积技术(电镀或化学镀)等来形成钴填充材料<sup>[20]</sup>。其中,钴的电沉积技术因其可操作性更高,工艺参数可控,非等厚沉积的特性而被 IC 制造厂商作为主要的钴填充手段<sup>[21]</sup>。沉积钴镀层后需要进行高温退火处理,从而为进一步提升互连金属的电学性能,为可靠性提供保障。

## 4 钴互连基础镀液及添加剂的选择

电子电镀基础镀液和镀液添加剂的生产一直以来都是国内急需突破的难点,其核心技术一直被美国、德国和日本的企业所垄断。电沉积钴互连基础镀液的研发除了要明确镀液中化学品的成分和配比,对镀液的纯度也有非常大的要求。另外,为保证无孔洞的钴的自下而上(bottom-up)超保形填充(superconformal deposition),钴镀液中需要使用有机添加剂。目前,对于钴沉积最重要的镀液添加剂的研究很少,除了少量的研究型文章,只有 BASF、Atotech、MacDermid Enthone 等公司的公开专利中有所涉及,其在电镀过程中的溶液化学机理也并不明确。由于国外公司的电镀钴镀液涉及保密协议,使得钴互连基础镀液和添加剂的研发变得更加困难,目前国内以上海新阳半导体材料股份有限公司为代表的企业及其他研究机构正在着手攻克钴互连电镀液的技术难题。

下面将从钴镀液中的溶液化学以及钴电镀添加剂方面的研究进行简略综述。

### 4.1 钴互连基础镀液的成分及其作用

电沉积钴的镀液主要由硫酸钴、硫酸、硼酸和有机添加剂组成。除电镀有机添加剂外,其余成分的参考含量如表 2 所示。

硫酸钴是电沉积钴金属的金属源,硫酸钴的

表 2 电镀钴基础镀液的组成

Table 2 Composition of the virgin make-up solution (VMS) used for cobalt electroplating.

Composition	Content
CoSO <sub>4</sub> ·7H <sub>2</sub> O	0.03 ~ 0.08 mol·L <sup>-1</sup>
H <sub>3</sub> BO <sub>3</sub>	0.25 ~ 0.65 mol·L <sup>-1</sup>
H <sub>2</sub> SO <sub>4</sub>	pH 3 ~ 4

含量不能过少,如果电镀液中的钴(II)离子浓度低于  $0.5 \text{ g} \cdot \text{L}^{-1}$ ,将会产生不完全钴沉积及镀层表面缺陷;若钴离子浓度显著超过  $50 \text{ g} \cdot \text{L}^{-1}$ ,钴镀层表面的粗糙度将增加<sup>[22]</sup>。硫酸的作用主要是为了保证镀液的酸度:一方面,酸性太强的镀液会导致镀层较为粗糙,降低镀层质量,还会影响电流效率;另一方面,钴的氧化物相比于铜的氧化物来说对酸的耐受性更强,镀液酸性太弱会导致电沉积基底表面被电镀时产生的钴的钝化层覆盖,从而使电镀反应难以进行。因此,通常选择  $\text{pH} = 3 \sim 4$  左右的镀液可以防止低  $\text{pH}$  下带来的沉积电流效率的降低,  $\text{Co}(\text{OH})_2$  保证溶液导电性。并且,防止高  $\text{pH}$  条件下的形成,改善沉积层的形态,减小镀层粗糙度。在钴电沉积的过程中,析氢副反应(hydrogen

evolution reaction, HER)的存在是不可避免的。酸性溶液中,  $[\text{Co}^{2+}/\text{Co}]$  标准还原电势为  $-0.277 \text{ V}(\text{vs. SHE})$ ,而氢的标准还原电位为  $0 \text{ V}(\text{vs. SHE})$ ,析氢电位较钴析出电位更“正”,因此会导致氢气的析出。为了避免长时间电镀后镀液的  $\text{pH}$  值发生较大程度的变化,常常需要加入  $\text{pH}$  缓冲剂,通常选用硼酸( $\text{H}_3\text{BO}_3$ )来充当缓冲剂。

硼酸作为一种常用的  $\text{pH}$  缓冲剂,关于其在电镀钴超填充中的作用机理尚不明确。Rigsby 等人<sup>[23]</sup> 研究发现,当镀液中硼酸的含量不足时,会造成互连线填充过早闭口,无法实现钴的超填充,如图 3 所示,由此可见,硼酸在电沉积钴互连中,发挥着更为复杂的作用。研究发现,在电镀钴中,硼酸从  $\text{pH}$  稳定、抑制表面析氢、促进钴的电沉积三个方

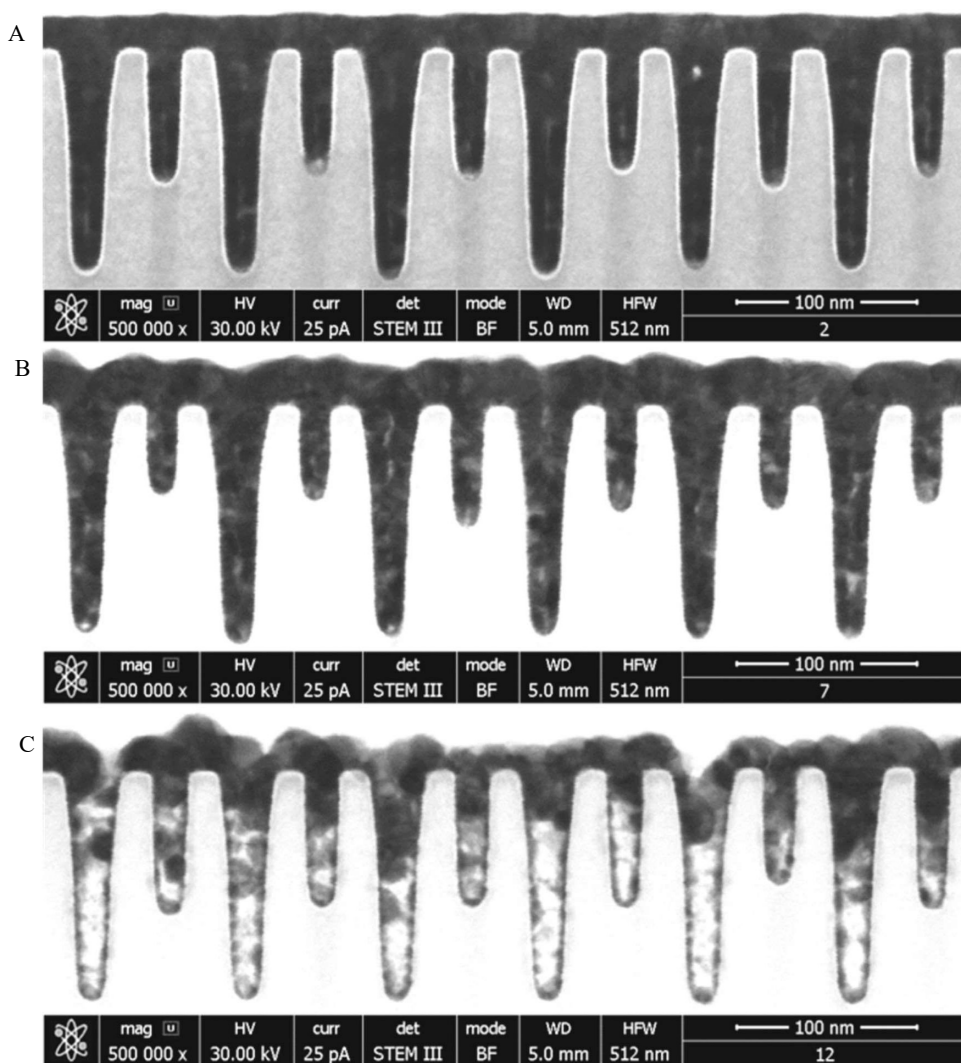


图 3 (A)  $30 \text{ g} \cdot \text{L}^{-1}$ 、(B)  $15 \text{ g} \cdot \text{L}^{-1}$  和 (C)  $5 \text{ g} \cdot \text{L}^{-1}$  硼酸含量下钴填充横截面的 STEM 图<sup>[23]</sup>。

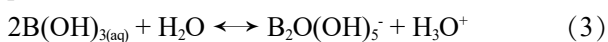
**Figure 3** STEM cross-sectional images of the feature fill in bath containing (A)  $30 \text{ g} \cdot \text{L}^{-1}$ , (B)  $15 \text{ g} \cdot \text{L}^{-1}$  and (C)  $5 \text{ g} \cdot \text{L}^{-1}$  boric acid<sup>[23]</sup>.

面对钴互连超填充起到不可或缺的作用。

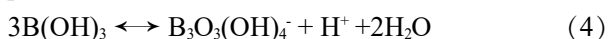
硼酸通过形成多硼酸盐实现质子化和去质子化的动态平衡,从而起到 pH 缓冲的作用<sup>[24-26]</sup>,如(2)-(6)反应式所示。根据 Henderson-Hasselbalch 方程,在缓冲溶液体系中, pKa 值小于溶液 pH 值的物质易去质子化,相反, pKa 值大于溶液 pH 值的物质易质子化。然而,硼酸分子的 pKa 值远大于镀液的 pH,理论上硼酸在镀液中不易去质子化,也就不易解离而释放 H<sup>+</sup>,为了发挥缓冲作用,靠近钴电沉积基材表面的局部溶液 pH 较高的区域必然存在多硼酸盐的平衡,当局部溶液的 pH 值升高到多硼酸盐的 pKa 值时,硼酸开始发挥 pH 缓冲作用<sup>[26]</sup>,及时补充了电镀基材表面溶液缺少的 H<sup>+</sup>,同时,硼酸释放出的 H<sup>+</sup> 会阻碍镀层表面氢氧化钴的形成。此外,硼酸形成的多硼酸盐倾向于吸附在电极表面<sup>[27]</sup>,占据电极表面参与质子还原的活性位点,从而起到抑制析氢的作用。如果硼酸通过吸附在电极表面抑制了析氢反应,则必然会同时抑制钴的沉积。然而,研究发现,随着硼酸浓度的提高,电流转化效率也得到了提高<sup>[23]</sup>,关于硼酸是否通过形成金属-硼酸络合物起到了催化金属沉积的作用目前仍然没有定论。硼酸在电镀钴互连中的研究尚处于起步阶段,其中的机理尚有讨论空间。



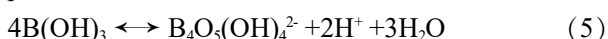
$$\text{pK} = 9.236$$



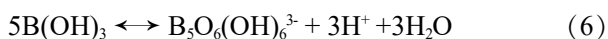
$$\text{pK} = 9.594$$



$$\text{pK} = 7.03$$



$$\text{pK} = 16.3$$



$$\text{pK} = 26.86$$

## 4.2 钴互连镀液添加剂的选择

为实现自下而上无孔洞的超保形填充,还需要向钴镀液中加入有机添加剂。传统的大马士革电镀铜互连需要至少三种添加剂,即加速孔/沟槽底部金属沉积速度的加速剂、抑制侧壁和面铜生长的抑制剂以及防止孔口凸起并起到整平作用的整平剂。然而,钴的沉积只需要具有抑制效果的添加剂即可实现自下而上的超保形填充,而不需要加速剂。

超填充钴电镀的研究涉及到的一些单体添加

剂很多采用铜互连系列添加剂,而实际的电镀钴互连的添加剂成分不明确且较为复杂。已有报道称常用于电镀铁族金属,如镍及其合金的炔属化合物添加剂已经被应用于小尺寸结构的钴互连金属化中<sup>[22, 28]</sup>,这些炔属化合物包括但不限于经磺化的炔属化合物,如: 2-丁炔-1,4-二磺酸、2-丁炔磺酸、丙炔磺酸;炔属胺;季铵化的炔属化合物;羟基化的炔属化合物等。其中,羟基化的炔属化合物主要充当抑制剂;末端具有不饱和键的烯酸/炔酸及其磺化物等为去极化剂,具有去极化效果,去极化作用可以驱使更多电流进入沟槽中,从而有益于适当镀覆条件下的间隙填充性能;各种含氮的衍生物(胺基多元醇,季铵化的炔属化合物),可以在不同布线密度复杂构件的填充中改善沉积物的均匀度<sup>[29]</sup>,即传统意义上的整平剂。几种添加剂需要配合使用,才能实现均匀且无孔洞的钴互连填充。上述添加剂虽然结构各不相同,但均含有至少一个不饱和键,属于具有抑制作用的炔类/烯类添加剂。关于这类添加剂在钴电镀方面鲜有研究,仅有少量工作探讨了其在改善镀层表面光亮性和粗糙度,提高腐蚀电阻方面的作用,而将炔类/烯类添加剂应用在自下而上的钴填充中的研究几乎没有。

关于炔类/烯类添加剂在镀层表面的作用机理, Pan 等人<sup>[30]</sup>指出, II 类光亮剂丁炔二醇可能吸附在 Co 金属表面,并被副反应产生的吸附氢还原。另一方面,钴等过渡金属天然具有催化析氢反应的能力,这使炔类添加剂的转化更为容易。Kiruba 等人<sup>[31]</sup>从含有丁炔二醇的钴镀液中萃取出电镀后的有机产物,通过拉曼光谱分析证实了有机产物中 2212 cm<sup>-1</sup> 和 2282 cm<sup>-1</sup> 处的 C≡C 伸缩峰的消失,但有一个与 C=C 伸缩有关的 1615 cm<sup>-1</sup> 处的峰,这表明丁炔二醇在钴表面被催化转化为丁烯二醇。另外,在电镀的初始阶段可以发现存在电化学震荡行为(如图 4(A)的方框内),这可能源于氢和丁炔二醇的吸附,氢与丁炔二醇反应以及钴的电沉积之间的相互作用。如图 4(A)所示的循环伏安曲线(圆虚线内)可以看出,在反向扫描时,阴极电流出现先减小后上升的现象。前者被解释为吸附 H 对电极表面钴离子还原活性位点的屏蔽效应,后者可能是由于新扩散到表面的丁炔二醇除去了吸附的氢而导致阴极电流再次上升。第 1 圈扫描结束后,电极表面为电镀的钴薄膜,在钴薄膜表面继续进行循环伏安扫描并没有出现电化



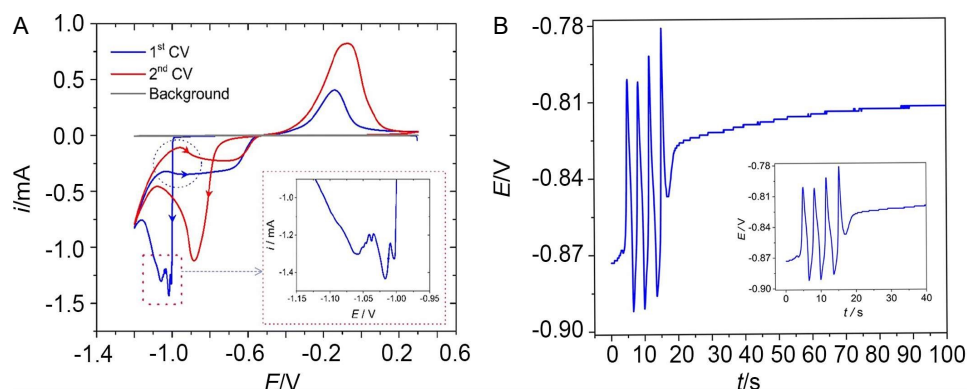


图 4 含有  $2 \text{ mmol} \cdot \text{L}^{-1}$  丁炔二醇 Co 的基础镀液的(A)第 1 圈和第 2 圈的 CV 扫描曲线;(B)-1.5 mA,  $900 \text{ r} \cdot \text{min}^{-1}$  下, GC-RDE 上钴沉积的计时电位曲线<sup>[31]</sup>。(网络版彩图)

**Figure 4** (A) The first and second cyclic voltammograms of cobalt electrodeposition on GC substrate from VMS containing  $2 \text{ mmol} \cdot \text{L}^{-1}$  butynediol; (B) Chronopotentiometric curve of Co deposition on GC-RDE disk at  $900 \text{ r} \cdot \text{min}^{-1}$  at -1.5 mA from VMS with  $2 \text{ mmol} \cdot \text{L}^{-1}$  butynediol<sup>[31]</sup>. (color on line)

学振荡现象,这与计时电位曲线结果(图 4(B))相符,即只有在电镀初期才会出现电化学振荡,Kiruba 等认为这是因为初始形核的钴纳米团簇/颗粒比表面积大,对质子的催化还原能力更强,随着钴晶粒的不断沉积和长大,其削弱的表面催化能力使电化学振荡行为停止。

## 5 钴的自下而上填充机理

与铜互连有所不同,钴的自下而上的填充机理不仅与添加剂的种类和含量有关,还与电镀基材表面的氢离子浓度有关系,任何能改变电镀基材表面的添加剂或氢离子含量的因素,如溶液 pH 值、对流转速,电镀参数等都能共同影响钴的自下而上的填充行为。为此,研究者们提出了不同的模型以进行解释。

### 5.1 S-型负微分电阻模型

“S-型负微分电阻模型”(S-NDR, S-shaped negative differential resistance)是在 TSV (through-silicon-via) 硅通孔电镀中经常用到的理论,用来解释基于添加剂衍生物的自下而上(bottom-up)的电镀铜填充行为。Huang 等人<sup>[32]</sup>研究了丁二酮肟(DMG)作为抑制剂对钴沉积的影响并发现了类似的电化学现象。如图 5(A)所示,在去除溶液电阻影响的循环伏安曲线(cyclic voltammetry, CV)中可以看出,抑制剂 DMG 的使用使循环伏安曲线出现了 S 形状的滞后环。这种现象被认为是金属离子与添加剂的配合物在电极表面的吸附造成的,随着电沉积不断进行,表面吸附物质(如  $[\text{Co}(\text{DMG})_2]_{\text{ads}}$ )被

不断消耗或分解,造成抑制效应的减弱。此时,通过对电镀液进行对流搅拌可以及时补充电极表面处被消耗或分解的抑制剂。如果镶嵌结构的深度方向上存在合适的对流扩散梯度,则可以实现自下而上的钴填充。如图 5(B)所示,当电极转速在某一临界速度(该条件下为  $50 \text{ r} \cdot \text{min}^{-1}$ )以下时,随着电极旋转速率的降低,钴的沉积电流反而变大,这为对流扩散较弱的镶嵌结构底部的优先沉积提供了有利条件。

### 5.2 差分电流效率填充机制

Rigsby 等人<sup>[33, 34]</sup>考虑了  $\text{H}^+$  浓度(pH)梯度在驱动超保形钴沉积中的作用,提出了差分电流效率填充机制(differential current efficiency fill mechanism, DCEF),利用伏安法和电化学石英晶体微量天平(electrochemical quartz crystal microbalance, EQCM)测量的结果证明了局部 pH 值的变化会影响钴沉积速率和电流效率,并认为  $\text{H}^+$  可能间接参与  $\text{Co}^{2+}$  的电化学还原过程。为了排除析氢反应的影响,他们采用经换算后的 EQCM 曲线代表钴实际沉积时电流密度随过电位的变化。模拟实验的结果表明,当 pH 梯度沿镶嵌结构深度逐渐形成时,底部的钴沉积电流密度至少比场区高 13 倍,电流效率是场区的 4 倍。沿镶嵌结构深度方向上钴沉积速率和沉积效率的差异使自下而上的填充得以实现,而这种差异来源于纵深方向上 pH 梯度的形成。

此前有研究者提出,钴的电沉积反应可能以吸附的氢氧化钴(I)为中间体进行连续的一电子转

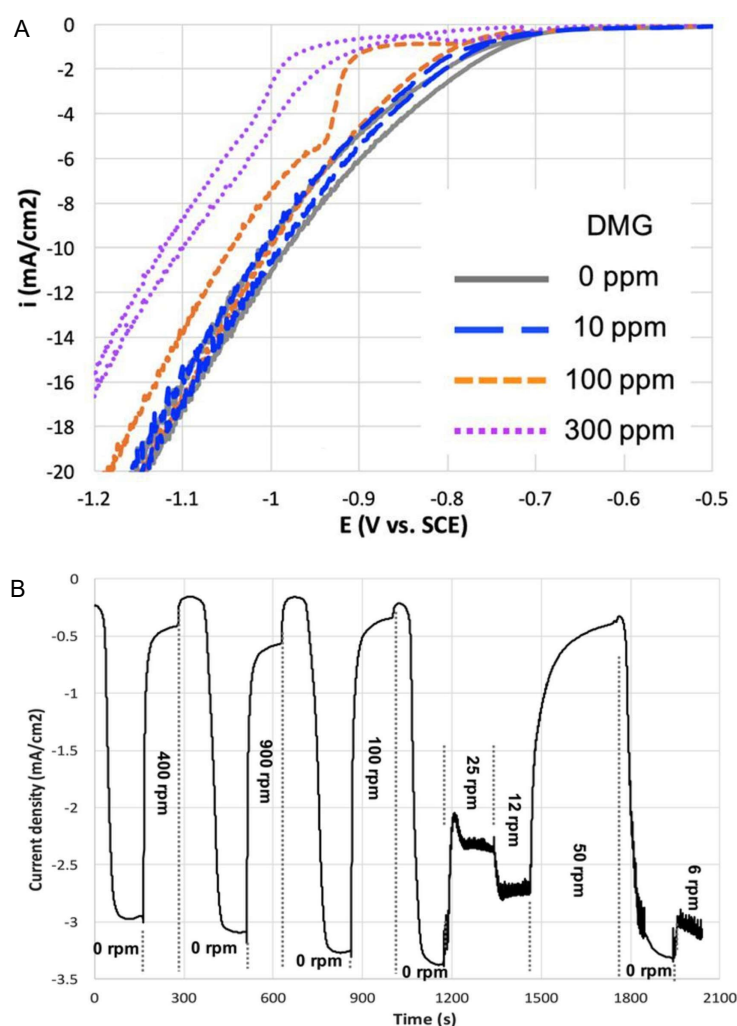


图 5 (A)经欧姆校正后的不同 DMG 浓度下的钴电沉积的 CV 曲线;(B) -0.85 V 电压下,不同转速含有 100 ppm DMG 的钴镀液中的电流密度变化<sup>[32]</sup>。(网络版彩图)

**Figure 5** (A) Cyclic voltammetric curves of Co electrodeposition at different DMG concentrations with ohmic resistance correction; (B) Current density recorded during Co deposition at -0.85 V in the presence of 100 ppm DMG on a RDE with different rotation rates<sup>[32]</sup>. (color on line)

移步骤<sup>[35]</sup>, 如图 6 中的反应方程式所示。pH 变化直接影响了参与电化学反应的氢氧根离子的浓度, 从而改变钴沉积热力学, 调整钴沉积的速率。为了形成合适的 pH 梯度, 需要将电镀电流密度控制在质子还原的极限扩散电流密度之下, 或保持合适的溶液对流速度, 防止质子的消耗速度远大于传质速度而导致等厚填充。 $H^+$  浓度的热力学效应结合抑制剂的动力学效应, 共同调节镶嵌结构电场区和底部之间的电镀速率差异, 驱动自下而上的超填充。

### 5.3 氢诱导失活模型

Wu 等人<sup>[36]</sup>提出了氢诱导失活模型(hydrogen reduction-induced deactivation, HID model), 进一

步阐述了由于 pH/ $H^+$  的变化影响添加剂抑制能力所引起的自下而上填充机理。该理论认为钴的自下而上填充是由于镶嵌结构底部的抑制剂被析出的氢气还原失活造成的。经循环伏安测试发现, 相同电压下, 正向扫描与反向扫描之间存在滞后现象。随着反向电压的不断增大, 反向扫描曲线也越来越接近 VMS 的扫描曲线, 其滞后环的面积也越来越大。由于其使用的 Co Suppressor XF 系列添加剂中存在可以被氢化的官能团, 故 Wu 等人认为析氢副反应是添加剂在镶嵌结构底部失活的原因, 添加剂在循环伏安测试的过程中不断失活造成了滞后现象。

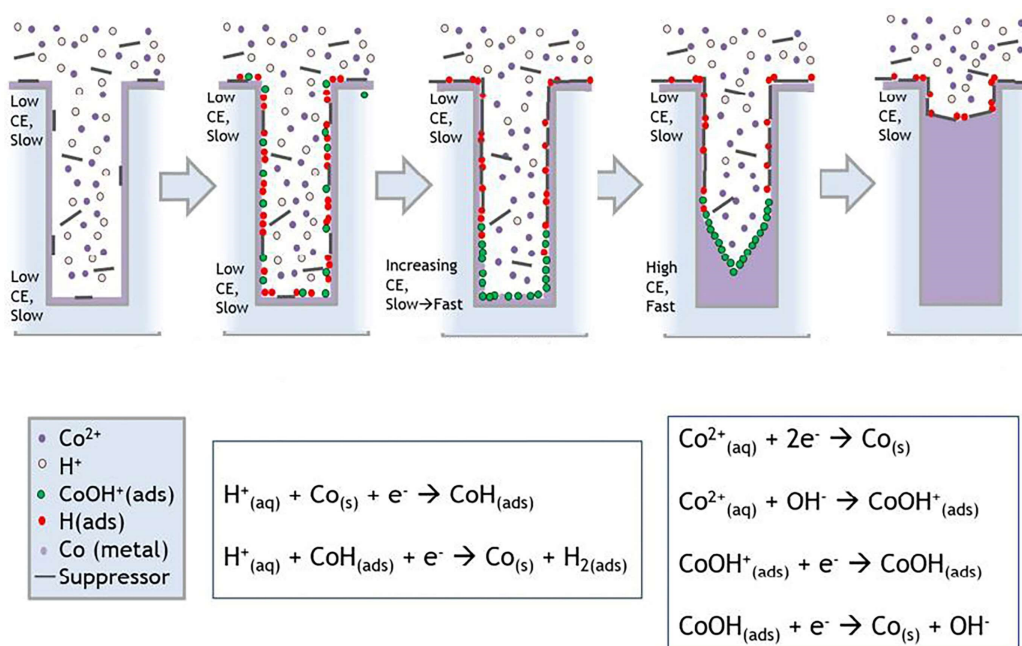


图 6 差分电流效率填充机制下钴超填充的示意图<sup>[34]</sup>。(网络版彩图)

**Figure 6** Schematic diagram of proposed differential current efficiency fill mechanism for superconformal cobalt fill<sup>[34]</sup>. (color on line)

钴沉积过程中, 溶液中质子会被还原为吸附氢( $H\cdot$ )吸附在钴表面, 两个  $H\cdot$  可以结合为  $H_2$  或将添加剂还原使其失活, 失活后的抑制剂从沉积表面脱附。由于镶嵌结构底部的比表面积较大, 较多的  $H\cdot$  聚集在孔/沟道底, 使底部活性抑制剂与失活抑制剂的比例减少, 从而实现自下而上的填充。

按照该模型所阐述的机理, 任何受氢离子影响而出现失活态和活性态转换的添加剂都可以控制钴自下而上的超填充行为。因此, 使用抑制效果随 pH 值变化的添加剂有利于实现自下而上的超填充。随着电镀过程的不断进行, 电极表面附近的溶液 pH 值较溶液体 pH 值会略微上升, 如前所述,

在缓冲溶液体系中, 溶液 pH 值和弱电解质的  $pK_a$  值的关系决定了弱电解质质子化或去质子化的倾向。因此, Kang 等人<sup>[37]</sup>选用  $pK_{a1}$  值( $pK_{a1} = 5.6$ )略大于镀液 pH 值的苯并咪唑(BZI)作为自下而上填充钴的抑制剂, 以此通过 pH 变化控制添加剂的抑制能力。UV 光谱的峰位偏移显示了在不同 pH 的镀液中, BZI 表现出不同的结构形态, 如图 8。扫描伏安曲线 (LSV) 的结果也证明了只有在较低 pH 的镀液中, BZI 表现出不同的结构形态, 如图 8。扫描伏安曲线 (LSV) 的结果也证明了只有在较低 pH 的镀液中, BZI 的加入才会明显抑制钴沉积, 这说明 BZI 在较低 pH 值下的质子化形态具有抑制效果。由于添加剂的用量较少, 在体溶液中的 BZI 可以完全质子化。随着镶嵌结构底部的  $H^+$  减少, pH 逐渐升高到大于 BZI 的  $pK_{a1}$  值时, BZI 由质子化形态变为中性态从而失去抑制作用, 进而加速特征底部的钴沉积速率, 实现自下而上的填充。Kang 等人<sup>[38]</sup>还使用  $pK_{a1}$  值比镀液 pH 小的 2-巯基苯并咪唑(MBI)作为抑制剂, 较小的  $pK_a$  被认为不利于溶液中质子化, 从而不受电极附近的 pH 变化的影响。研究表明, MBI 同时具有抑制析氢反应和钴沉积过程并提高钴沉积电流效率的作用。关于添加剂的抑制作用是否为添加剂本身引起的, 还是有机添加剂参与了与质子有关的反应从而间接抑

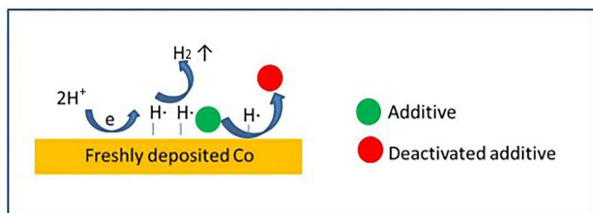


图 7 添加剂被 H 还原的失活示意图<sup>[36]</sup>。(网络版彩图)

**Figure 7** Illustration of additive deactivation by hydrogen reduction<sup>[36]</sup>. (color on line)



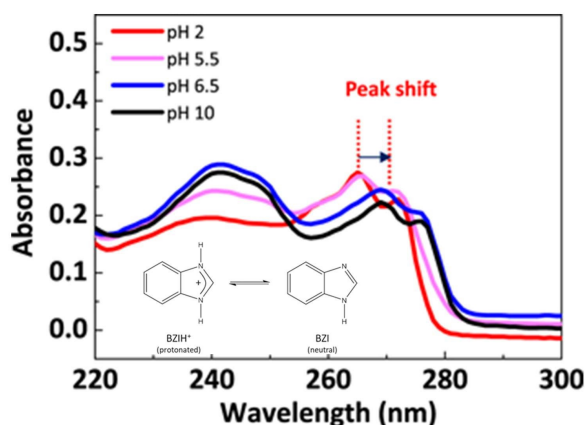


图 8 不同 pH 值的含有 BZI 的镀液的 UV 光谱<sup>[37]</sup>。(插图为 BZI 在不同 pH 值溶液中的结构变化)。(网络版彩图)

**Figure 8** UV spectra obtained for benzimidazole (BZI) at pH = 2, 5.5, 6.5 and 10<sup>[37]</sup>. (The inset shows the structural change of BZI in solution at different pHs.) (color on line)

制钴沉积仍需要进一步讨论。

上述几种钴的超填充机理侧重点各不相同,有时在溶液中两种自下而上的填充机制可能同时存在。其中,差分电流效率填充机制依靠溶液中的氢离子浓度梯度实现超填充,适用于所有钴的超填充体系,而 S-型负微分电阻模型和氢诱导失活模型侧重于依靠抑制性添加剂实现超填充,各模型的特点总结见下表。

## 6 镀层退火控制和杂质的影响

与大马士革电镀铜一样,电镀后的钴也需要进行退火再结晶以提高其电导率,降低内部杂质。金属的再结晶温度与其本身的性质有关,对于“硬金属”,再结晶需要相对较高的温度,但对于“软金属”来说,其原子运动的内在约束力较小,较低温

度即可以使稳定晶体阵列中的原子发生再排列<sup>[39]</sup>,如铜、金、银等纯金属因其适中的熔点和低层错能可以在常温下观察到缓慢的自退火过程。金属的熔点是影响自退火行为的最重要的因素,虽然钴具有较低的堆垛层错能( $31 \text{ mJ} \cdot \text{m}^{-2}$ ),但其熔点高,在常温下并无自退火现象<sup>[40]</sup>。Doubina 等<sup>[41]</sup>研究了不同退火参数对钴膜和填孔中的钴的晶粒结构的影响,发现在  $300 \sim 350 \text{ }^{\circ}\text{C}$  下退火后的钴晶粒尺寸是最大的,其电阻率为  $6.4 \mu\Omega \cdot \text{cm}$ ,接近块体钴金属( $6.2 \mu\Omega \cdot \text{cm}$ ),且发生了从密排六方(HCP)/面心立方(FCC)混合相到单一 HCP 相的转变,并观察到了 HCP(001)和(110)晶面,如图 9 所示。

常温下的块状钴金属为 HCP 结构,在高温下会转变为 FCC 结构,其相转变平衡温度为  $417 \text{ }^{\circ}\text{C}$ <sup>[42]</sup>。钴电镀初期属于不稳定的电结晶过程,刚电镀后的镀层中两相混合存在,随着退火温度的提高,钴晶粒逐渐合并长大。镀层中的杂质和应力可能会影响相转变温度,造成相转变温度在一定范围内变化,理论上来说,比较合适的退火温度应该选在钴的相转变温度之前,且在钴稳定的 HCP 相晶粒生长到最大时。虽然更高的退火温度会使 HCP 相晶粒完全转变为 FCC 相并获得均一且稳定的 FCC 相的晶粒,但考虑到工艺的温度裕度,器件中的退火温度一般选择  $300 \sim 500 \text{ }^{\circ}\text{C}$ <sup>[43]</sup>,或至少应该小于后续工艺中设计的最高温度,退火时的还原气氛为氢气,氩气或氮气。合理控制退火温度和退火时间有利于获得较优的钴膜层性能。

退火工艺还可以使镀层中的杂质逸出,从而进一步提升镀层性能。针对退火过程中杂质对钴镀层的影响,Hu 等人<sup>[44]</sup>研究了几种不同的有机添加剂带来的杂质导致的钴晶粒结构和膜层电阻的变化。由于使用不同添加剂电镀时的法拉第电流

表 3 钴的超填充机理比较

**Table 3** Comparison of the cobalt superfilling mechanism

Superfilling mechanism	Feature	Conditions
S-shaped negative differential resistance model	Rely on the concentration gradient of additive derivatives served as inhibitors to realize superfilling	The additive used in the electrolyte can form complex with cobalt ions
Differential current efficiency fill mechanism	Rely on the concentration gradient of $\text{H}^+$ /pH to realize superfilling	Exist in all kinds of electrolyte no matter what the additive is
Hydrogen reduction-induced deactivation model	Rely on the inhibitors deactivated at the bottom of the feature	The additive used in the electrolyte is deactivated by other factors

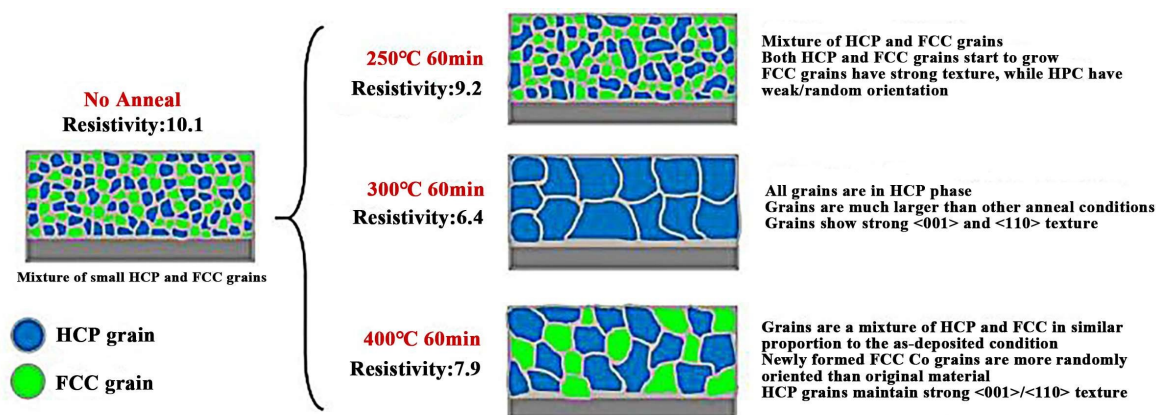


图 9 不同热处理条件下的 Co 晶粒相变和其他 Co 膜的性能<sup>[41]</sup>。(网络版彩图)

Figure 9 Depiction of grain phase changes and other Co film properties post various thermal treatment conditions<sup>[41]</sup>. (color on line)

效率不等,使钴膜层厚度在 640 ~ 910 nm 间分布。实验结果表明,相比于镀层厚度,有机添加剂的种类对膜层方阻的影响更大。添加剂的使用虽然细化了电镀晶粒,但也会引入元素杂质,这两种影响都会造成初始电镀膜层的方阻较大。显然,不使用添加剂时的初始电镀膜层的方阻最小,但经过退火其方阻也没有明显变化。引入较高 S 杂质的 3-巯基丙烷磺酸钠盐(MPS)能极大程度细化初始电镀晶粒并对退火过程敏感,经退火后镀层方阻下降较快。然而也有研究表明,不添加含二价硫的加速剂(3-巯基丙烷磺酸钠盐(MPS)/聚二硫二丙烷磺酸钠(SPS))可以降低钴沉积物的硫含量,从而更有利于后续的化学机械抛光,提升电路性能<sup>[28]</sup>;可以引入较多 C、N 杂质的丁二酮肟(DMG)导致的晶粒细化和退火长大的程度较低;而 Cl 对膜层方阻的影响几乎可以忽略不计,这与早前的研究结果一致<sup>[45]</sup>,氯离子的存在对钴的沉积电位、电流效率和钴的择优取向没有显著影响,只有镀层表面形态受到比较大的影响。Hu 等人<sup>[44]</sup>还使用局部电极原子探针(local electrode atom probe, LEAP)层析成像进一步表征退火的钴膜中不同杂质元素的分布。其中, C 和 S 杂质在晶界处出现了明显偏析,并伴随少量 O 的偏析,而 B、N 和 Cl 等元素由于浓度过低而未能观察到偏析现象。

杂质原子的引入不仅影响了钴的晶粒结构和择优取向,其在膜层内的再分布和偏聚也会影响薄膜电阻的变化。通常来说,适当条件的退火过程可以加速晶粒的合并长大,同时提升杂质原子迁移率。

## 7 总结与展望

最初,钴在后道工序(back end of line, BEOL)中充当衬层以提高芯片可靠性,在最近的先进制程中也仅仅应用在底层互连中,其应用范围小,工艺难度大,是延续摩尔定律的有效途径之一。目前,虽然钴互连已经应用在先进制造中,但其研究仍处在初步阶段,本文简要介绍了钴互连的优势和应用背景,并对电沉积钴镀液的研究现状,钴自下而上的填充机理和镀层退火控制进行概述。

应用电沉积超填充钴互连仍然存在许多问题亟待解决和研究。实现无孔洞的填充是对钴互连最基本的要求,然而,电镀钴的沉积时常伴随  $H_2$  析出,这不仅降低了钴沉积的电流效率,而且伴随析出的小气泡还会影响镀层质量。另外,析氢过程也会破坏镀液的酸度和稳定性,若在钴表面生成氧化层,该氧化层不易在镀液中溶解。因此,如何寻找合适的添加剂、添加剂在电镀过程中的行为机理、添加剂如何影响钴的成核过程、添加剂对钴在退火过程中的再结晶行为的影响,以及如何改善镀层性能等都需要进一步研究。

关于大马士革镶嵌结构中钴的热应力,疲劳失效和热循环稳定性的研究也十分缺乏。铁族金属的脆性一般比铜大,当其疲劳强度低于热循环应力时会发生机械失效,可能在晶粒内出现微屈服现象,而铜等金属的疲劳失效裕度较高,一般不需要担心此类问题。另外,钴的热导率为  $100 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ ,铜的热导率在  $400 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$  左右,钴的热导率只有铜的  $1/4$ ,这相当于在晶体管和其他堆叠层之间插入了一个隔热垫,可能会导致芯片

可靠性和寿命的不稳定性，这些问题都将作为实际生产的限制因素。使用钴替代铜作为低层金属互连材料需要各工艺流程之间的互相配合，其复杂程度和难度都将大大增加。

## 参考文献(References):

- [1] Bourzac K. Cobalt could untangle chips' wiring problems chipmakers are replacing some copper connections[J]. *IEEE Spectr.*, 2018, 55(2): 12-13.
- [2] Andricacos P C. Copper on-chip interconnections: A breakthrough in electrodeposition to make better chips[J]. *Electrochem. Soc. Interface*, 1999, 8(1): 32-37.
- [3] Steinhögl W, Schindler G, Steinlesberger G, Engelhardt M. Size-dependent resistivity of metallic wires in the mesoscopic range[J]. *Phys. Rev. B*, 2002, 66(7): 075414.
- [4] Cheng Y L, Lee C Y, Huang Y L. Noble and precious metals-Properties, nanoscale effects and applications[M]. London: IntechOpen, 2018.
- [5] Tigelaar H. How transistor area shrank by 1 million fold [M]. 1st ed. Cham: Springer, 2020.
- [6] Gall D. Electron mean free path in elemental metals[J]. *J. Appl. Phys.*, 2016, 119(8): 085101.
- [7] Durkan C, Welland M E. Size effects in the electrical resistivity of polycrystalline nanowires[J]. *Phys. Rev. B*, 2000, 61(20): 14215-14218.
- [8] Akolkar R. Encyclopedia of interfacial chemistry 1st ed. [M]. Amsterdam: Elsevier, 2018.
- [9] He M, Zhang X, Nogami T, Lin X, Kelly J, Kim H, Spooner T, Edelstein D, Zhao L. Mechanism of Co liner as enhancement layer for Cu interconnect gap-fill[J]. *J. Electrochem. Soc.*, 2013, 160(12): D3040-D3044.
- [10] Bekiaris N, Wu Z Y, Ren H, Naik M., Park J H, Lee M, Ha T H, Hou W T, Bakke J R, Gage M., Wang Y, Tang J S. Cobalt fill for advanced interconnects: 2017 IEEE International Interconnect Technology Conference (IITC), Hsinchu, May 16-18, 2017[C]. Piscataway: IEEE, 2017.
- [11] Huang I. "Apple, Huawei Use TSMC, But Their 7nm SoCs Are Different"[EB/OL]. 2020. <https://www.eetimes.com/apple-huawei-use-tsmc-but-their-7nm-socs-are-different/#>
- [12] Xu Y, Ma F Y, Lei Y, Daito K, Banthia V, Wu K, Wang J Y, Chang M. Selectively deposition of corrosion-free cobalt contacts: US, WO2018094329A1[P/OL]. 2017-11-20 [2018-05-24].
- [13] Van der Veen M H, Vandersmissen K, Dictus D, Demuyneck S, Liu R, Bin X, Nalla P, Lesniewska A, Hall L, Croes K, Zhao L, Bömmels J, Kolics A, Tökei Z. Cobalt bottom-up contact and via prefill enabling advanced logic and DRAM technologies: 2015 IEEE International Interconnect Technology Conference and 2015 IEEE Materials for Advanced Metallization Conference (IITC/MAM), Grenoble, May 18-21, 2015[C]. Piscataway: IEEE, 2015.
- [14] Griggio F, Palmer J, Pan F, Toledo N, Schmitz A, Tsameret I, Kasim R, Leatherman G, Hicks J, Madhavan A, Shin J, Steigerwald J, Yeoh A, Auth C. Reliability of dual-damascene local interconnects featuring cobalt on 10 nm logic technology: 2018 IEEE International Reliability Physics Symposium (IRPS), Burlingame, March 11-15, 2018[C]. Piscataway: IEEE, 2018.
- [15] Auth C, Aliyarukunju A, Asoro M, Bergstrom D, Bhagwat V, Birdsall J, Bisnik N, Buchler M, Chikarmane V, Ding G, Fu Q, Gomez H, Han W, Hanken D, Haran M, Hattendorf M., Heussner R, Hiramatsu H, Ho B, Jaloviar S, Jin I, Joshi S, Kirby S, Kosaraju S, Kothari H, Leatherman G, Lee K, Leib J, Madhavan A, Marla K, Meyer H, Mule, T, Parker C, Parthasarathy S, Pelto C, Pipes L, Post I, Prince M, Rahman A, Rajamani S, Saha A, Santos J D, Sharma M, Sharma V, Shin J, Sinha P, Smith P, Sprinkle M, Amour A S, Staus C, Suri R, Towner D, Tripathi A, Tura A, Ward C, Yeoh A. A 10 nm high performance and low-power CMOS technology featuring 3rd generation FinFET transistors, Self-Aligned Quad Patterning, contact over active gate and cobalt local interconnects: 2017 IEEE International Electron Devices Meeting (IEDM), San Francisco, Dec 2-6, 2017[C]. Piscataway: IEEE, 2017.
- [16] Grover R, Acosta T, Andyke C, Armagan E, Auth C, Chugh S, Downes K, Hattendorf M, Jack N, Joshi S, Kasim R, Leatherman G, Lee S, Lin C, Madhavan A, Mao H, Lowrie A, Martin G, McPherson, Nayak P, Neale A, Nminibapiel, Orr B, Palmer J, Pelto C, Poon S. S, Post I, Pramanik, Rahman A, Ramey S, Seifert N, Sethi, Schmitz, Wu H., Yeoh A. A Reliability Overview of Intel's 10+ Logic Technology: 2020 IEEE International Reliability Physics Symposium (IRPS), Dallas, April 28-May 30, 2020 [C]. Piscataway: IEEE, 2020.
- [17] Pedreira O V, Croes K, Leśniewska A, Wu C, van der Veen M H, de Messemaeker J, Vandersmissen K, Jourdan N, Wen L G, Adelman C, Briggs B, Gonzalez V V, Bömmels J, Tökei Z. Reliability study on cobalt and ruthenium as alternative metals for advanced interconnects: 2017 IEEE International Reliability Physics Symposium (IRPS), Monterey, April 2-6, 2017[C]. Piscataway: IEEE, 2017.
- [18] Pedreira O V, Croes K, Zahedmanesh H, Vandersmissen K, van der Veen M H, Gonzalez V V, Dictus D, Zhao L, Kolics A, Tökei Z. Electromigration and Thermal Storage

- Study of Barrierless Co Vias: 2018 IEEE International Interconnect Technology Conference (IITC), Santa Clara, June 4-7, 2018[C]. Piscataway: IEEE, 2018.
- [19] Koike J, Haneda M, Iijima J, Wada M.. Cu Alloy Metallization for Self-Forming Barrier Process: 2006 International Interconnect Technology Conference, Burlingame, June 5-7, 2006[C]. Piscataway: IEEE, 2006.
- [20] Jezewski C J, Clarke J S, Indukuri T K, Gstrein F, Zierath D J. Cobalt based interconnects and methods of fabrication thereof: US, US9514983B2[P]. 2012-12-28 [2016-12-06].
- [21] Scotten J. IEDM 2018 Imec on Interconnect Metals Beyond Copper[EB/OL]. (2018-12-28) <https://semiwiki.com/semiconductor-services/ic-knowledge/7923-iedm-2018-imec-on-interconnect-metals-beyond-copper/>
- [22] Ackermann S, Si K, Bolton O, Bewick N, Adolf J, Wu J. An acidic aqueous composition for electrolytically depositing a copper deposit: Germany, EP3470552A1[P/OL]. 2017-10-13 [2019-04-17].
- [23] Rigsby M A, Spurlin T A, Reid J D. The multi-functional role of boric acid in cobalt electrodeposition and superfill [J]. *J. Electrochem. Soc.*, 2020, 167(11): 112507.
- [24] Applegarth L M S G A, Pye C C, Cox J S, Tremaine P R. Raman spectroscopic and ab initio investigation of aqueous boric acid, borate, and polyborate speciation from 25 to 80 °C[J]. *Ind. Eng. Chem. Res.*, 2017, 56(47): 13983-13996.
- [25] Graff A, Barrez E, Baranek P, Bachet M, Bénézech P. Complexation of nickel ions by boric acid or (poly)borates[J]. *J. Solut. Chem.*, 2017, 46(1): 25-43.
- [26] Zech N, Landolt D. The influence of boric acid and sulfate ions on the hydrogen formation in Ni-Fe plating electrolytes[J]. *Electrochim. Acta*, 2000, 45(21): 3461-3471.
- [27] Demetriou A, Pashalidis I. Adsorption of boron on iron-oxide in aqueous solutions[J]. *Desalin. Water Treat.*, 2012, 37(1-3): 315-320.
- [28] Kienle M P, Mayer D, Arnold M, Fluegel A, Emnet C. Composition for cobalt plating comprising additive for void-free submicron feature filling: USA, 20190226107A1 [P]. 2019.
- [29] Commander J, Whitten K, Paneccasio V JR, Sun S P, Yakobson E, Han J W. Cobalt filling of interconnects: US, WO2019009989A1[P/OL]. 2018-06-14 [2019-01-10].
- [30] Pan B S, Zhang Q X, Liu Z J, Yang Y. Influence of butylenediol and tetrabutylammonium bromide on the morphology and structure of electrodeposited cobalt in the presence of saccharin[J]. *Mater. Chem. Phys.*, 2019, 228: 37-44.
- [31] Kiruba M, Jeyabharathi C. Discerning the oscillatory electrochemical response during electrodeposition of cobalt in the presence of but-2-yne-1,4-diol[J]. *J. Solid State Electrochem.*, 2020, 24(11-12): 2997-3002.
- [32] Huang Q, Lyons T W, Sides W D. Electrodeposition of cobalt for interconnect application: Effect of dimethylglyoxime[J]. *J. Electrochem. Soc.*, 2016, 163(13): D715-D721.
- [33] Rigsby M A, Brogan L J, Doubina N V, Liu Y H, Opocensky E C, Spurlin T A, Zhou J, Reid J D. The critical role of pH gradient formation in driving superconformal cobalt deposition[J]. *J. Electrochem. Soc.*, 2018, 166(1): D3167-D3174.
- [34] Rigsby M A, Brogan L J, Doubina N V, Liu Y H, Opocensky E C, Spurlin T A, Zhou J, Reid J D. Superconformal cobalt fill through the use of sacrificial oxidants[J]. *ECS Transactions*, 2017, 80(10): 767-776.
- [35] Jeffrey M I, Choo W L, Breuer P L. The effect of additives and impurities on the cobalt electrowinning process [J]. *Miner. Eng.*, 2000, 13(12): 1231-1241.
- [36] Wu J, Wafula F, Branagan S, Suzuki H, van Eijsden J. Mechanism of cobalt bottom-up filling for advanced node interconnect metallization[J]. *J. Electrochem. Soc.*, 2018, 166(1): D3136-D3141.
- [37] Kang J, Sung M, Byun J, Kwon O J, Kim J J. Proton sensitive additive for cobalt electrodeposition[J]. *J. Electrochem. Soc.*, 2020, 167(12): 122510.
- [38] Kang J, Sung M, Byun J, Kwon O J, Kim J J. Superconformal cobalt electrodeposition with a hydrogen evolution reaction suppressing additive[J]. *J. Electrochem. Soc.*, 2020, 167(16): 162514.
- [39] American Institute of Mining, Metallurgical Engineers. Mining and metallurgy[M]. New York: The Institute, 1925. 159.
- [40] Edalati K, Hashiguchi Y, Iwaoka H, Matsunaga H, Valiev R Z, Horita Z. Long-time stability of metals after severe plastic deformation: Softening and hardening by self-annealing versus thermal stability[J]. *Mater. Sci. Eng. A*, 2018, 729: 340-348.
- [41] Doubina N V, Spurlin T A, Opocensky E C, Reid J D. The effect of thermal annealing on cobalt film properties and grain structure[J]. *MRS Adv.*, 2020, 5(37-38): 1919-1927.
- [42] Dille J, Charlier J, Winand R. Effects of heat treatments on the ductility of cobalt electrodeposits[J]. *J. Mater. Sci.*, 1998, 33(11): 2771-2779.
- [43] Kamineni V, Kelly J, Adusumilli P, van der Straten O, Pranatharthihran B. Devices and methods of cobalt fill metallization: USA, 10128151B2[P]. 2018.



- [44] Hu Y, Deb S, Li D, Huang Q. Effects of organic additives on the impurity and grain structure of electrodeposited cobalt[J]. *Electrochim. Acta*, 2021, 368: 137594.
- [45] Pradhan N, Singh P, Tripathy B C, Das S C. Electrowinning of cobalt from acidic sulphate solutions-effect of chloride ion[J]. *Miner. Eng.*, 2001, 14(7): 775-783.

## Research Progresses of Cobalt Interconnect and Superfilling by Electroplating in Chips

Li-Jun Wei<sup>1</sup>, Zi-Han Zhou<sup>1</sup>, Yun-Wen Wu<sup>1\*</sup>, Ming Li<sup>1</sup>, Su Wang<sup>2</sup>

(1. College of Materials Science and Engineering, Shanghai Jiao Tong University, Shanghai 200240, China;

2. Shanghai Sinyang Semiconductor Materials Co., Ltd., Shanghai 201616, China)

**Abstract:** Copper interconnect using dual damascene technology has always been the main means for metallization in the back end of line process. However, with the size effect becoming more and more obvious due to feature size reduction, copper interconnect can no longer meet the demand for high circuit speed in Post-Moore era. Following copper interconnection, cobalt interconnection in chips attracts much attention as an interconnect technology by the next generation, which has been introduced in 7 nm node of integrated circuit manufacturing and below. The electron mean free path of cobalt (~10 nm) is much shorter than copper's (39 nm), thus exhibiting the potential to further shrink the critical dimension without increasing line resistance and RC delay especially for contacts or local interconnects in the first few stack layers. Also, cobalt is considered as a suitable barrier/liner material, which means implementing cobalt interconnects needs no such layers and gives more space for conductive metal. Besides, higher melting point of cobalt makes it more favorable with good electromigration resistance compared with copper interconnects. Cobalt interconnection mainly adopts the wet electrodeposition method and the quality of the electrodeposite matters a lot to the reliability of the metal interconnects. For the reason of confidentiality and the limitation of research conditions, there are few research reports about cobalt interconnection. Based on existing patents and literature reports, this paper systematically introduces the advantages and current developments of cobalt interconnection. To better understand the behavior of the metal ions during electroplating process, this paper reviews the basic technology, bath composition and additives used in the electrolyte for cobalt electroplating from the point of view of solution chemistry and electrochemistry. For superconformal electroplating, there are several superfilling mechanisms for bottom-up electrodeposition with different emphasis, this paper gives a brief summary about three mechanisms and makes a comparison. Furthermore, this paper introduces the annealing control of cobalt deposition and the influence of impurities, since the evolution of grains and migration of impurities determine the sheet resistance. Finally, further study of cobalt interconnection technology is prospected. Cobalt interconnect is expected to be a proper alternative to extend Moore's Law and promises to play a part in next advanced technology node. More researches about cobalt interconnection are worthwhile to be carried out in the future.

**Key words:** cobalt; electrodeposition; superfilling; interconnect; bottom-up