

主要目标

设计五级流水顺序双发射RISC-V处理器。

基本要求

基本功能要求

1. 包含RV32I的所有指令
2. 实现csrrw指令和mtime、mcycle这两个csr
3. 实现bi-mode分支预测器
4. 至少得有五级流水线，可增加或自主修改流水线
 1. 五级流水线为取指、译码、执行、访存、写回
 2. 基本要求下，假设访存固定一个周期能够拿到所需数据
5. 顺序双发
 1. 双发射指的是取指、译码、发射、写回宽度都为二或以上
 2. 执行级至少包含两个ALU
 3. 其他执行单元数量和种类可自主选择、设计
 4. 顺序发射指的是将指令从译码级送到执行级（发射）时，必须严格遵守程序中指令的顺序，如果最前方有一条指令无法发射，则后续的指令也无法发射
6. 通过drystone测试
7. 可以借鉴其他开源工程的架构和代码风格（BOOM, Xiangshan），但是除特别说明外，不可以直接使用开源代码

相关资料

1. RV32I指令集在<https://github.com/riscv/riscv-isa-manual/releases/download/riscv-isa-release-566e1f3-2025-03-13/riscv-unprivileged.pdf> Chapter 2 中
2. 关于CSR指令和CSR寄存器相关的信息在<https://github.com/riscv/riscv-isa-manual/releases/download/riscv-isa-release-566e1f3-2025-03-13/riscv-privileged.pdf> Chapter 2 中
3. Bi-Mode分支预测器可以参考<https://zhuanlan.zhihu.com/p/579747343>，注意与Bi-Modal的区别

加分项

1. RV32M（5分）
 1. 可使用chisel中的blackbox，使用别人现成的乘除法单元
 2. 乘除法单元必须为多周期单元，且与RV32I的执行单元周期数不同
2. 乱序（50分，视工作量，基础得分30分，若工作量大可得50分）
 1. 能让WAW、WAR这些假依赖指令对无阻塞执行
 2. 具体实现方式不限
3. 实现更复杂的分支预测器，需要考虑具体时序问题（10分）
 1. TAGE (TAgged GEometric length predictor)
 2. RAS (Return Address Stack)
4. 跑通coremark（15分）
5. 实现不定周期的访存级，即访存级的延时不被固定为一个周期（5分）

6. 在实现不定周期访存级的基础上，实现一个简易的dcache（10分）
7. 能够参数化发射宽度，且至少要在两个不同且大于1的发射宽度下都能够跑通dhrystone（10分）

验收内容

1. 实验报告

1. 处理器的设计spec文档

1. 设计参数定义
2. 模块端口定义以及端口功能描述
3. 模块内部功能描述
4. 系统框图
5. 尽量不要贴大片代码

2. 所有可参数化部分的参数（例如bi-mode预测器表项数量）

3. dhrystone运行结果

4. 小组分工

5. （可选）分支预测准确率

2. 设计代码（建议使用git进行管理）