# 绪论

## 短波通信概述

短波通信属于无线通信，其波长在10m~100m，频率在3MHz~30MHz。短波的传输方式主要经过电离层的反射，由于其通信距离远，称为远程通信的主要手段。

但又因为电离层的情况复杂多变，易受天气等因素的影响，所以短波通信的质量比较差，如何提高短波通信在信息传输中的质量，确保通信的准确性和完整性，称为当前研究短波通信的重点。另外，短波通信在传输过程易收到噪声的干扰，导致在接收端收到的信号中噪声影响非常大，故如何避免噪声对信号的影响，尽可能的消除噪声干扰，恢复正确的信号，成为目前研究的另一重点。目前，短波通信在电话、电报、低速传真、广播等方面有不俗表现。

尽管短波通信有上述缺点，且新型无线通信方式又不断涌现的情况下，如超短波无线传输，它拥有短波通信无可比拟的优点，短波通信非但没有淘汰，反而拥有更加快速的发展。其原因如下：一是短波通信是唯一不受中继体制约束的通信方式，是突发情况下如战争时唯一可靠的通信手段；二是在山丘，隔壁等地形中超短波是无法起作用的，主力军还得是短波；三是短波通信方式的成本较低。因为短波通信的优点明显大于其缺点，在特定环境下性价比要远超过其他通信的特点，所以短波通信的研究极其重要。

近年来，短波通信取得了长足的进步，在像我国这样的大国中的应用非常广泛，在像我国这样的大国的通信中有着举足轻重的地位。用现代化的设备和技术手段去武装我国各个领域的通信网络，使之更加先进有效，满足时代和国防的需求，让我国在国际上拥有更加强大的话语权无疑有着关键的作用。

短波通信的传播途径有天波和地波。地波是指电磁波在地球表面传播，也称地表面波。其传播距离取决于地表传输介质的特性，如在海面上的传播距离非常远，而在干燥沙石的地面传输不仅距离非常近，而且衰耗也非常大。虽然地波的传输不需要改变频率，但其传输要考虑障碍物的阻挡，故地波传输很不稳定。

天波是短波通信的主要途径。对天波来讲，信号由天线发出，经电离层反射回地面，又从地面返回会电离层，可经过多次反射，故其传播距离要比地波远的多。而且天波的传输不受地波传输中障碍物的影响，但天波的传输也极不稳定，因为天波传输中会有路径衰落，多径衰落，时间延迟，大气噪声等因素都会造成信号的弱畸和变化，从而影响信号传输的效果。但天波与地波相比，天波拥有着地波无可企及的优点，所以天波成为了短波通信中的主要方式。

## 短波分集技术研究现状

短波分集技术中的分集是从发送端和接收端描述的，即发送端分散发射，接收端集中合并处理。其中发送端在不同信道条件下独立的发射信号，是整个技术的前提和基础，旨在获得不同信道条件下接收到独立的信号，它们虽经历不同的干扰，不同衰落，但却携带相同的信息。

多路信号在天波的传输过程中，会通过不同的路径到达接收端，同会产生多径衰落。多径衰落对信号的影响非常严重，分集技术就是抗多径衰落的方法之一。并且在众多的抗衰落方法中，分集技术是表现最好的方法。

分集技术研究最开始仅有时间分集、空间分集和频率分集。后来，人们发现了极化分集和角度分集。再后来，人们又提出了宏分集的概念（相应地，上述分集可称之为微分集），即将基站作为天线资源实现对移动台的信号分集发送，主要用于对抗楼房等物体的阴影效应。【引用自宋新海】

在此前人研究的基础上，D.G.Brennan站在了巨人的肩膀上。对集中合并技术进行了归纳整理，并总结出了3种合并技术的优劣。这3种合并技术分别是选择是选择式合并技术、最大比值合并技术与等增益合并技术。此外，还有一种被称作门限切换并技术，即先对输入的多个信号进行扫描，然后经过判决门限，吧符合条件的信号筛选出来进行合并，最后送给输出端，故这种方式也称为扫描合并技术。与前三种方式相比，此技术不仅可以保证系统性能，还能节省成本。

上述4种分集合并方式虽然在理论上性价比很高，但实际使用中却不尽人意。因为它们仅仅只是兼顾了系统性能，无法做到提高系统性能的同时还降低系统设计的复杂度。故混合合并技术应运而生，该技术将以上4种技术的优势完美融合，将其劣势尽数避开，做到了不仅提高了系统性能增益，还保证未增加系统的复杂度，甚至复杂度还降低了。此方式已经成为分集技术研究领域的主要方向，其思路可大致描述为两种：一种是在确保系统性能不变的情况下，降低系统设计的复杂度；另一种是在确保复杂度不变的情况下，提高系统的性能。分集技术的研究使得在抗衰落的道路上有了长足的进步，极大的推动了而无线通信技术的发展。

## 短波自动建链技术

短波通信存在明显的窗口效应，频率也很不稳定，经常受到时间地点等因素的影响。不仅如此，其频率的变化导致人们在以前只能手动选择可靠的频率进行通信，这不仅浪费时间，通信质量也得不到保证。因此，人们提出了自动链路建立（ALE）的概念，旨在保证通信的质量，提高效率。

链路建立是指在短波通信中，用户可以组件抗毁性强、设备简单的交互式短波通信系统。自动建链技术则是可以在建链过程中根据信道条件，选择通信质量最好的频点进行建立链接，并根据需要传输合适的数据类型。此方式可存在于点对点建链，也可在点对多点中建链，同时，在数据传输接收时可进行拆链等。

1988年美国军方推出了一套完整的关于短波通信系统中自动链路建立的标准MIL-STD-188-141A【引用张伟】。在141A标准出现之前，建链的效率总是非常低下，且建链质量参差不齐，很不稳定。但在141A标准投入使用后，规范化的制度极大的提高了短波通信系统中建链的效率以及通信的质量，人们不在各自规定协议，而是使用统一的标准。在此背景下，我国基于美军标141A，制定了GJB2077-94短波自适应通信系统链路自动建立规程标准【引用张伟】，该系统在实际应用中进行了大量的测试与实践，并在实践中不断地完善。

在经过长期的实践中，141A中的不足也逐渐体现出来：（1）不适用于大规模组网；（2）建链花费的时间太长；（3）选频时频率资源利用率低等；【引用张伟】。为了解决这些问题，美国于1999年推出了MIL-STD-188-141B标准，在这一标准中提出了新一代ALE协议，该协议增加了自动信道扫描、自动信令交换、选择性呼叫、信道探测和链路质量分析LQA（Link Quality Analyses）等功能【引用张伟】，大大提高了系统性能。

下一代自动建链技术的目标是增强短波通信系统的适应性以及通信容量，在频率管理、信道选择、链路建立和链路维持4个方面会有显著改进【引用张伟】。美国于2007年推出了MIL-STD-188-141D标准，该协议在建链中增加了频率自适应、带宽自适应等方法，使得建链的效率又上升了一个台阶。该方式摒弃了以前频率扫描的方式，在接收端多路守候接收，极大的缩短了建链时间。

## 研究内容和章节安排

本文设计的快速宽带建链系统采用的建链波形带宽为48KHz，相比于窄带建链的3KHz带宽，可以缩短对信道的探测时间，进而加快建链速度。本系统在接收端采用了多信道接收技术，接收方可以同时驻留32个信道。多信道接收技术减少了信道扫描消耗的时间，接收方可以随时接收呼叫信号，不要求收发双方必须同时在一个频点上驻留，缩短建链时间。

本文首先介绍了DSP芯片——TMS320C6455的相关功能模块，其中主要是McBSP、EDMA、定时器等，并详细介绍了DSP与FPGA、DSP与PC之间的接口；接着详细讲述了短波多通道分集技术，其中重点介绍了发送端的8PSK调制技术与接收端的等效增益合并方法；然后又介绍了基于美军标MIL-STD-188-141D设计的宽带自动建链协议，其中涉及了双方如何握手，如何自动选择信道的相关技术以及CRC校验等；最后测试系统的相关性能，包括在实际信道的测试结果与在MATLAB中仿真程序测试结果。

第一章主要阐述了短波通信的相关概念，讨论了分集技术与自动建链技术的发展现状以及研究该领域的意义。

第二章主要介绍了整个系统的硬件设计平台，详细说明了DSP芯片——TMS320C6455的功能模块以及相关配置以及DSP与FPGA、DSP与PC之间的接口设计。

第三章对短波多通道分集技术进行详细说明，其中主要说明了发送接收方案，以及发送端、接收端用到的相关核心技术等。

第四章给出了基于美军标MIL-STD-188-141D设计了宽带自动建链技术，其中核心的部分是如何握手，如何自动选择信道以及相关PDU介绍、频谱感知技术等。

第五章则是对DSP用的仿真软件CCS进行了介绍，以及对设计的系统进行了大量反复的测试，最终的结果证明达到了预期的目标。

第六章是结束语，对本文所讲述的系统进行总结，并提出了针对本系统相关的改进方法。

# 系统硬件平台

本章主要对短波宽带自动建链系统使用的硬件平台进行介绍。系统硬件平台沿用以前的“DSP+FPGA”框架，其中分集系统与建联系统主要功能还是在DSP内完成，FPGA辅助配合DSP完成相关工作。下面主要详细介绍DSP中用到的核心功能模块以及DSP与FPGA、DSP与PC之间的通信接口。

## 硬件平台结构概述

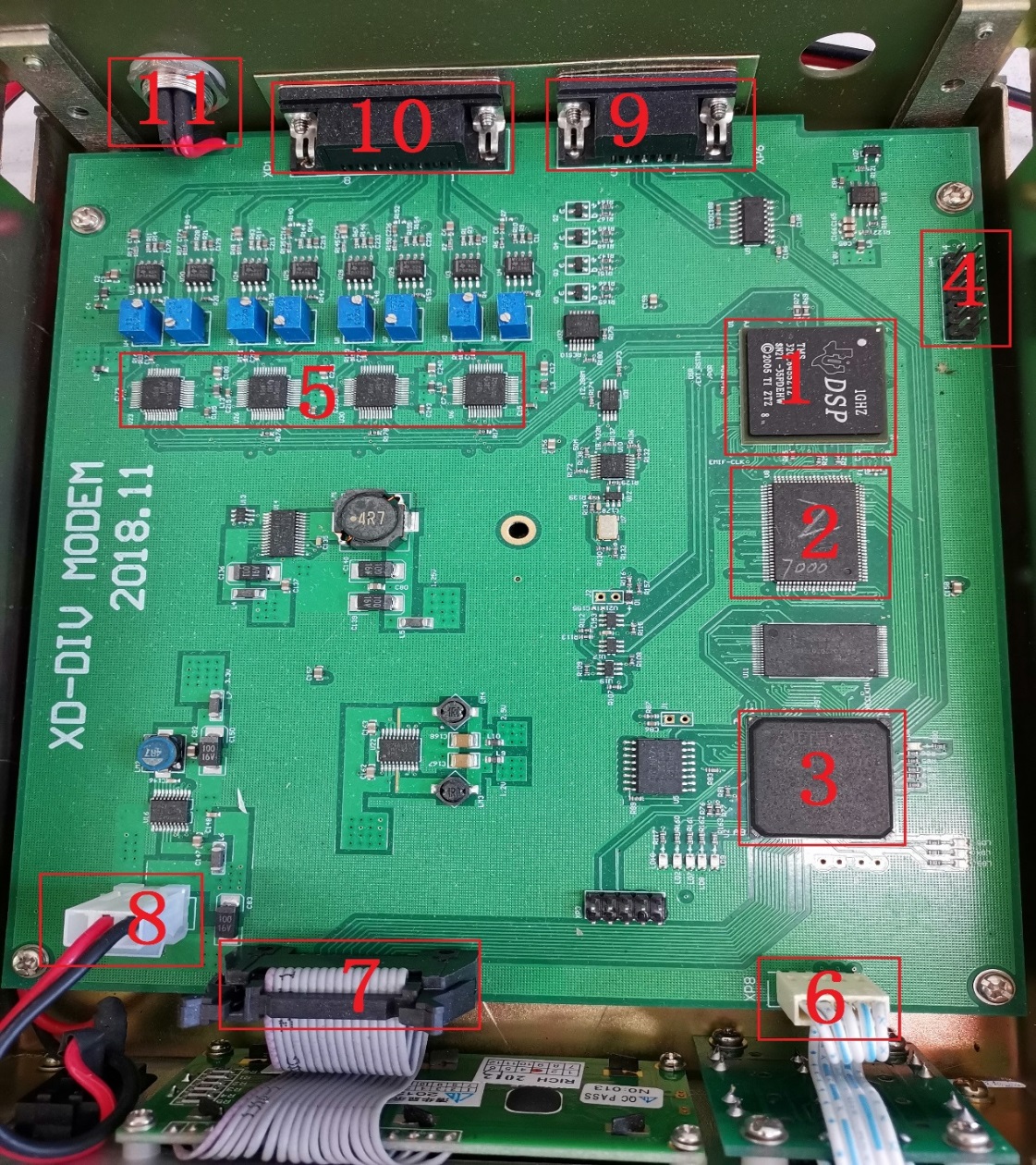
本文所提到的短波多通道分集系统与短波宽带建链系统所用的硬件平台是一样的，都是在以DSP芯片为核心，辅以周围的FPGA、AIC10、FLASH芯片等搭建的。系统硬件平台整体结构如图2.1所示，其中GP12、GP13位俩引脚，前者为复位引脚，该复位主要是来自于DSP控制FPGA，后者则为中断控制引脚，该控制是来自于FPGA对DSP的控制。



系统硬件平台整体结构图

DSP芯片是美国德州仪器TI生产的芯片TMS320C6455（以下称C6455），主要负责完成各类信息业务的处理以及系统控制；FPGA是EP4CGX150CF23C8，主要负责完成对信号的粗同步处理以及对DSP出入的信号进行均衡和译码；AIC10是指TLV320AIC10，作用是将发送端的话音信号转换成数字信号，或者将接收的数字信号恢复成话音信号；FLASH芯片是SST39LF080，为DSP启动提供支持，本平台的DSP启动是采用二次加载的方式，即系统的程序都放在片外FLASH中，启动时，需要将片外的FLASH中的程序引导到片内运行。

本系统的实物硬件平台如图2.2所示，对图2.2中各个部分的说明见表2.1。



系统硬件平台实物图

硬件实物部分模块说明

|  |  |  |  |
| --- | --- | --- | --- |
| 编号 | 说明 | 编号 | 说明 |
| 1 | C6455芯片 | 2 | FLASH芯片 |
| 3 | FPGA芯片 | 4 | JTAG接口 |
| 5 | AIC10芯片 | 6 | 复位等按键引脚 |
| 7 | LCD接口 | 8 | 开关串口 |
| 9 | UART串口 | 10 | 音频串口 |
| 11 | 电源 |  |  |

## C6455相关功能介绍

实现短波多通道分集技术和短波宽带自动建链主要依靠C6455芯片，在C6455内实现对信号的处理与系统控制。下面将对该芯片基本信息进行介绍，其中会着重介绍在本系统中起关键作用的功能模块。

### C6455简介

TMS320C6455是一款高性能定点DSP芯片，其主频最高可以达到1000MHz，信号处理的速度能够达到每秒9600万条指令。该芯片拥有64K字节的高速一级缓存，其中32K数据存储空间和32K代码存储空间，还有2M字节的二级缓存，以及4个8M字节的EMIF存储空间【引用王双】。除此之外，它还具有TCP2、VCP2译码模块与千兆EMAC。C6455具有高速控制器的操作灵活性和阵列处理器的数字能力。

C6455的内部功能结构如图2.3所示，从中可以清楚地看到其内部功能模块有锁相环控制器（PLL）、多通道缓冲串口（McBSP）、外部存储器接口A（EMIFA）、定时器（Timer）、增强型直接存储器访问控制器（EDMA3）及通用输入输出（GPIO）等。图2.3仅列出了C6455中比较常用的功能模块，接下来将对这些模块进行介绍。



C6455内部功能框图

### 锁相环

主锁相环控制器为C6455的绝大部分模块，包括CPU在内的以及大部分系统外设如多通道缓冲串口和外部内存接口提供输入时钟。时钟是DSP能够正常工作的就基础，各个单元的工作都是依托在时钟的控制下进行的。、

C455锁相环控制器的内部框架如图2.4所示。C6455的锁相环（PLL1）控制器有PLL和BYPASS（旁路）两种模式，其中BYPASS模式下，PLL1输入时钟为系统默认输入时钟；在PLL模式下，需要对输入时钟进行一系列分频和倍频处理才能得到各个功能模块所需要的参考时钟【引用王双】。



PLL1控制器的功能框图

PLL1控制器采用软件可编程PLL乘法器控制器，如图2.4中所示的PLLM倍频器和五个除法器（PREDIV,D2,D3,D4和D5）。PLL1控制器采用设备输入时钟CLKIN1生成一个系统参考时钟SYSREFCLK和四个系统时钟SYSCLK2、SYSCLK3、SYSCLK4、SYSCLK5。

SYSREFCLK直接用于C6455的系统时钟，也作为DSP系统的其他部分的参考时钟。分频器D2、D3、D4、D5对高频时钟SYSREFCLK进行分频，生成SYSCLK2、SYSCLK3、SYSCLK4、SYSCLK5。

系统时钟用于对DSP的不同部分进行计时。SYSCLK2主要在下列事件中进行时钟管理与控制，如交换的中心资源（SCRs）、EDMA3、VCP2、TCP2、和RapidIO以及EMIFA和DDR2内存控制器；SYSCLK3时钟则用于控制PCI，HPI，UTOPIA，McBSP，GPIO，TIMER，I2C外设，以及PLL2控制器的配置总线等；SYSCLK4作为EMIFA的内部时钟，也用于时钟内的其他逻辑DSP；SYSCLK5时钟DSP的仿真和跟踪逻辑。

除法器D2和D3的除率固定在÷3和÷6。除法器D4和D5的除率位的设置分别通过PLL控制器的除法器寄存器PLLDIV4和PLLDIV5进行编程。

因为除法器D2和D3的除率是固定的，而SYSCLK2和SYSCLK3的频率与SYSREFCLK的频率相关联。故SYSCLK4和SYSCLK5的频率取决于除法器D4和D5的配置。例如，PLL1乘控制寄存器中的PLLM设置为10011和一个50MHz的CLKIN1输入，PLL输出PLLOUT设置为1000MHz和SYSCLK2和SYSCLK3的运行频率分别为333MHz和166MHz。

需要注意的是PLLREF、PLLOUT、SYSCLK4和SYSCLK5都有一个最小和最大的工作频率，PLL1控制器配置不能超过这些阈值。锁相环时钟输入和输出频率范围请参见表2.2。

时钟频率范围

|  |  |  |
| --- | --- | --- |
| 时钟信号 | 最小值（MHz） | 最大值（MHz） |
| CLKIN1 |  | 66.6 |
| PLLREF | 33.3 | 66.6 |
| PLLOUT | 400 | 1200 |
| SYSCLK4 | 25 | 166 |
| SYSCLK5 |  | 333 |

### 外部存储器接口A

外部存储器接口A（EMIFA）是DSP芯片与片外芯片进行数据通信的重要接口，它支持DSP同时与芯片SBSRAM、FPGA和FLASH等进行数据通信【引用王双】。上节中有提到，DSP的工作时钟要么由PLL分配，要么由FPGA提供，所以它的工作模式也分为同步跟异步两种模式。这两种模式的选择取决于EMIFA外接的芯片。EMIFA可以与各种外部设备或asic接口，包括:流水线式和流式同步突发SRAM（SBSRAM）、ZBT(零总线周转)SRAM、同步fifo异步内存，包括SRAM、ROM和FLASH。EMIFA外设连接如图2.5所示，其存储空间分配如表2.3所示。



EMIFA与外设连接

EMIFA存储空间分配表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 空间名称 | 空间（Byte） | 外设芯片 | 总线宽度 | 工作模式 |
| CE0 | 256M | 空 | – | – |
| CE2 | 8M | 空闲 | – | – |
| CE3 | 8M | FLASH | 8位 | 异步模式 |
| CE4 | 8M | SBSRAM | 32位 | 同步模式 |
| CE5 | 8M | FPGA | 32位 | 异步模式 |

从EMIFA空间分配表中可以看出，本系统中CE0和CE2空间保留，即没有与之相连接的外设芯片；CE3空间与存储器FLASH相连，总线宽度是8位，将其工作模式配置为异步模式；CE4空间与SBSRAM相连，总线宽度是32位，将其工作模式配置成同步模式；CE5空间与FPGA相连，总线宽度为32位，将其工作模式配置为异步模式。

### 多通道缓冲串口

多通道缓冲串口（McBSP）是DSP使用很频繁的一个外设接口，常用于DSP与其他外设芯片之间进行数据通信，比如AD/DA采样芯片、FPGA等【引用王双】。C6455提供了两个McBSP，分别是McBSP0和McBSP1,McBSP0与AIC10芯片连接，而McBSP1用于和FPGA进行数据通信。McBSP内部结构框架如图2.6所示，其相关引脚功能如表2.4所示。

McBSP的数据传输主要由32位的引脚控制寄存器（PCR）、串行口控制寄存器（SPCR）、接收控制寄存器（RCR）和发送控制寄存器（XCR）构成。McBSP可以提供以下功能:全双工通信；双缓冲数据寄存器，且允许连续的数据流；独立的接收、发送，有独立的帧和时钟；可以直连到工业标准编解码器，模拟接口芯片（acs），和其他串行连接的模拟到数字（A/D）和数字到模拟（D/A）设备；拥有用于数据传输的外部移位时钟或内部可编程频移时钟，。

McBSP可以通过EDMA和CPU方式两种方式进行数据传输【引用张伟】。前者是McBSP直绑定EDMA的通道，将数据直接由EDMA搬运到McBSP，或者由McBSP送到EDMA通道中；后者是通过中断来告诉CPU进行数据传输，主要是在SPCR中配置。下面将给出McBSP通过EDMA进行数据传输时的配置方法，具体过程如下：

（1）设置SPCR寄存器。将SPCR中的第23位的帧同步复位（FRST）、第22位采样率发生器复位（GRST）、第16位的发射机复位（XRST）、和第0位的接收机复位（RRST）设为0。

（2）设置PCR寄存器。将第9位的发射机时钟模式（CLKXM）和第8位的接收机时钟模式（CLKRM）设为1，即所需要的时钟频率来自于内部采样率发生器。

（3）设置XCR寄存器和RCR寄存器。将XCR寄存器中第21-23位传输字长度与RCR中23-23位中接收字长度都设置为16bit。

（4）设置SRGR寄存器。将第29位McBSP采样发生器时钟（CLKSM）设为1，即所需要的时钟来自McBSP自己内部产生的时钟；将第15-8位的FWID位，具体值为帧宽加1；配置第0-7位的CLKGDV，配置采样率发生器的时钟分频系数为160。

（6）最后把SPCR中的第22位采样率发生过器（GRST）设置为1，打开时钟配置的串口。

（7）等待一段时间，大概是2-3个时钟周期后，设置好中断。C6455中接收跟发送中断向量号分别为40，41。



McBSP内部结构框架图

McBSP相关引脚功能说明

|  |  |
| --- | --- |
| 引脚 | 作用 |
| CLKS | 外部输入时钟 |
| CLKX | 发送数据的参考时钟 |
| CLKR | 接收数据的参考时钟 |
| DX | 串行数据发送 |
| DR | 串行数据接收 |
| FSX | 发送数据帧同步信号 |
| FSR | 接收数据帧同步信号 |

### 增强型直接存储器访问控制器

增强的直接内存访问(EDMA3)控制器功能与DMA想通过，都是在设备上的两个内存映射数据传输提供服务。EDMA3是C6455的一种高速的数据传输模式，它能不依赖CPU而单独进行数据传输服务，也标志着C6455是典型的哈佛结构。EDMA3是第三代EDMA，是优化了的EDMA，它在同步方式、地址跳变、触发方式上都更加灵活多变。C6455的EDMA3进行数据搬移方式有A型和AB型两种同步传输方式。EDMA3具有256个PaRAM参数集，以及64个DMA通道和4个快速DMA（QDMA）通道，能够响应大多数DSP外设（如McBSP）的DMA中断事件【引用王双】。EDMA3的内部结构如图2.7所示。



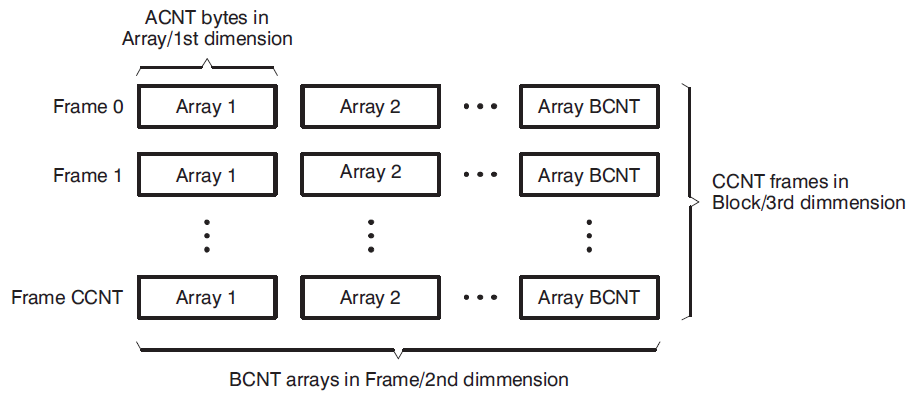
EDMA3控制器结构图

EDMA3传输是按照三维来定义的。EDMA3传输使用的三个维度如图2.8所示。这三个维度被定义为:

（1）第一维或数组（A）：传输中的第一维由ACNT连续字节组成。

（2）第2维或帧（B）：传输中的第2维由ACNT字节的BCNT数组组成。

（3）第三维或块（C）：传输中的第三维由ACNT的BCNT数组的CCNT帧组成。



3个维度的示意图

EDMA3最基本的传输是块移动。在操作过程中，常常需要将数据块从一个位置传输到另一个位置，通常是在片内和片外存储器之间。EDMA3最典型的搬运数据的格式是乒乓模式。乒乓模式是一种简单的技术，它允许CPU与EDMA3互相独立，互不干扰。这意味着对于所有传入和传出的数据流有多个(通常是两个)数据缓冲区。当EDMA3将数据进出ping缓冲区时，CPU操作pong缓冲区中的数据，当EDMA3将数据进出pong缓冲区时，CPU操作ping缓冲区中的数据。当EDMA3操作完成时，即ping或者pong中的数据满了，会触发CPU中断，数据将被CPU放到其他更大的缓冲区中。然后，EDMA3写入旧的输入数据，并传输新的输出数据。

下面介绍EDMA3的配置：

（1）配置通道选项参数（OPT）参数。首先设置OPT中的第17-12位TCC位，这是用来链接通道的，即第12、13通道要链接到第64,、65处。故此位应置为0xD或者0xC。另外，设置第20位TCINTEN为1，意为中断打开；第8-10位FWID为0x2，FIFO深度为32。

（2）配置源地址（SRC）参数。此项参数比较简单，查找配置的地址即可。

（3）配置ACNT、BCNT参数。ACNT指的是要传输的单个数据的字节数，BCNT指的是需要接收多少数据后进中断。值得注意的是，BCNT等于0的传输被认为是空传输或虚传输。

（4）配置目的地址（DST）参数。同（2），需要查找地址后配置即可。

（5）配置DSTBIDX参数。即从当前帧中目标数组的开头到下一个目标数组的开头，这里是2个字节，所以配置为0x2。

（5）配置SRCBIDX参数。SRCBIDX为0表示每次都是从同一起始位置开始取数据。

（6）配置BCNTRLD参数。用于在BCNT字段的最后一个数组时重新加载BCNT字段，故与BCNT相同，这里配置的是0xC0。

（7）配置LINK参数。此参数指的是链接地址，即64参数集的地址为0x20\*64,65参数集的地址为0x20\*65。

（8）配置DSTCIDX、SRCCIDX参数。这两个参数都设为0，因为此处无偏移地址。

（9）配置CCNT。CCNT置为1，只用了一个块。这里要注意，CCNT等于0的传输被认为是空传输或虚传输。

### 中断

中断是DSP使用中一个非常重要的功能，中断提供了DSP进行快速处理外部事件的能力【引用张伟】。中断就是要求CPU停下当前正在执行的任务，去处理紧急发生的事情，也就是中断源的事情。这些可以使片内的，也可以是片外的，既可以是硬件引起的，也可以是软件引起的。

C6455能够响应16个中断，其中INT4-INT15这12个中断是可屏蔽中断，另外有2个中断被系统保留，还有1个复位中断、1个不可屏蔽中断【引用王双】。C6455具有8个寄存器来控制这些中断。初始状态时，默认禁用所有中断，当需要使用中断时，则进行配置。中断名称标号越小，优先级则越大。最低级别的中断为4~15，最高级别的中断时复位中断，次高级别的中断是不可屏蔽中断。

在8个寄存器中，常用的是控制状态寄存器（CSR）与中断使能寄存器（IER）。在CSR中，高16位状态为只读。低16位中第0位GIE，当该位置1时，则使能所有中断，除了复位中断和不可用屏蔽中断；第1位PGIE的作用是，防止另一个可屏蔽中断的发生。

IER寄存器，高16位是保留的，第16位从第4位到第15位正好对应中断4~15,。前四位分别为：第0位复位中断，因为C6455禁止用户手动复位中断，所以该位总是被使能的，故第0位的值总为1；第1位为不可屏蔽中断，该位置为0时，会禁止所有非复位中断，即普通中断都被禁止了，故此位一般都置位1；第2位、第3位为保留位。

第4~15位对应中断编号4~15，所以当需要触发中断时，需要使能对应的编号，将IER寄存器对应的位置为1即可。本系统用到了MCBSP中断，EDMA中断，与定时器中断。

这里值得提到的是，本文中的系统在检测是否有信号传入的时候，都是在定时器中断中进行的。定时器中断每1ms进入一次，在中断里面判断是否有信号到来，如果捕获到了同步头，则对信号进行下一步处理；如果发现是噪声等干扰信号，则直接丢弃不用，继续扫描，等待下一次信号的到来。定时器将在下一节介绍。

### 定时器

定时器可以用于:对事件进行计时、计算事件、生成脉冲、中断CPU和向EDMA3通道控制器发送同步事件。C6455有两个通用定时器Timer0和Timer1，可以分别配置为通用定时器和看门狗定时器。当配置为通用定时器时，每个定时器可以编程为一个64位定时器或两个独立的32位定时器。每个定时器由两个32位计数器组成:一个高计数器和一个低计数器。初始状态下，系统内部默认为64位定时器。

另外，我们需要配置一个定时器为看门狗定时器。将定时器配置成看门狗定时器，当软件运行进入死循环的时候，以防系统陷入死锁【引用王双】。C6455的定时器的定时计数原理如图2.9所示。



32位非链接连续定时计数原理图

## AIC10的相关介绍

TLV320AIC10是由美国德州仪器（TI）公司开发的一款高性能AD/DA芯片，支持数字到模拟（D/A）以及模拟到数字（A/D）的高分辨率信号转换【引用王双】。它无论是从数字到模拟还是模拟到数字，都采用sigma-delta技术。它允许2比1的MUX输入，内置抗混叠滤波器，并对一般应用有放大作用。其数据通道由一对16位同步串行转换路径组成，且A/D和D/A能够同时进行，实现全双工通信【引用王双】。

该芯片设计增强了与DSP之间的通信，自动级联检测（ACD）简化了级联编程，并且支持一个主片和多达七个从片级联操作，其A/D和D/A转换速率具有可编程特性，采样率可以通过写片内寄存器来改变，对其他特性的改变也可以通过对片内的四个控制寄存器读写操作来进行。整个采样周期由主通信和从通信构成，其中主通信主要是进行信号的采样，而从通信作用是对AIC10片内几个控制寄存器进行读写操作，以查看芯片的配置状态。但是，只有在主通信期间发送从通信请求的情况下，从通信才能进行，否则，从通信期间不会执行任何操作。

前面讲到TLV320AIC10的级联模式最多可以级联8个芯片，其中一个为主芯片，其他为从芯片。在级联模式下，DSP必须能够根据寄存器的映射识别主芯片和从芯片，每个芯片由ACD（自动级联检测）编程，其地址（D15-D13）等于其在设备上电期间的初始化级联位置[17]。主芯片的地址数值等于级联的从芯片的个数。在图2.10中，系统级联了四个AIC10，其中靠近DSP的那个为主芯片，其他三个芯片和DSP作为主芯片的从设备，按照映射关系，主芯片的地址D15-D13=011。数据传输所需要的帧同步信号FS与数据移位时钟SCLK都由主芯片提供，主芯片的FS延迟32个SCLK得到FSD，输出到第一个从芯片，然后再延迟32个SCLK输出到第二个从芯片，剩下的依次类推。DSP的多通道缓冲串口的FS通过与主芯片的FS相连，接收所有来自主芯片的帧同步脉冲信号。图2.11为级联模式下FSD时序图。



级联模式下TLV320AIC10与DSP接口



TLV320AIC10级联模式下FSD时序图

从图2.11所示的时序图中可以看到从芯片的帧同步信号FS都由主芯片提供的，主芯片的FS延迟32个移位时钟SCLK得到FSD，输出到从芯片作为从芯片的FS。从图2.10中可以看到，主芯片的引脚M/S必须拉高，而其他从芯片的M/S引脚必须拉低，以区别主芯片和从芯片，并且最后一个从芯片的FSD必须上拉，不能悬空。

## DSP与FPGA之间的接口

FPGA与DSP相同，都是本系统中的关键芯片。FPGA以其强大的逻辑处理能力与便捷的编程能力，成为数据处理的不二首选。它的电路逻辑是并行的，可以与底层电路完美交互，并且可以反复地编程、擦除、使用或者在不动外围电路的情况下用不同软件即可实现不同的功能。

DSP与FPGA之间的接口是McBSP1。具体McBSP的相关功能说明在2.2.4节中有详细介绍，故此节不再赘述。本节主要说一下DSP与FPGA数据交互的过程。

当AIC10检测到信号时，DSP先把数据通过MCBSP1发送给FPGA，FPGA先对送来的数据进行粗同步处理，看是否达到阈值，如果有抓到同步头，则把数据回送给DSP，DSP在根据提供的信息做精同步头处理。

当接收端接收到数据的时候，DSP对数据进行了去载波、FFT、去频偏后，将数据传给FPGA，在FPGA内做均衡和译码处理，在数据合并结束后，将数据重新送给DSP，最后传给上位机。

另外，系统在设计时，DSP和FPGA共用了UART串口。在串口通讯的协议层中，规定了数据包的内容，它由起始位，主体数据，校验位以及停止位组成，通讯双方的数据包格式以及波特率要约定一致才能正常收发数据。其中各位的意义如下：

起始位：先发出一个逻辑”0”信号，表示传输字符的开始。

数据位：可以是5~8位逻辑”0”或”1”。

校验位（可选）：数据位加上这一位后，使得“1”的位数应为偶数（偶校验）或奇数（奇校验）。不过可以不选。

停止位：它是一个字符数据的结束标志。可以是1位、1.5位、2位的高电平。

空闲位：处于逻辑“1”状态，表示当前线路上没有资料传送。

本文中UART无奇偶校验位、停止位只有一位。

## 小结

本章首先介绍了系统所依托的硬件平台结构——“DSP+FPGA”，其中详细介绍了DSP芯片C6455的相关功能，包括时钟、McBSP、EDMA3、中断等功能模块。然后介绍了AIC10芯片，并简单说明了DSP与AIC10的接口。最后，说明了DSP与FPGA的数据交互功能，并介绍了UART的相关功能。