

# Kylie Choi(최방글)

63A Girrahween Dr, Totara Vale

Auckland 0629, New Zealand

+64-021-143-6104 • kylie.c.8784@gmail.com

---

## OBJECTIVE

CIS 디지털 설계 선임연구원 & WEB 개발자 (Full-Stack)

## EDUCATION

<TIA> 오클랜드, 뉴질랜드, 2017

Diploma in Information Technology – Level 7 멀티미디어 전공

<국립공주대학교> 천안공대캠퍼스, 대한민국, 2011

A Bachelor of electrical engineering 전공 (GPA: 4.08/4.50)

## EXPERIENCE

<실리콘화일 /現sk하이닉스> 분당, 2011.08.013 ~ 2016.01.15

Digital Design Department (for image sensor)

Timing generator of image sensors

- 2011 ~ 2012

(3M CIS FSI)

- Verilog simulation of CIS timing generator
- Static timing analysis using *Prime time*

- 2013

(13M STACK CIS TEST)

- BLC Digital design
- Verilog simulation of CIS timing generator
- Static timing analysis using *Prime time*

(2M CIS FSI & BSI)

- BLC Digital design
- Verilog simulation of CIS timing generator
- Static timing analysis using *Prime time*
- FPGA module TEST

- 2014

(2M COMPACT CIS FSI)

- BLC Digital design
- Verilog simulation of CIS timing generator
- Static timing analysis using *Prime time*
- FPGA module TEST

(13M CIS FSI)

- BLC Digital design

- Verilog simulation of CIS timing generator
- Static timing analysis using *Prime time*
- FPGA module TEST
- 2015 ~ 2016  
(STUDY for OFFSET)
  - Offset measurement as Temperature, Gain, Power for suitable dark offset
- (8M CIS FSI)
  - BLC Digital design  
(Random data generator for reducing noise; fixed pattern)
  - Verilog simulation of CIS timing generator
  - Static timing analysis using *Prime time*
  - FPGA module TEST

### <마루 LSI> 수원, 2011.02.01 ~ 2012.07.31

Digital Design Department (for image sensor)

Timing generator of image sensors

- 2011/02 ~ 06
  - Verilog design & simulation of CIS timing generator: *SVGA(WDR)*, *SXGA(VISP,WDR(2))*
  - Synthesis using *Design-Compiler* & Timing simulation
  - Static timing analysis using *Prime time*
- 2011/07 ~ 12
  - Verilog design & simulation of CIS timing generator: *VGA(VISP,WDR)*
  - 32-bit 3-wire Serial interface module
  - Clock divider module (1/2, 1/4, 1/8, 1/16)
  - LCC Package in Board TEST & Debugging
- 2012/01 ~ 07
  - Verilog design & simulation of timing generator: *X\_RAY*, *ENCODER*
  - 64-bit 3-wire Serial interface module
  - Clock divider module (1/12, 1/24, 1/48, 1/96)
  - LCC & CLCC & QFN Package in Board TEST & Debugging

FPGA verification board

- 2011/02 ~ 2012/05
  - Board tuning & Pin mapping
  - Alter pin assign of UCF

Etc.

- Draw up specifications
  - ENCODER
    - Photo IC
    - Signal Processor IC

## EXPLANATION

“최방글”이라는 사람을 아래와 같이 요약해보겠습니다.

첫째, 아침형 인간이다.

저는 하루를 일찍 시작하는 사람입니다. 왜냐하면 하루의 시작을 일찍 하게 되면 오늘 할 일에 대해 미리 정리를 할 수 있고 그로 인해 하루를 알차게 보낼 수 있습니다. 그래서 저는 아침에 일어나면 머리속으로 할 일에 대해 정리를 합니다. 저의 이런 성격은 어떤 일에 대해 남들보다 빠르게 대처할 수 있는 큰 강점이라고 생각합니다

둘째, 친화력이 좋은 사람이다.

저는 친근한 사람이며 제 이름처럼 밝은 사람입니다.

처음 본 사람과도 먼저 다가가 이야기할 수 있으며 꾸준히 제 친구들 과도 좋은 관계를 유지하고 있습니다. 이러한 성격은 처음 방문한 고객 또는 단골 고객에게도 편안하게 다가설 수 있습니다

셋째, 쉽게 포기하지 않는 사람이다.

저는 저에게 주어진 일에 대해서 쉽게 포기하지 않습니다. 회사를 다녔을 때 짧은 기간안에 일처리를 해야 할 때가 있었습니다. 주변에서는 다들 불가능하다고 했지만 포기하지 않고 완성을 했던 적이 있습니다. 이처럼 해야 할 일과 또는 제가 하고 싶은 일에 대해 포기하지 않고 최선을 다할 수 있습니다

## SKILL

### <EDA Tool>

#### HW

- Synopsys: Design Compiler, Prime Time
- Timing Simulator: Modelsim, NC-SIM
- FPGA: ISE by Xilinx

#### SW

- Sublime Text
- Workbench

### <Computer skill>

- MS-office
- Adobe-series

### <Language skill>

- Verilog
- Perl
- C
- HTML, CSS
- Java, Javascript, JQuery, PHP

저의 경력 기술서 및 이력서를 읽어 주셔서 감사합니다.

배움과 소통을 게을리 하지 않는 구성원이 되겠습니다.