

ĐẠI HỌC QUỐC GIA TP. HCM
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN



BÁO CÁO TỔNG KẾT
ĐỀ TÀI KHOA HỌC VÀ CÔNG NGHỆ SINH VIÊN NĂM 2017

Tên đề tài tiếng Việt:

NGHIÊN CỨU THIẾT KẾ MẠCH PHÁT HIỆN NÓI DỐI

Tên đề tài tiếng Anh:

ENGLISH AHIHI

Khoa/ Bộ môn: KỸ THUẬT MÔI TRƯỜNG

Thời gian thực hiện: 06 tháng

Cán bộ hướng dẫn: CHU NGUYỄN CHUÔNG

Tham gia thực hiện

TT	Họ và tên, MSSV	Chịu trách nhiệm	Điện thoại	Email
1.	Nguyễn Văn C, 17520111	Chủ nhiệm	0909123456	abc@gmail.com
2.		Tham gia		
3.		Tham gia		

Thành phố Hồ Chí Minh – Tháng 03 /2018



ĐẠI HỌC QUỐC GIA TP. HCM
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN

Ngày nhận hồ sơ

Mã số đề tài

(Do CQ quản lý ghi)

BÁO CÁO TỔNG KẾT

Tên đề tài tiếng Việt:

AHIHI

Tên đề tài tiếng Anh:

AHOHOH

Ngày ... tháng năm

Cán bộ hướng dẫn

(Họ tên và chữ ký)

Ngày ... tháng năm

Sinh viên chủ nhiệm đề tài

(Họ tên và chữ ký)

THÔNG TIN KẾT QUẢ NGHIÊN CỨU

1. Thông tin chung:

- Tên đề tài: **Thiết kế mạch tạo khối**
- Chủ nhiệm: **Lệnh Hồ Xung**
- Thành viên tham gia: **Lê Công Vinh**
- Cơ quan chủ trì: Trường Đại học Công nghệ Thông tin.
- Thời gian thực hiện: **06 tháng (10/2017 – 03/2018)**

2. Mục tiêu:

2.1 Lý do chọn đề tài

Đối với các sản phẩm vi mạch bán dẫn hiện nay, đặc biệt là các sản phẩm ứng dụng để quản lý năng lượng, việc tối ưu hóa công suất và năng lượng tiêu thụ là yêu cầu tất yếu. Bên cạnh đó các thiết kế còn đòi hỏi độ tích hợp cao trên một diện tích nhỏ nên cần sử dụng các quy trình sản xuất với công nghệ ngày càng thu nhỏ. Mạch Gate Driver sử dụng công nghệ công suất thấp có sẵn để thay thế cho công nghệ công suất cao là một ý tưởng tốt và khá phù hợp với xu hướng hiện nay.

Tuy nhiên, công nghệ công suất thấp còn nhiều hạn chế so với công nghệ công suất cao dẫn đến mạch Gate Driver dùng công nghệ công suất thấp cũng bị giới hạn. Do đó, muốn hiện thực hóa ý tưởng này cần phải nghiên cứu để đưa ra phương pháp cũng như thiết kế phù hợp để có thể đưa vào ứng dụng trong sản phẩm thực tế. Đó vừa là thử thách vừa là động lực thúc đẩy nhóm nghiên cứu chọn đề tài nghiên cứu này.

2.2 Mục tiêu tổng quan

- Nghiên cứu thiết kế và mô phỏng vi mạch Gate Driver ứng dụng trong vi mạch điều khiển biến đổi điện áp AC sang DC.
- Nâng cao năng lực nghiên cứu khoa học và kỹ năng chuyên môn của sinh viên Khoa Kỹ thuật Máy tính trong lĩnh vực Thiết kế Vi mạch.
- Tạo ra sản phẩm và thương hiệu cho công nghiệp bán dẫn của Việt Nam.

2.3 Mục tiêu cụ thể

- Nghiên cứu thiết kế và mô phỏng mức luận lý khối đóng-ngắt dòng điện trên công nghệ CMOS 180nm
- Nghiên cứu thiết kế và mô phỏng mức luận lý vi mạch Gate Driver với các thông số như sau:

Công nghệ	CMOS 180nm
Điện áp tối đa có thể điều khiển	15 V
Dòng điện tối đa có thể điều khiển	50-100 mA
Công cụ sử dụng	Cadence - Virtuoso

- Thiết kế và mô phỏng từ mức vật lý vi mạch Gate Drive đáp ứng các thông số tương tự như ở mức luận lý theo sơ đồ khối chức năng ở hình 1

3. Tính mới và sáng tạo:

3.1 Giới thiệu

Hiện nay, đặc biệt với xu thế phát triển các thiết bị Internet-of-Thing (mọi thiết bị đều có thể được kết nối thông qua mạng thông tin toàn cầu) đặt ra một thử thách là tiếp tục tăng cường khả năng tích hợp, kích thước nhỏ hơn, giá thành thấp hơn và tiết kiệm năng lượng hơn. Đây chính là những điều mà công nghệ MOSFET hay CMOS hướng đến.

Với các ứng dụng không đòi hỏi công suất cao thì các công nghệ CMOS bình thường hoàn toàn có thể đáp ứng được. Nhưng với các ứng dụng đòi hỏi về mật công suất lớn và hiệu suất về mặt tốc độ thì các công nghệ CMOS bình thường không thể đáp ứng được do hạn chế về thuộc tính điện của chúng.

Gate driver với mục đích giải quyết vấn đề đóng ngắt tần suất cao đồng thời giảm năng lượng hao hụt trong quá trình chuyển mạch giúp tiết kiệm năng lượng và đặc biệt có thể hoạt động ở điện áp cao và dẫn được dòng điện lớn. Đó cũng chính là giải pháp cho những thiết kế vi mạch yêu cầu tối ưu về năng lượng và hiệu suất.

3.2 Phân tích hiện trạng

3.2.1 Tình hình nghiên cứu trong nước

Ở trong nước, do đang trong quá trình phát triển ngành công nghiệp bán dẫn và cơ sở vật chất còn thiếu nên hiện tại chưa có bất kỳ công trình nghiên cứu nào được công bố.

3.2.1 Tình hình nghiên cứu quốc tế

Đối với các nghiên cứu về tối ưu hóa năng lượng nói chung và nghiên cứu về Gate Driver nói riêng, các tổ chức, các nhà khoa học quốc tế đã có một số nghiên cứu bắt đầu từ 2006. Các nghiên cứu này nhằm giải quyết các vấn đề về tối ưu hóa năng lượng tiêu thụ, bên cạnh đó tăng tính tích hợp cũng như cải thiện thời gian hoạt động của các thiết bị chip bán dẫn, IC. Vì lý do tập trung vào quản lý năng lượng nên các nghiên cứu này thường tập trung vào các linh kiện công suất, linh kiện high-power.

Đối với các nghiên cứu về tối ưu hóa năng lượng nói chung và nghiên cứu về Gate Driver nói riêng, các tổ chức, các nhà khoa học quốc tế đã có một số nghiên cứu bắt đầu từ 2006. Các nghiên cứu này nhằm giải quyết các vấn đề về tối ưu hóa năng lượng tiêu thụ, bên cạnh đó tăng tính tích hợp cũng như cải thiện thời gian hoạt động của các thiết bị chip bán dẫn, IC. Vì lý do tập trung vào quản lý năng lượng nên các nghiên cứu này thường tập trung vào các linh kiện công suất, linh kiện high-power.

Năm 2006, tiến sĩ Herbert L. Hess và cộng sự đã công bố một cấu trúc Gate Driver sử dụng công nghệ MOSFET công suất thấp trong vi mạch tích hợp, đặt nền móng cho kỹ thuật sử dụng công nghệ MOSFET công suất thấp để thay thế cho các công nghệ MOSFET công suất cao trong mạch tích hợp. Các nghiên cứu sau này đã tiếp tục phát triển các cấu trúc mạch mới hướng tới việc điều khiển điện áp được chính xác hơn, và điều quan trọng là có được đặc tuyến tốt hơn. Nhưng những nghiên cứu này vẫn chưa tập trung vào khía cạnh dòng điện tối đa có thể điều khiển.

3.3 Phân tích các công nghệ

Khác với các linh kiện công suất cao, các linh kiện công suất thấp điển hình là MOSFET (với công nghệ CMOS thông thường), chúng có kích thước rất nhỏ (thường là cỡ nm) dễ dàng cho việc tích hợp trên các vi mạch, IC. Tuy nhiên chúng chỉ có thể hoạt động ở ngưỡng điện áp khá thấp (1.8~3.3 V) và cho dòng điện chạy qua rất bé. Về đặc tính truyền dẫn, MOSFET là linh kiện được điều khiển bởi điện áp và có tổng trở đầu vào rất lớn (do cực Gate được cách ly so với đế). Về lý tưởng, tổng trở đầu vào là vô cùng lớn và không có dòng điện chạy vào cực Gate. Để mở một NMOS, cực Gate của nó phải được thiết lập một điện áp lớn hơn cực Source, tối thiểu bằng điện áp ngưỡng V_{TH} của nó. Một thuộc tính của MOSFET có kích thước lớn là chúng có điện dung ký sinh lớn giữa cực Gate và các cực khác như trong hình 2.

3.4 Tính mới và sáng tạo của đề tài

Thay vì sử dụng các thiết bị công suất như các nghiên cứu đã công bố, đề tài sử dụng các thiết bị công suất thấp, phù hợp các quy trình sản xuất chip thông thường. Từ đó nâng cao hiệu suất làm việc mà vẫn đảm bảo công suất tiêu thụ thấp, bên cạnh đó nhờ sử dụng công nghệ chế tạo cmos thông thường nên giá thành sản phẩm sẽ thấp hơn so với các sản phẩm hiện có sử dụng công nghệ chế tạo cmos công suất.

4. Tóm tắt kết quả nghiên cứu:

4.1 Thiết kế hệ thống

Gate driver được chia làm 2 khối chính (xem hình 5):

- khối stacked mosfet,,
- khối gate driver

4.2 Stacked mosfet

chuyển mạch điện áp cao trong công nghệ MOSFET hiện tại ngày càng trở nên khó khăn do việc giảm độ dày lớp gate-oxide nhằm tối ưu cho tốc độ, công suất tiêu thụ và kích thước. Stacked MOSFET là một kỹ thuật mạch nhằm sử dụng các linh kiện điện áp thấp cho điện áp cao và khắc phục trở ngại của việc giảm độ dày lớp gateoxide.

Sơ đồ mạch của stacked mosfet được trình bày trong hình 7. Trong đó khối mạch song song.

chuyển mạch điện áp cao trong công nghệ MOSFET hiện tại ngày càng trở nên khó khăn do việc giảm độ dày lớp gate-oxide nhằm tối ưu cho tốc độ, công suất tiêu thụ và kích thước. Stacked MOSFET là một kỹ thuật mạch nhằm sử dụng các linh kiện điện áp thấp cho điện áp cao và khắc phục trở ngại của việc giảm độ dày lớp gateoxide.

Sơ đồ mạch của stacked mosfet được trình bày trong hình 7. Trong đó khối mạch song song.

4.3 Gate driver

Phương pháp logical effort là một phương pháp dùng để đánh giá delay trong một mạch CMOS. Có thể chọn ra trường hợp nhanh nhất bằng cách so sánh delay của các cấu trúc luận lý khác nhau. Phương pháp này cũng chỉ rõ chính xác số tầng luận lý trên một đường tín hiệu và kích thước transistor tốt nhất cho các cổng luận lý.

Effort delay phụ thuộc vào tải và thuộc tính của cổng luận lý lái tải. Về chi tiết, effort delay gồm 2 thành phần: (1) *logical effort* g ghi nhận các thuộc tính của cổng luận lý để tạo ra dòng điện đầu ra, nó độc lập với kích thước của transistor, và (2) *electrical effort* h đặc trưng cho tải, nó mô tả môi trường mang thuộc tính điện của cổng luận lý ảnh hưởng đến hiệu suất và kích thước của transistor trong cổng luận lý và quyết định khả năng lái tải của nó. Với C_{out} là điện dung tải đầu ra của cổng luận lý, và C_{in} là điện dung biểu hiện ở cực đầu vào của cổng luận lý, electrical effort được định nghĩa như sau

4.4 Kết quả mô phỏng

Cấu hình mô phỏng như tổng hình 9

Giá trị mô phỏng đo được:

- Độ trễ giữa tín hiệu In và Out: delay ~ 0.936 ns
- Dòng điện Gate Driver trong quá trình rise time: $I_{rise} = 25.76$ mA
- Dòng điện Gate Driver trong quá trình fall time: $I_{fall} = 32.54$ mA

5. Tên sản phẩm: Mạch tạo khói

6. Hiệu quả, phương thức chuyển giao kết quả nghiên cứu và khả năng áp dụng:

Mạch GATt driver mới được thiết kế đã giảm tiêu hao công suất xx% so với các nghiên cứu trước đó.

Giá thành rẻ hơn

Có thể wungs dụng trong quảng cáo led bằng cách ghép nối nhiều vi mạch lại với nhau.

Không cần phải sử dụng bộ chuyển đổi AC- dc.

Mạch GATt driver mới được thiết kế đã giảm tiêu hao công suất xx% so với các nghiên cứu trước đó.

Giá thành rẻ hơn

Có thể wungs dụng trong quảng cáo led bằng cách ghép nối nhiều vi mạch lại với nhau.

7. Hình ảnh, sơ đồ minh họa chính

Hinhf 1

Hình 2

Hình ...

Hình n

Cơ quan Chủ trì
(ký, họ và tên, đóng dấu)

Chủ nhiệm đề tài
(ký, họ và tên)

THÔNG TIN KẾT QUẢ NGHIÊN CỨU

- Thiết kế và mô phỏng từ mức luận lý tới mức vật lý vi mạch Gate Drive theo sơ đồ khối chức năng ở hình 1

3. Tính mới và sáng tạo:

3.1 Giới thiệu

3.2 Phân tích hiện trạng

3.2.1 Tình hình nghiên cứu trong nước

3.2.1 Tình hình nghiên cứu quốc tế

3.3 Phân tích các công nghệ

3.4 Tính mới và sáng tạo của đề tài

4. Tóm tắt kết quả nghiên cứu:

5. Tên sản phẩm: Mạch tạo khối

6. Hiệu quả, phương thức chuyển giao kết quả nghiên cứu và khả năng áp dụng:

7. Hình ảnh, sơ đồ minh họa chính

Hình 1

Hình 2

Hình ...

Hình n

Cơ quan Chủ trì
(ký, họ và tên, đóng dấu)

Chủ nhiệm đề tài
(ký, họ và tên)