

上海大学 计算机学院

《数字逻辑实验》报告 6

姓名 严昕宇 学号 20121802

时间 周四 10-12 机位 24 指导教师 刘学民

实验名称: 时序电路

一、实验目的

1. 使用 74LS112 芯片, 构成 2 位同步二进制加计数器, 并测试其功能。;
2. 设计用 2 片双 D 触发器 74LS74 构成单向移位寄存器的原理图, 在 Quartus II 中根据逻辑图接线并仿真测试后, 下载到 FPGA 进行硬件测试。

二、实验原理

依据《数字逻辑实验指导书》P.实验-60 、P.实验-74 的相关内容

三、实验内容

1. 实验任务一（同步二进制计数器）

(1) 实验步骤

- ① 用 74LS112 芯片构造 2 位同步二进制加计数器, 其逻辑电路图如下

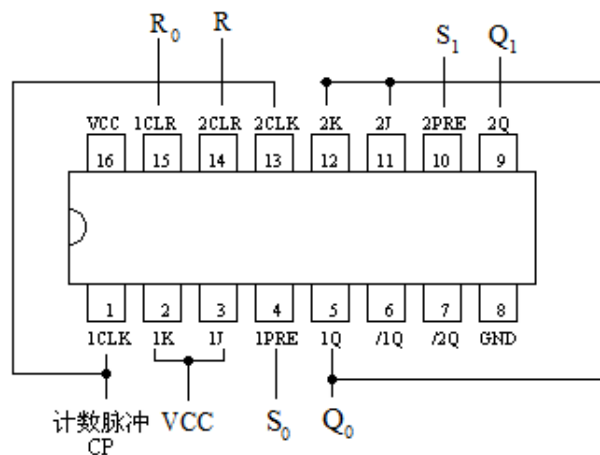


图 1 2 位同步二进制加计数器

各触发器的驱动方程为:

$$J_0 = K_0 = 1$$
$$J_1 = K_1 = Q_0$$

计数器的状态方程为:

$$Q_0^{n+1} = \overline{Q_0}$$
$$Q_1^{n+1} = Q_0 \overline{Q_1} + \overline{Q_0} Q_1$$

电路的输出方程即进位： $C = Q_0Q_1Q_2Q_3$

且上述方程均在 CP 下降沿有效

② 按照图 1 连接逻辑电路图，R、S 接开关；CP 接时钟的脉冲信号；

Q_0 和 Q_1 接输出信号的数码显示管；

③ 测试前，利用对所有的触发器清零；

④ 逻辑功能测试

输入连续脉冲，测试其功能，观察数码显示管的变化。

(2) 实验现象

每当输入一个脉冲，计数器将按加 1 规律变化，到 3 以后回到 0 重新按加 1 规律变化，并重复此循环。

表 1 同步二进制计数器实验现象记录表

输入脉冲序号	Q_1	Q_0	等效十进制数	实验现象 [数码管显示]
0	0	0	0	0
1	0	1	1	1
2	1	0	2	2
3	1	1	3	3
4	0	0	0	0

(3) 数据记录、分析与处理

数据记录： Q_1Q_0 由 $00 \rightarrow 01 \rightarrow 10 \rightarrow 11 \rightarrow 00 \rightarrow \dots$

分析：2 位同步二进制计数器在当低位不向高位进位时，令高位触发器的 $JK=0$ ，触发器的状态保持不变；低位向高位进位时，令高位触发器的 $JK=1$ ，触发器发生翻转，计数加 1.当低位全 1 时，再加 1，则低位向高位进位。

(4) 实验结论

根据实验数据可知，成功使用 74LS112 芯片，完成了 2 位同步二进制加计数器的搭建与测试，与理论一致。

2. 实验任务二（单向移位寄存器）

(1) 实验步骤

① 使用 2 片双 D 触发器 74LS74，构成单向位移（右移）寄存器，其逻辑电路图如图 2 所示。

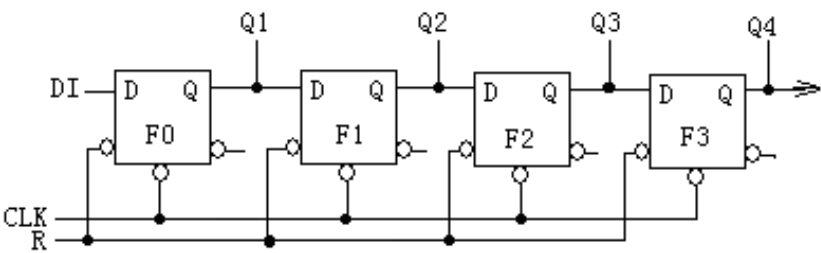


图 2 D 触发器组成的右移位寄存器

② 在 Quartus II 中创建文件夹与工程文件，创建一个图形文件，根据逻辑电路图并画出图 3；

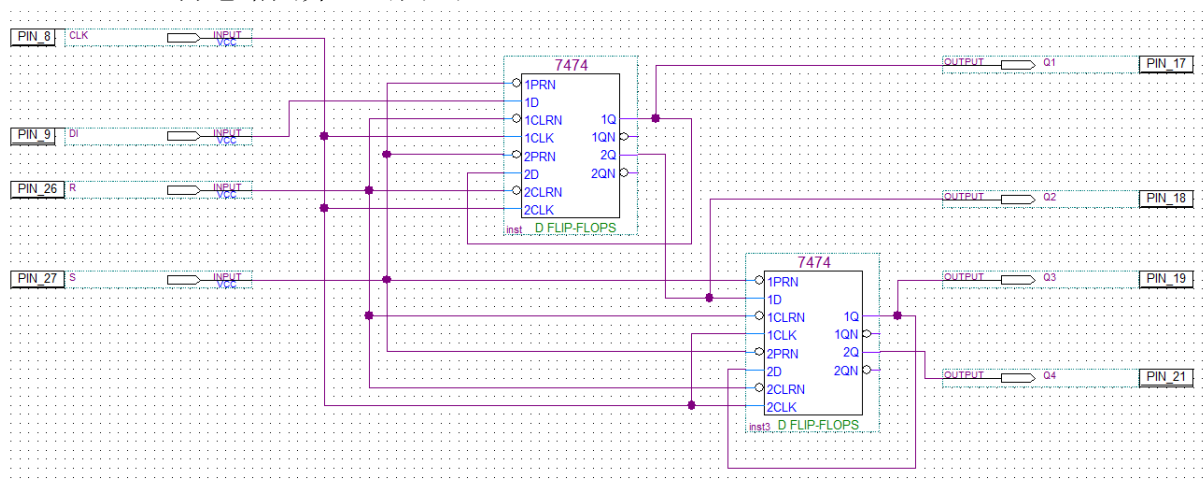


图 3 用 Quartus II 画出的逻辑电路图

④ 选择器件型号，定义 FPGA 的 IO 管脚功能，如定义时钟 CP 端为 8，输入端 DI 为 9，清除端 R 为 26，预置端 S 为 27，输出端 Q_1 、 Q_2 、 Q_3 、 Q_4 为 17、18、19、21；

⑤ 用模拟软件对步骤 1 创建的图像文件进行模拟测试，并用编译工具编译；

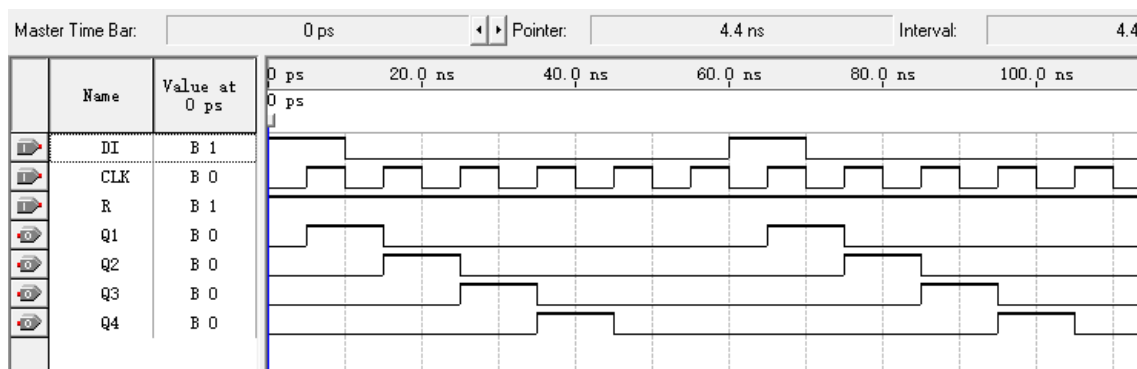


图 4 用 Quartus II 进行的波形时序仿真

⑥ 连接数据线，下载设计的电路到 FPGA；

⑦ 根据附录 B 中的 DICE-SEM II 实验箱与 EP1K10、EP1K30 引脚对照表，时钟 CP 对应 11，连接时钟脉冲信号；输入端 DI 对应 12，清除端 R 对应 26，预置端 S 对应 27，将输入端、清除端、预置端连接开关；输出端 Q_1 、 Q_2 、 Q_3 、 Q_4 依次对应 14、15、16、17，将输出端发光数码显示管。用开关和数码显示管测试 FPGA 的功能；

⑧ 拨动开关，观察数码显示管的变化，填写表 3；

(2) 实验现象

表 3 单向移位寄存器实验现象记录表

CP	输入 DI = 1/输出			
	Q1	Q2	Q3	Q4
↑	1	0	0	0
↑	0	1	0	0
↑	0	0	1	0
↑	0	0	0	1
↑	0	0	0	0

(3) 数据记录、分析与处理

单向移位寄存器一个触发沿的时刻只够各个 D 触发器工作一次,所以输入 DI 一次向前一位,Q₁Q₂Q₃Q₄ 的值依次改变。

(4) 实验结论

根据实验数据可知,成功使用 2 片双 D 触发器 74LS74,构成单向位移(右移)寄存器。

四、建议和体会

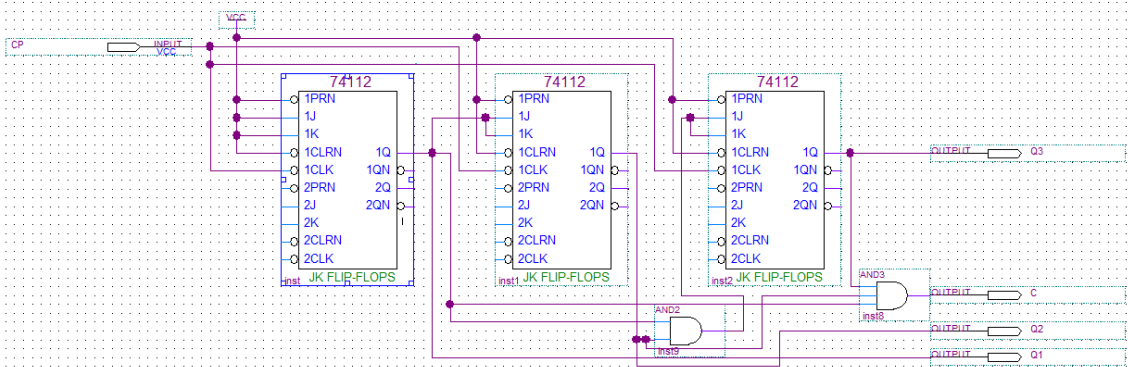
通过本次实验,使我理解了计数器和寄存器的原理,并学习了用掌握用 74LS112 构成同步二进制计数器、2 片双 D 触发器 74LS74 构成单向移位寄存器的方法。并且在此次实验中,第一次使用了 DICE-SEMI实验箱上的数码显示管,其相比小灯更直接易懂。

在这次实验中,我不仅学习了解了芯片的功能,而且也发现,实验箱上会存在许多芯片或者按钮出现故障或者失灵的问题。实践中没有出现问题是不可能的,我们必须有随机应变的能力,通过不断的试错,才能够完成目标。

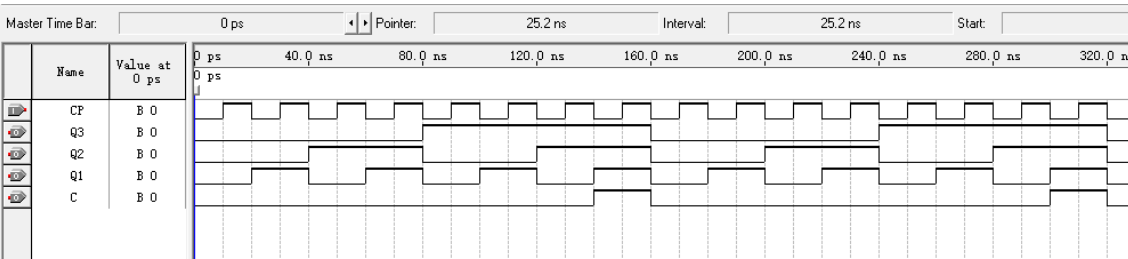
五、思考题

1. 如果构成 3 位同步二进制加(减)计数器，该如何构建？

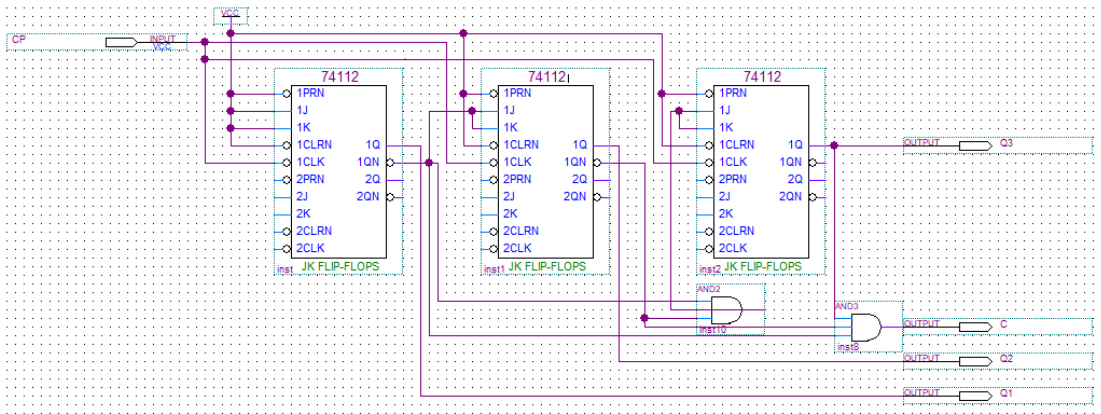
① 3 位同步二进制加计数器
逻辑电路图



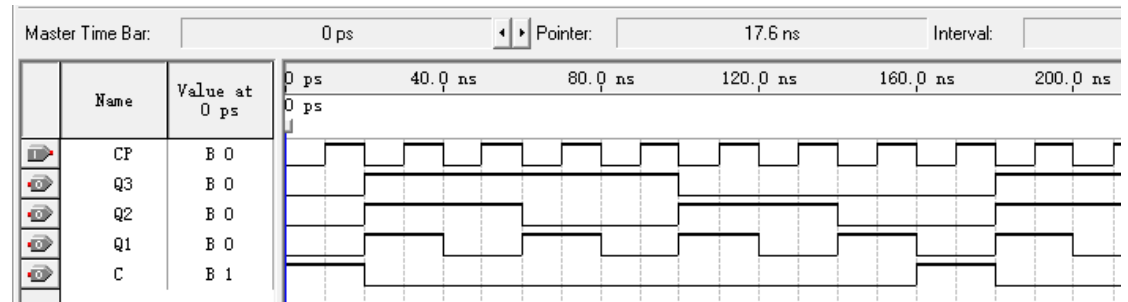
时序图



② 3 位同步二进制减计数器
逻辑电路图



时序图



2. 如何用 74LS74 构成双向移位寄存器？

参考《数字逻辑》教材 P169 页，可得

中规模集成电路寄存器有许多种类，4 位双向移位寄存器是一种常用的中规模寄存器，其典型型号是 74194。图 6.17(a)、(b)给出了 74194 的逻辑电路图和逻辑符号。

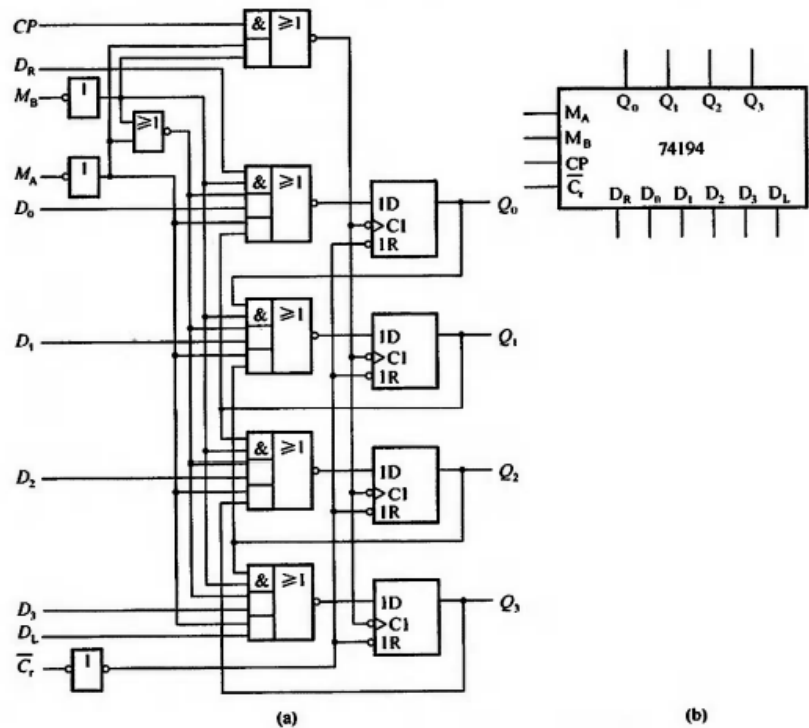
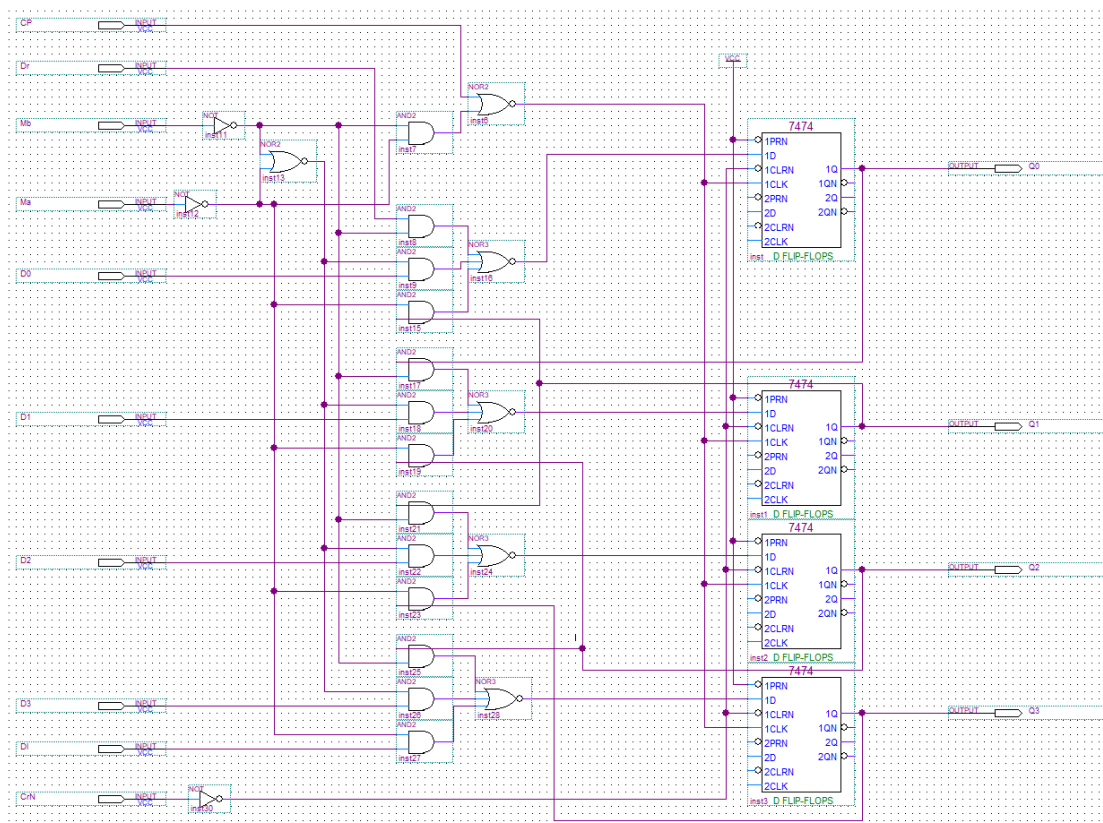
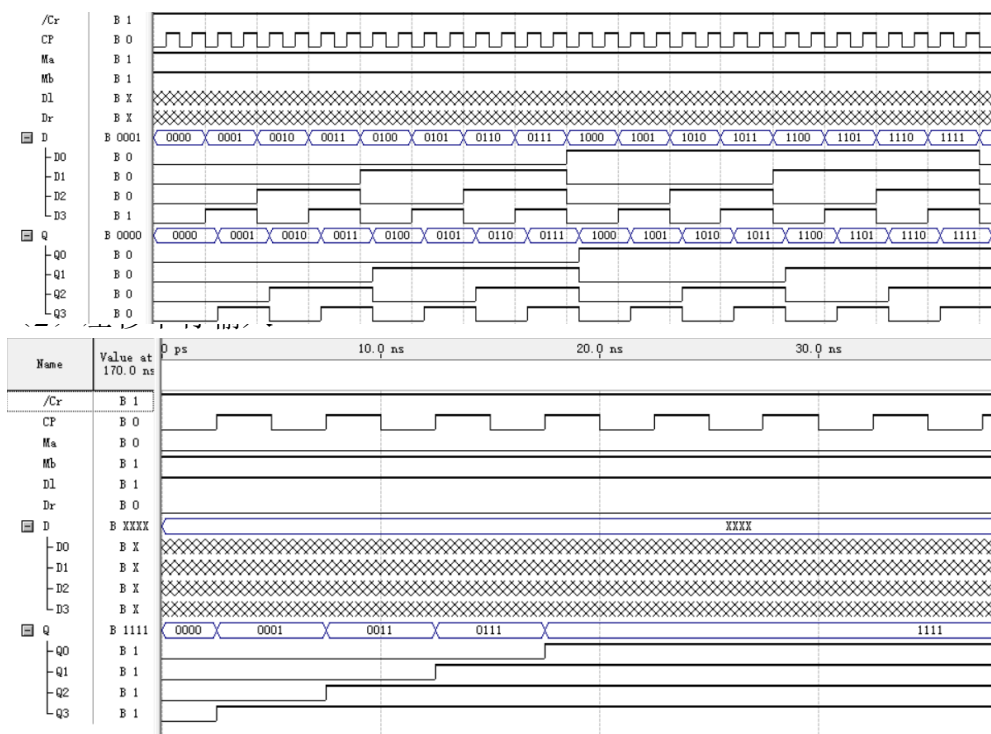


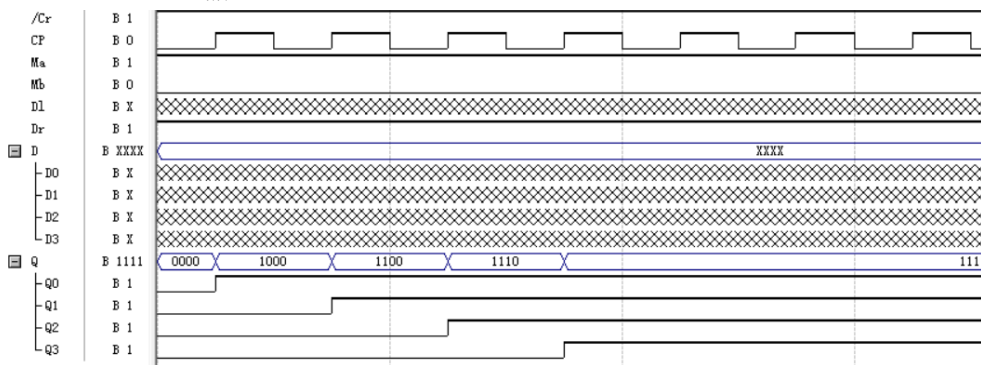
图 6.17 4 位双向移位寄存器 74194 的逻辑电路图和逻辑符号

使用基本的逻辑元件，可以得到此组合逻辑电路，如下图





(3) 右移串行输入



根据以上的结果，也可以得到双向移位寄存器的功能表，如下图

表 6.9 双向移位寄存器功能表

输 入										输 出			
$\overline{C_r}$	CP	M_B	M_A	D_R	D_0	D_1	D_2	D_3	D_L	Q_0	Q_1	Q_2	Q_3
0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	0	0	0	0
1	0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	保			持
1	\uparrow	1	1	ϕ	d_0	d_1	d_2	d_3	ϕ	d_0	d_1	d_2	d_3
1	\uparrow	0	1	1	ϕ	ϕ	ϕ	ϕ	ϕ	1	Q_{0n}	Q_{1n}	Q_{2n}
1	\uparrow	0	1	0	ϕ	ϕ	ϕ	ϕ	ϕ	0	Q_{0n}	Q_{1n}	Q_{2n}
1	\uparrow	1	0	ϕ	ϕ	ϕ	ϕ	ϕ	1	Q_{1n}	Q_{2n}	Q_{3n}	1
1	\uparrow	1	0	ϕ	ϕ	ϕ	ϕ	ϕ	0	Q_{1n}	Q_{2n}	Q_{3n}	0
1	ϕ	0	0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	保			持

从功能表可以看出，在工作方式选择控制 M_A 和 M_B 的作用下，74194 具有并行输入、右移串行输入、左移串行输入、保持和清除等功能。